

새롭게 수정된 Curtice모델을 이용한 GaAs pHEMT 대신호 통합모델 구축

Large Signal Unified Model for GaAs pHEMT using Modified Curtice Model

박덕중* · 염경환* · 장동필** · 이재현*

Durk-Jong Park* · Kyung-Whan Yeom* · Dong-Pil Chang** · Jae-Hyun Lee*

요 약

본 연구에서는 GEC-Marconi사의 H40 GaAs pHEMT소자에 대해서 새롭게 수정한 Curtice모델을 사용하여 대신호 통합모델을 구축하였다. 통합모델에는 DC특성과 bias에 따른 소신호 및 잡음특성이 모두 포함되어 있으며, 특히 수정된 Curtice모델을 사용함으로써 gate-source간의 전압이 증가함에 따라 나타나는 pHEMT의 transconductance(이하 g_m)특성을 매우 간단하면서도 물리적으로 설명할 수 있게 하였다. 또한 통합모델 내부에는 RF-choke를 사용함으로써 g_m , R_{ds} 성분의 DC상태와 AC상태에서의 차이를 설명하게 하였다. 통합모델을 HP사의 simulation tool인 MDS(Microwave Design System)의 SDD(Symbolically Defined Device)를 이용하여 구현한 후, 실제의 data와 비교한 결과 DC, small signal, 그리고 noise에 대한 특성이 H40 pHEMT와 대부분 일치함을 보였으며, 선형과 다양한 harmonic balance simulation의 수렴성 및 정확성을 확인함으로써 본 모델을 이용할 경우 저잡음 증폭기, 발진기, 그리고 혼합기 등의 여러 부품설계를 할 수 있음을 보였다.

Abstract

In this paper, the large signal unified model is established for H40 GaAs pHEMT of GEC-Marconi using modified Curtice model. This unified model includes DC characteristic, small signal, and noise characteristic as various bias. Particularly, the model can simply and physically explain trans-conductance(g_m) of pHEMT using modified Curtice model, and can tell the difference g_m , R_{ds} at DC and these at AC through inclusion of internal RF-choke. The results of the established model built up using SDD in HP-Esssof show good agreement to the S/W measured data in DC, small signal, and noise characteristic. This model can also be applied to various computer aided analysis, such as linear simulation, 1-tone harmonic balance simulation, and multi-tone harmonic balance simulation, so the LNA(Low Noise Amplifier), oscillator, and mixer design has been shown using this model library.

I. 서 론

최근의 WLAN, car collision, MVDS 등의 새로운

서비스로 인해 밀리미터파 대역(30 ~ 300 GHz)의 사용을 고려하고 있는데, 현재까지 밀리미터파 대역에서 가장 주목을 받고 있는 소자는 pHEMT(pseu-

「본 연구는 한국전자통신연구원 무선방송기술연구소의 지원에 의해 수행되었음.」

* 충남대학교 전파공학과(Dept. of Radio Science and Eng., Chungnam National University)

** 한국전자통신연구원 무선방송기술연구소(ETRI/Radio & Broadcasting Technology Laboratory)

· 논문 번호 : 20010110-005

· 수정완료일자 : 2001년 3월 7일

domorphic High Electron Mobility Transistor)이다. pHEMT는 undoped layer에 carrier가 재하기 때문에 차단 주파수와 이득의 상승의 효과를 얻을 수 있게 한 소자이다^[1]. 그러므로 pHEMT에 대한 정확한 모델은 현시점에서 MMIC에 쓰일 각종 회로설계 및 제작, 그리고 반도체 공정상에서 수율 해석을 위해 매우 필요하다.

지금까지 다수의 연구자들에 의해 다양한 model 및 기법이 발표가 되었으나, mixer의 noise해석에 필요한 선형과 비선형, 그리고 잡음 특성까지 모두 포함된 통합 모델구축에 대해서는 부족한 면이 있었다. 최근 pHEMT에 대해 주로 사용되는 통합모델인 HP사에서 개발한 EEHEMT의 경우에는 g_m 의 첨두치 특성에 따라 bias를 나누어서 parameter를 입력해야 하므로, 필요한 parameter를 추출하기 위해서 ICCAPS 등의 특별한 장비가 요구되며, 내부적으로 구현된 model을 이해하기에는 매우 복잡한 단점이 있다. 이에 반하여 본 논문에서 제안하는 수정된 Curtice모델의 경우에 bias에 대해 구분을 나누지 않았기 때문에 EEHEMT에 비하여 매우 간단하면서도 I_{ds} 및 g_m 의 특성을 잘 나타내는 장점이 있다.

본 논문에서 사용한 소자는 GEC marconi foundry회사의 library된 H40HEMT이며 data는 HP사의 simulation tool인 MDS를 사용하여 software적으로 추출하였다^[2]. 이는 실제 측정data를 이용한 통합모델의 기초적인 단계로써 측정시 발생할 수가 있는 측정어러와 sampling 개수의 제한을 배제하기 위함이다. 본 통합모델은 MDS의 SDD(Symbolically Defined Device)를 통해 표현하였고, small signal simulation, 1-tone harmonic balance simulation, multi-tone harmonic balance simulation을 통해 수렴가능성을 확인하였으며, 이는 실제 이 모델을 이용한 소자의 부품개발에 대해 다양한 simulation을 행할 수가 있음을 나타낸다.

II. 통합모델 구축

본 모델링에 사용된 pHEMT는 gate length가 0.25 μm 이고 총 gate width는 160 μm 이며, 구조 및 동작에 따른 통합모델 등가회로를 그림 1에 나타내었다.

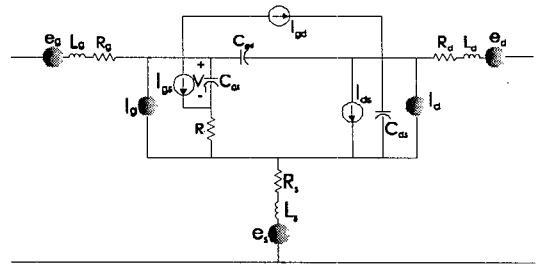


그림 1. pHEMT의 등가회로도
Fig. 1. The equivalent circuit of pHEMT.

그림에서 L_s, L_g, L_d 등은 각각의 pad에 의해 나타나는 inductance를 나타내고, R_d 와 R_s 는 각각의 ohmic contact에 의해 생기는 저항을 나타낸다. R_g 는 금속과 반도체 접합에 의해 생기는 Schottky 저항을 나타내고, C_{gs} 와 C_{gd} 는 gate-source간의 전압 V_{gs} 와 drain-source간의 전압 V_{ds} 에 따라서 생기는 depletion영역의 capacitance를 나타낸다. C_{ds} 는 drain과 source사이의 농도차에 의한 capacitance와 양 pad간의 capacitance의 합을 나타내고, R_s 는 depletion영역의 경계점과 source-drain pad 사이의 distributed 저항 성분을 나타낸다.

그리고 I_{gs}, I_{gd} 는 각각 gate source간 gate drain간의 Schottky diode를 나타내며, I_{ds} 는 채널의 전류 특성을 나타내는 것으로

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \quad (1 a)$$

$$R_{ds} = 1 / \frac{\partial I_{ds}}{\partial V_{ds}} \quad (1 b)$$

의 관계가 있다. 또한 e_g, e_{ds}, e_s 는 각각 R_g, R_{ds}, R_s 에 의해 발생하는 열잡음 전압을 나타내며, I_g 및 I_d 는 pHEMT 소자 자체의 잡음전류를 나타낸다.

전체적인 통합모델 구축과정은 다음과 같은데, 우선 외부 저항들과 인터너는 V_{ds} 를 0 V로 하는 cold FET방법에 의해 추출하고, 등가회로에서 이 소자 값들을 de-embedding시킨 후, DC current특성을 fitting한다. DC current는 drain-source간의 전류 I_{ds}^{DC} 와 gate-source, gate-drain간의 다이오드 전류로 구성되어 있으며, I_{ds}^{DC} 에 대해서는 본 논문에서 새롭게 제안한 Curtice model을 적용하게 된다.

이후 정상 동작상태에서 내부 parameter값에 대해 주파수와 bias에 대해 fitting을 수행한다. 잡음의 경우에는 외부저항에 의해 생기는 열 잡음과 내부 잡음 현상에 의한 noise current와 correlation이 있는데, 역시 de-embedding한 후에 정상 동작상태에서 주파수와 bias에 대해 fitting을 한다. 이 후에 위의 결과를 연결하여 통합모형을 완성하게 된다.

2-1 Cold bias에서의 외부 parameter 추출

과거에는 소신호 등가회로의 소자를 측정된 S-parameter에 대해 최적화를 하여 fitting시키는 방법을 사용하였는데, 단점으로는 매우 광대역의 S-parameter가 요구되어지고, 최적화 방법과 시작점에 따라 결과가 바뀌는 문제가 있었다. 이에 본 논문에서는 V_{ds} 의 값을 0으로 한 뒤에 V_{gs} 의 값을 pinch-off나 forward에서 변화시키는 cold FET 방법을 적용하였다^[3]. 이 경우 V_{ds} 의 값을 0으로 할 경우에는 I_{ds}^{DC} 의 값이 0이 되어서 채널상의 g_m, R_{ds}, C_{ds} 를 무시할 수가 있으므로, 등가회로를 매우 간단하게 표현할 수 있는데, 특히 V_{gs} 의 값을 forward로 걸어줄 경우 소자 내부의 두 개의 다이오드는 도통이 되어서 소자 내부는 다음 그림 2와 같이 간단히 저항 R_b 로 나타낼 수가 있다.

위의 등가회로의 parameter를 구하기 위해서 이미 측정된 S-parameter를 Z-parameter로 변환한 뒤에 다음의 식을 통해서 각 단의 외부 parameter를 추출

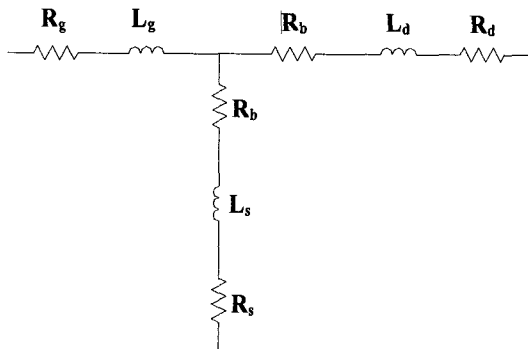


그림 2. Cold forward 바이어스에서 등가회로
Fig. 2. The equivalent circuit at cold forward bias.

표 1. 외부 parameter의 추출값과 GEC값의 비교
Table 1. The comparison of the extracted extrinsic parameter with GEC's.

	추출값	GEC 모델값
R_g (Ω)	1.88	1.88
R_d (Ω)	11.0	3.9
L_s (pH)	5.5	5.45
L_g (pH)	24.5	24.7
L_d (pH)	-0.157 (1 GHz) 3.471 (40 GHz)	13.8

한다. 여기서 내부 저항 R_b 의 경우 diode 도통 저항으로 볼 수가 있으므로, 그 값이 매우 작기 때문에 무시하였다.

$$R_g = \text{Re}(Z_{11} - Z_{12}) \tag{2 a}$$

$$R_s = \text{Re}(Z_{12}) \tag{2 b}$$

$$R_d = \text{Re}(Z_{22} - Z_{12}) \tag{2 c}$$

$$L_g = \text{Im}(Z_{11} - Z_{12}) \tag{2 d}$$

$$L_s = \text{Im}(Z_{12}) \tag{2 e}$$

$$L_d = \text{Im}(Z_{22} - Z_{12}) \tag{2 f}$$

표 1은 추출된 parameter와 실제 GEC에서 구현된 값을 비교한 것인데, drain 부분의 소자들의 값이 차이가 있다. 이는 뒤에서 설명되겠지만 GEC의 model은 gate-drain간의 diode를 일정 전류원과 저항으로 나타내고 있어, forward bias에서도 R_b 를 무시할 수가 없기 때문이다. 그러나 대부분의 pHEMT는 이것을 diode로 고려할 수 있기 때문에 실제적인 상황에서는 식 (2)를 적용하여 정확하게 외부 parameter가 추출될 것으로 생각된다. 따라서 본 논문에서는 이후의 de-embedding과정에서 GEC의 외부 parameter값을 사용하였다.

2-2 DC modeling

2-2-1 I_{ds}^{DC}

외부 parameter를 회로상에서 de-embedding한 후에 $V_{ds}=3V$ 일 때, V_{gs} 를 sweep 함으로써 얻은 g_m 의

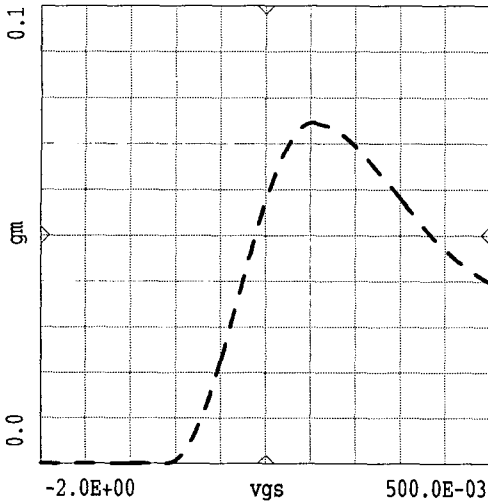


그림 3. pHEMT의 V_{gs} 에 따른 g_m 특성곡선
Fig. 3. The g_m characteristic of pHEMT vs V_{gs} .

특성곡선을 그림 3에 나타냈다.

그림과 같이 V_{gs} 의 forward bias에 대해 g_m 이 첨두치를 보인 후에 점차 줄어드는 모습을 볼 수가 있다. 이는 HEMT의 고유한 특성으로써 구조상 채널 위의 AlGaAs층이 도통이 되면서 기생 channel형성으로 인한 실제 channel에 존재하는 전자의 감소로 g_m 이 열화를 일으키기 때문이다^[4]. 따라서 기존의 MESFET에 적용되는 fitting식들, 이를 테면 Curtice cubic, Curtice quadratic 등의 식으로는 g_m 의 V_{gs} 에 대한 특성을 설명할 수 없다는 결론을 내릴 수가 있다.

이에 대해 본 논문에서는 V_{gs} 에 해당하는 부분을 무한 미분 가능하며, 특성에 따라 구간을 나누지 않아서 매우 간단하게 fitting을 할 수 있는 아래와 같은 함수를 고안하였다.

$$I_{ds}^{DC} = \left(\frac{a (V_{gs} - V_p)^p}{1 + b (V_{gs} - V_p)^q} \right) (1 + \lambda V_{ds}) \cdot \tanh(\alpha V_{ds}) U(V_{gs} - V_p) \quad (3)$$

여기서 V_p 는 pinch-off 전압을 나타낸다. 그리고 V_p 의 V_{ds} 에 대한 관계는 식 (4)에 나타내었다.

$$V_p = c V_{ds} + V_{p0} \quad (4)$$

식 (3)의 λ 와 α 는 기존의 Curtice 혹은 Statz의 model에서 쓰인 parameter와 동일한데, λ 는 채널 길이 modulation parameter이고, α 는 포화 voltage parameter이다. 또한, $U(V_{gs} - V_p)$ 는 V_{gs} 의 값이 V_p 의 값보다 클 경우에는 1이고, 작을 경우에는 0인 step함수를 나타낸다.

식 (3)을 이용 g_m 을 식 (1a)을 이용 계산할 경우는 V_{gs} 에 대한 미분이 되므로, pinch-off 근처에서는 근사적으로 $(V_{gs} - V_p)^{p-1}$ 에 비례하게 되며 반면 pinch-off에서 멀어질 경우 $(V_{gs} - V_p)^{p-q-1}$ 이 되어 $p > 1$ 일 경우 pinch off 근처에서는 지수적으로 증가하게 되며 반면 이에서 멀어질 경우 $p - q - 1 < 0$ 이 되면 이는 V_{gs} 에 대해 감소하게 되므로 따라서 이것은 그림 3의 g_m 특성을 잘 fitting할 수 있다는 것을 알 수 있다.

이를 이용 drain 전류 특성을 fitting할 경우 다음 그림 4에서 같이 잘 일치하는 것을 볼 수 있다.

다음 식 (5)는 위의 I_{ds}^{DC} 의 fitting된 식을 나타낸다.

$$I_{ds}^{DC} = 1.2 \frac{0.1 (V_{gs} - V_p)^{2.5}}{1 + (V_{gs} - V_p)^{2.1}} (1 - 0.1 V_{ds}) \cdot \tanh(2V_{ds}) U(V_{gs} - V_p) \quad (5)$$

$$V_p = -0.11 V_{ds} - 0.92 \quad (6)$$

위의 식에서 λ 에 해당되는 값이 -0.1이 나오는

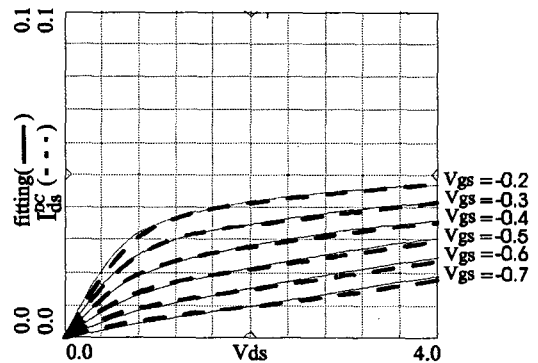


그림 4. I_{ds}^{DC} 의 특성곡선 및 fitting결과

Fig. 4. The S/W measured I_{ds}^{DC} and the fitting result of I_{ds}^{DC} .

이유는, 식 (5) 앞의 V_{gs} 로 나타나는 분수식이 V_{ds} 에 대해 선형적으로 증가하는 형태를 보이기 때문인데, 이 값과 $(1 + \lambda V_{ds})$ 의 값이 서로 보상되어 그림 4와 같이 saturation 부분에서 증가하는 형태를 만들 수가 있다.

2-2-2 I_{gs}^{DC} , I_{gd}^{DC}

Gate에서 source와 drain사이에는 각각 I_{gs}^{DC} , I_{gd}^{DC} 인 접합 diode current가 존재한다. 다음 그림 5에는 V_{ds} 를 2 V로 고정한 후에, V_{gs} 의 값을 0에서 1V로 sweep한 결과이다. 이렇게 bias를 걸게 되면, 결과적으로 gate-drain사이에는 역 bias가 존재하므로 I_{gs}^{DC} 의 값을 얻어낼 수가 있다.

특성상 diode의 forward current를 나타내는 식으로 fitting하였으며 그 결과를 그림 5에 같이 표현하였다.

$$I_{gs}^{DC} = 2.4 \times 10^{-10.69} (e^{21.03 V_{gs}} - 1) \quad (7)$$

그림 6에는 I_{gd}^{DC} 의 특성곡선을 나타내는데, 그 측정은 $V_{ds} = -5V$ 로 한 후, V_{gs} 의 값을 $-5V$ 에서 $-1V$ 의 값으로 sweep함으로써 얻어냈다. 즉 drain

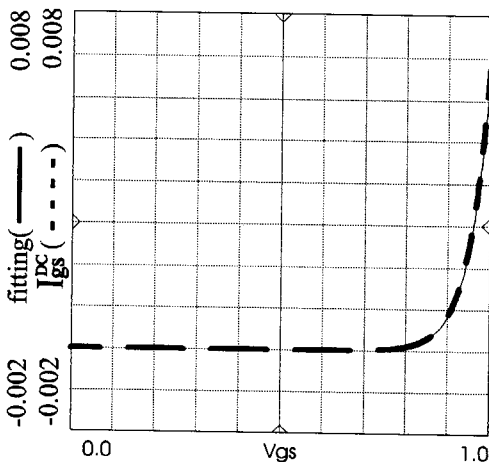


그림 5. I_{gs}^{DC} 의 특성곡선 및 fitting결과

Fig. 5. The S/W measured I_{gs}^{DC} and the fitting result of I_{gs}^{DC} .

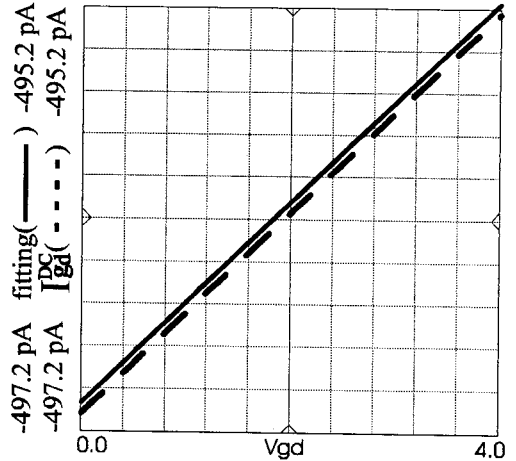


그림 6. I_{gd}^{DC} 의 특성곡선 및 fitting결과

Fig. 6. The S/W measured I_{gd}^{DC} and the fitting result of I_{gd}^{DC} .

에 비해 source에는 5V의 전압이 걸리게 되고 이는 gate-source간에 역 bias가 존재하므로 I_{gd}^{DC} 를 얻어낼 수가 있다.

앞의 I_{gs}^{DC} 와는 다르게 저항과 일정한 전류원이 존재하는 것처럼 나왔기 때문에, 다음처럼 1차 함수로 fitting을 하였다.

$$I_{gd}^{DC} = (4.72758 \times 10^{-3} V_{gd} - 4.97067) \times 10^{-10} \quad (8)$$

위의 식에서 볼 수 있듯이 I_{gd}^{DC} 의 경우에는 diode 형태가 아니므로 앞서 외부 parameter 추출시에 저항 R_b 의 값이 forward bias시에도 무시할 수가 없으며, 이것의 영향이 외부 parameter의 값에 포함되어 앞서 cold상태의 drain쪽 부분에서 오차가 발생된 것을 알 수 있다.

2-3 S-parameter에 의한 내부 parameter의 modeling

외부 parameter를 de-embedding한 상태에서, 측정된 S-parameter와 소신호 등가회로에 필요한 7개의 등가회로 parameter와 관련지을 수 있다. 특별히 내부 소신호 등가회로의 구조가 Y-parameter의 형태를

갖고 있기 때문에, 얻어진 S-parameter를 변환하여서 각 parameter의 값을 Y-parameter로 표현할 수 있다^[5]. 내부 소신호 parameter에 대해 주파수의 특성을 조사한 결과, 그 값이 주파수에 대해서는 일정하게 나오므로, 주파수를 30 GHz로 고정하고 대신 모델에 대한 bias에 대한 특성을 다음과 같이 fitting하였다.

2-3-1 C_{gs} 와 C_{gd}

비선형 capacitance에는 gate-source간의 C_{gs} 와 gate-drain간의 C_{gd} 가 있는데, 이들 값들은 depletion 영역의 depth와 관련된 것으로 주어진 V_{gs} , V_{ds} 에 대해 모두 의존성을 갖게 된다. 본 논문에서는 그림 7에서처럼 C_{gd} 의 경우에는 $V_{gd}(=V_{gs}-V_{ds})$ 에 대해서 접합 capacitance의 형태로 나타났으며, C_{gs} 의 경우에는 I_{ds}^{DC} 의 V_{gs} 에 대한 functional dependence와 유사한 것으로 나타났다.

C_{gs} 의 특성곡선에 대해서는 도핑된 AlGaAs층의 parasitic MESFET conduction이 영향을 주는 것으로 관찰되며^[6], 아래와 같은 식으로 나타낼 수 있었다.

$$C_{gs} = 0.04 + \frac{0.1 (V_{gs} + 2)^{1.67}}{1 + 0.07 (V_{gs} + 2)^{2.73}} \cdot (0.1 V_{ds} + 0.6) U(V_{gs} + 2) [\text{pF}] \quad (9)$$

반면 C_{gd} 의 경우에는 V_{gs} 를 고정할 경우 depletion capacitance와 유사한 bias 의존도를 보이며, 이는 SPICE에 사용되었던 비선형 capacitance식을 이용하였다. 다음 식은 fitting된 식을 나타내며 그 결과 역시 그림 7에 나타내었다.

$$C_{gd} = \begin{cases} 0.01 + 0.17 \left(1 - \frac{V_{gd}}{0.7}\right)^{-2.42} [\text{pF}] & (\text{if, } V_{gd} < -0.434) \\ 0.01 + \frac{0.17}{(1 + 0.62)^{1+2.42}} \left(3.42 + 2.42 \frac{V_{gd}}{0.7}\right) [\text{pF}] & (\text{if, } V_{gd} > -0.434) \end{cases} \quad (10)$$

그리고 이것의 V_{gs} 에 따른 의존도는 아래와 같이 나타났다.

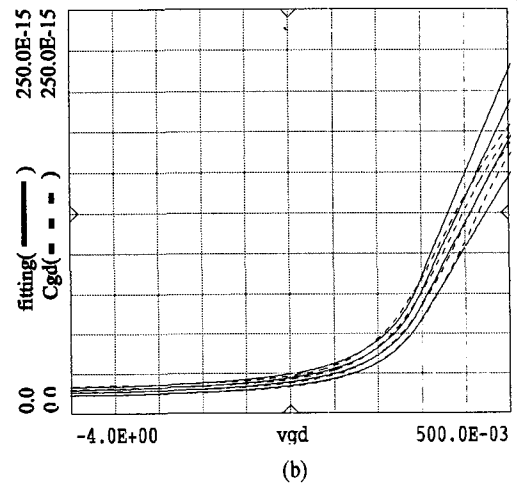
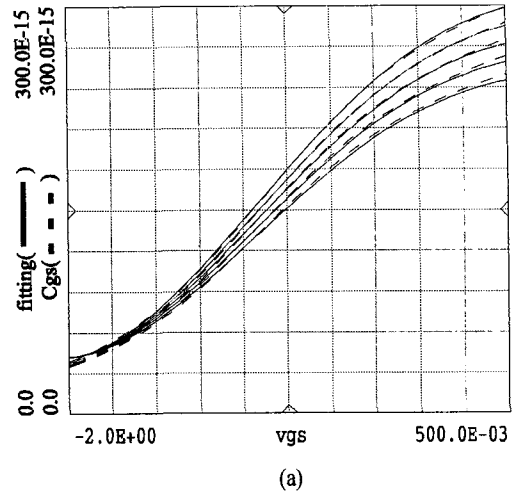
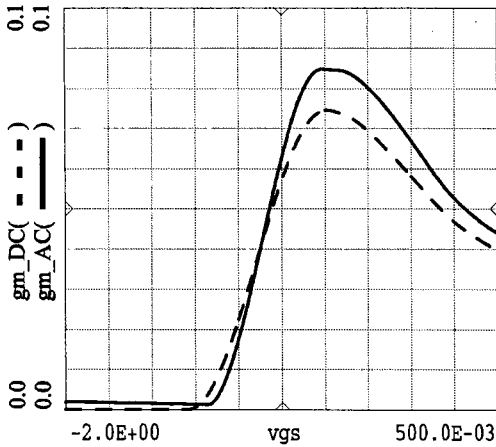


그림 7. C_{gs} (a), C_{gd} (b)의 특성곡선 및 fitting결과
Fig. 7. The S/W measured C_{gs} (a), C_{gd} (b) and the fitting result of C_{gs} (a), C_{gd} (b).

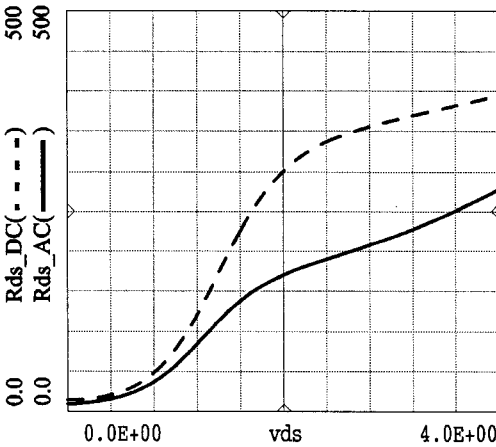
$$C_{gd} = (0.75 - 1.3 V_{gs}) C_{gdo} \quad (11)$$

2-3-2 AC에서의 g_m , R_{ds}

채널상의 전류를 나타내는 g_m 과 R_{ds} 는 DC상태의 I_{ds}^{DC} 로부터 식 (1)을 사용 얻은 결과와 AC상태의 S-parameter로부터 얻은 결과의 두 가지 방법이 있다. 그림 8에는 위의 방법에 의해 얻어진 g_m , R_{ds} 의 비교를 나타낸 것인데 AC에서 얻은 결과와 DC에서 얻은 결과가 다른 것을 볼 수가 있다.



(a)



(b)

그림 8. g_m (a), R_{ds} (b)의 DC와 AC에서의 비교
Fig. 8. The comparison g_m (a), R_{ds} (b) at DC and AC.

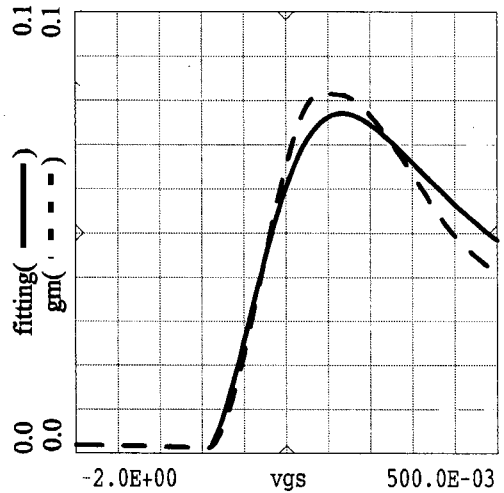
이는 기존의 여러 논문에 의해 지적된 현상^{[6],[7]}이며, 원인에 대해서는 thermal feedback 효과, 직렬 저항의 저주파수 대역에서의 변화, 그리고 구조상의 trap 등에 의한 영향으로 검토되고 있다^[7]. 본 논문에서는 앞서 DC상태의 I_{ds}^{DC} 와 유사하게 S-parameter로부터 얻어진 R_{ds} , g_m 으로부터 AC상태의 I_{ds}^{AC} 를 얻어내어서 fitting을 하였다. 수정된 Curtice 식을 이용하여서 g_m , R_{ds} 를 나타내는 방법은 다음과 같다.

i) 선정된 $V_{ds} = V_{dso}$ 에서, g_m 을 V_{gs} 에 대해 적분을 한 뒤에 다음 식을 이용하여 fitting한다.

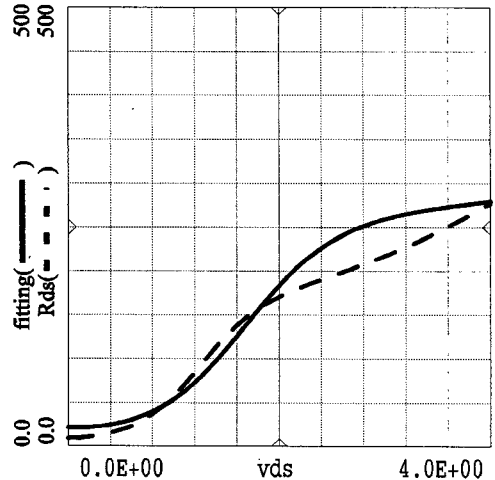
$$I_{gm} = \frac{\alpha_{gm} (V_{gs} - V_p)^p}{1 + b (V_{gs} - V_p)^q} \quad (12)$$

ii) $V_{gs} = V_{gso}$ 에서, $g_{ds}(=1/R_{ds})$ 를 V_{ds} 에 대해서 적분을 한 뒤에 다음 식을 이용하여 fitting한다.

$$I_{gds} = \frac{\alpha_{gds} (V_{gso} - V_p)^p}{1 + b (V_{gso} - V_p)^q} (1 + \lambda V_{ds}) \cdot \tanh(\alpha V_{ds}) \quad (13)$$



(a)



(b)

그림 9. g_m (a), R_{ds} (b)의 fitting결과
Fig. 9. The fitting results of g_m (a), R_{ds} (b).

iii) 위에서 얻은 α_{gm} 과 $\alpha_{gds}(1+\lambda V_{dso})\tanh(\alpha V_{dso})$ 가 일치하는지 확인한다.

그림 9에는 위의 방법에 의해 구현된 AC상태의 I_{ds}^{AC} 의 fitting식을 이용, 이를 미분하여 얻은 g_m , R_{ds} 의 결과를 나타낸다.

위의 결과에서 g_m , R_{ds} 의 fitting에서 오차가 있는 것을 볼 수가 있는데, 이것은 I_{ds}^{AC} 를 구하기 위한 3번째 단계의 계수비교에서 값들이 잘 일치하지 않았기 때문이며, 시행착오를 거쳐 최적의 값으로 설정하였다. 이 원인에 대해서는 향후 검토해야 할 부분으로 고찰된다.

2-3-3 C_{ds} , R_i , 및 τ

채널상의 전자 농도의 차이와 구조상으로 발생되는 C_{ds} 의 경우에 S/W측정 결과, V_{ds} 에 따른 dependence는 거의 나타나지 않았고, 다만 V_{gs} 에 따라 변하게 되며, 앞서 C_{gd} 와 비슷한 특성이 나타났다. 이에 대해 역시 SPICE모델의 비선형 capacitance식을 이용하여 fitting하였으며 그 식은 다음과 같다.

$$C_{ds} = \begin{cases} 0.01 + 0.04 \left(1 - \frac{V_{gs}}{0.7}\right)^{-0.67} & [\text{pF}] \\ \text{(if, } V_{gs} < -0.5) \\ 0.01 + \frac{0.04}{(1+0.5)^{1+0.67}} \left(1.835 + 0.67 \frac{V_{gs}}{0.7}\right) & [\text{pF}] \\ \text{(if, } V_{gs} > -0.5) \end{cases} \quad (14)$$

Depletion영역과 source-drain pad 사이의 distributed 저항 성분을 나타내는 R_i 의 경우에도 역시 C_{ds} 와 유사하게 V_{ds} 에 대한 dependence는 나타나지 않았고, V_{gs} 에 대해서는 pinch-off 상태에서 매우 작은 값(0.048 Ω)을 갖고 점점 증가하다 일정한 값(2.5 Ω)을 갖는 특성을 나타내었다. 이에 대해 V_{gs} 에 대해서만 fitting을 하였는데, 사용된 함수는 tanh 함수이다. 특별히 tanh(.) 함수를 사용한 이유는 앞서 I_{ds}^{DC} 의 fitting에서도 사용되었고, 또한 이미 기존의 Curtice나 혹은 Stutz 등의 모델을 통해서 보편적으로 많이 쓰이므로, 비선형 simulation에도 잘 적용되기 때문이다. R_i 의 완성된 fitting식은 다음과 같다.

$$R_i = 1.8\{1 + 0.05(V_{gs} + 1.625)\} \cdot \tanh\{1.26(V_{gs} + 1.625)\} + 0.534 \quad (15)$$

Gate전압의 변화에 따른 g_m 의 delay를 나타내는 τ 의 경우에는 S/W측정 결과 V_{gs} , V_{ds} 모두에 대해 dependence가 거의 나타나지 않았기 때문에 0.635 ps로 값을 고정하였다.

2-4 Noise parameter modeling

외부의 저항에 의해 발생하는 열 잡음을 앞서와 같이 de-embedding하여 제거한 뒤에, 얻어진 4개의 noise parameter인 N_{Fmin} , R_n , S_{opt} 로부터 correlation admittance matrix를 구할 수 있다. 일반적으로 admittance matrix의 2-port (a) se에 대한 내용은 상관된 입력측 잡음전류 $\langle i_g^2 \rangle$ 과 출력측 잡음전류 $\langle i_d^2 \rangle$ 로써 나타내는데, 본 모델의 잡음 correlation matrix는 MDS의 noise simulation결과 다음과 같이 표현된다.

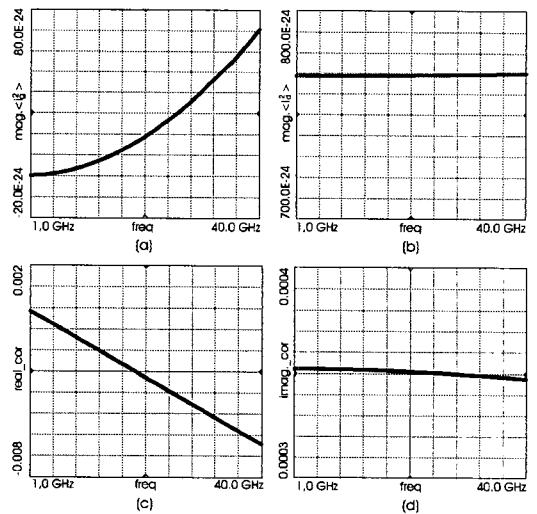


그림 10. Noise parameter의 주파수 특성

(a) 입력 잡음전류, (b) 출력 잡음전류, (c) 상관관계 실수부, (d) 상관관계 허수부
 Fig. 10. The frequency characteristic of noise parameter.
 (a) input noise current, (b) output noise current, (c) real correlation, (d) imaginary correlation.

$$\begin{aligned}
 C_y &= \begin{pmatrix} \langle i_g^2 \rangle & \langle i_g i_d^* \rangle \\ \langle i_g^* i_d \rangle & \langle i_d^2 \rangle \end{pmatrix} \\
 &= \begin{pmatrix} icor[1,1] & icor[1,2] \\ icor[2,1] & icor[2,2] \end{pmatrix} \quad (16)
 \end{aligned}$$

다음 그림 10에는 gate-source간의 noise current $\langle i_g^2 \rangle$ 과 drain-source간의 current $\langle i_d^2 \rangle$, 그리고 $\langle i_g^* i_d \rangle$ 의 real성분과 imaginary성분의 주파수에 대한 특성을 나타낸 것이다. 그림 10에서 $\langle i_g^2 \rangle$ 의 경우는 주파수의 제곱에 비례하기 때문에 주파수의 제곱으로 나누었고, real correlation의 경우에는 주파수를 나누어 줌으로써, 주파수에 대한 dependence를 제거하였다. 이 후에 모든 잡음 parameter는 주파수에 따른 변화를 보이지 않으며, DC전류에만 의존하게 된다. 이를 DC 전류인 I_{ds}^{DC} 를 이용하여 bias에 따른 특성을 fitting하였다.

2-5 통합모형

본 논문에서 구축한 통합모형을 다음 그림 11에 나타내었다.

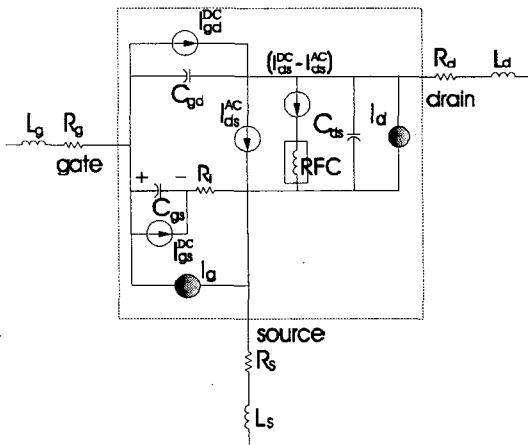


그림 11. 구현된 통합모형의 회로도. 여기서,

$$\begin{aligned}
 I_{ds}^{DC} &= I_{ds}^{DC} [V_{gs}(t-\tau), V_{ds}], \\
 I_{ds}^{AC} &= I_{ds}^{AC} [V_{gs}(t-\tau), V_{ds}]
 \end{aligned}$$

Fig. 11. The established unified equivalent circuit.

Here, $I_{ds}^{DC} = I_{ds}^{DC} [V_{gs}(t-\tau), V_{ds}],$
 $I_{ds}^{AC} = I_{ds}^{AC} [V_{gs}(t-\tau), V_{ds}].$

소자 내부의 parameter를 구분하면 점선 내부의 intrinsic부분과 extrinsic부분으로 나누어 있고, extrinsic부분은 앞서 cold 상태에서 얻은 parameter들이고, intrinsic부분은 bias의 변화에 따른 fitting된 내부 parameter들과 새롭게 수정된 Curtice모형을 이용한 DC current(I_{ds}^{DC}) 및 다이오드 current, 그리고 DC의 I_{ds}^{DC} 에 의해 fitting된 잡음 current 및 correlation을 나타내고 있다. 특히 DC상태의 I_{ds}^{DC} 로부터 얻어낼 수 있는 g_m, R_{ds} 와 AC상태의 S-parameter로부터 얻어낼 수가 있는 g_m, R_{ds} 의 선택을 위해서 회로상에 내부적인 RF-choke(RFC)를 추가하였다.

이는 곧 DC에서는 주파수가 0이기 때문에 short이므로 I_{ds}^{AC} 성분이 서로 상쇄되어 I_{ds}^{DC} 성분만 나타나고, 반대로 주파수가 증가함에 따라 open이 되어서 I_{ds}^{AC} 성분에 의한 S-parameter의 g_m, R_{ds} 를 얻을 수가 있기 때문이다.

III. 통합모형의 검증 및 비교

본 논문에서 구현된 통합모형에 대해 MDS를 이용하여 S-parameter 해석과 noise해석, 선형 simulation 및 비선형 simulation을 수행함으로써, 모형의 정확성 및 수렴 가능성을 검증하였다. 우선 다음 그림 12는 S-parameter의 값을 비교한 것인데, 특별히 V_{ds} 와 V_{gs} 의 값을 변화시킬 경우, 각각 S_{21} 과 S_{22} 에서 오차가 발생하는 것을 볼 수가 있다. 이는 앞서 AC상태의 I_{ds}^{AC} 에 의한 g_m, R_{ds} 의 fitting 오차가 반영된 것으로 고찰된다.

그림 13에는 선형 simulation의 결과를 나타낸 것인데, 이는 선정된 저잡음증폭기 회로를 이용한 것으로 비교적 잘 일치하는 것을 볼 수가 있다. 그리고 MDS의 예제에 나오는 발진기 회로를 이용하여 1-tone harmonic simulation을 했을 경우 fundamental(3.7859 GHz, 18.184 dBm) 신호에 대해서 주파수는 약 4.7 MHz, power는 약 0.434 dB 정도 차이가 있음을 볼 수가 있었다. 또한 pHEMT single ended mixer에 의한 2-tone harmonic simulation의 결과로써 변환이득(-23.164 dB)의 차이가 약 1.2 dB, 그리고 이것의 잡음지수 해석에서는 전체적으로 잡음지수(약 27 dB)가 1~1.5 dB의 차이가 있음을 볼 수

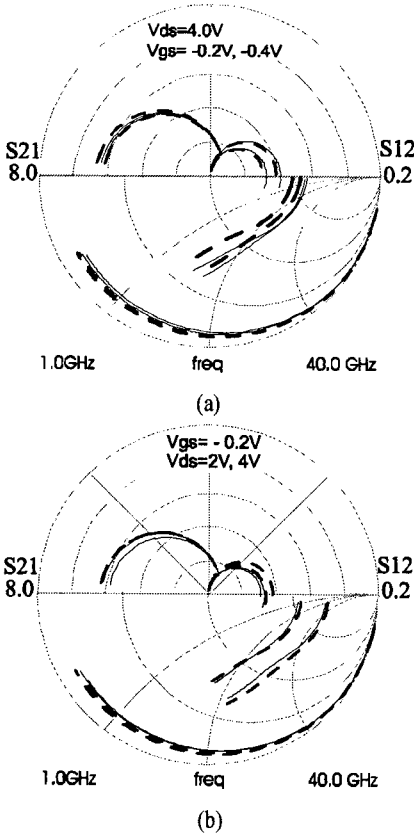


그림 12. Bias에 따른 S-parameter 비교
 (a) V_{gs} variation, (b) V_{ds} variation
 Model ; ——— Measure ; - - - -

Fig. 12. The comparison of S-parameters
 (a) V_{gs} variation, (b) V_{ds} variation
 Model ; ——— Measure ; - - - -

있었다.

IV. 결 론

pHEMT의 gate-source간의 전압에 의해 변하는 g_m 특성곡선에 대해서 새롭게 수정된 Curtice모델을 적용하여 자체적으로 통합모델을 완성하였다. 특히 수정된 Curtice 모델의 경우 bias에 따라 구간을 나누어서 fitting을 할 필요가 없기 때문에 보다 간단하게 표현할 수 있는 장점이 있다. 또한 drain-source간의 전류의 주파수에 따른 변화를 설명하기 위해서 회로 내부에 RF-choke를 삽입하였다.

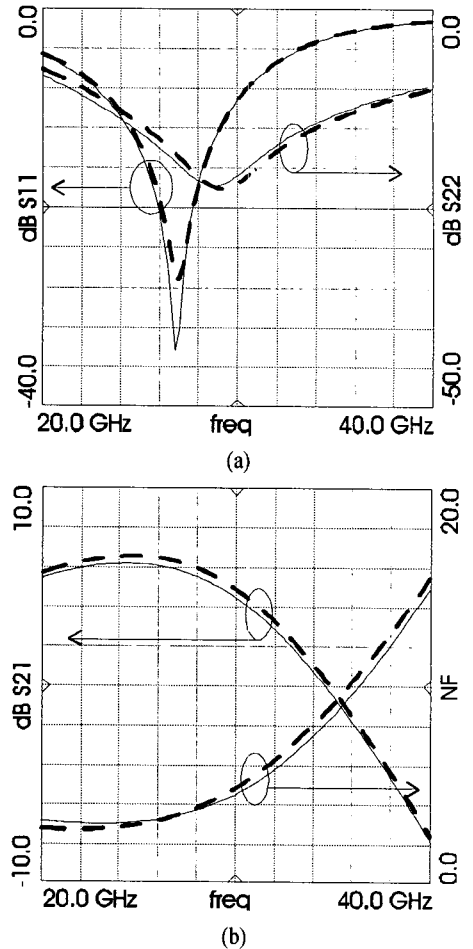


그림 13. LNA를 이용한 선형 simulation의 결과 비교 (a) $dB(S_{11})$ 과 $dB(S_{22})$, (b) 이득과 NF
 Model ; ——— Measure ; - - - -

Fig. 13. The linear simulation result using LNA
 (a) $dB(S_{11})$ and $dB(S_{22})$, (b) gain and NF
 Model ; ——— Measure ; - - - -

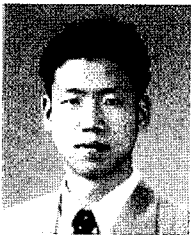
본 연구에서 완성된 통합모델은 DC, 소신호 모델, 그리고 잡음모델이 모두 포함되어 있으며, MDS의 SDD를 사용하여 표현을 하였다. 이미 앞서 보인 것처럼 선형과 비선형 simulation을 통해서 모두 수렴 가능하기 때문에 본 모델을 이용하여 부품 개발을 할 경우, 필요한 모든 simulation을 할 수가 있을 것으로 고찰된다. 아울러 자체적으로 매우 간단하게 모델을 구현할 수가 있으므로, process를 보유한 연

구소나 기업체에서 이용한다면 보다 나은 foundry를 제공할 수 있을 것으로 사료된다.

참 고 문 헌

- [1] P. M. Smith, "Status of InP HEMT technology for microwave receiver application", *IEEE Trans. on Microwave Theory and Tech.*, vol. 44, pp. 2328-2333, Dec., 1996.
- [2] The GEC-Marconi Company, *GaAs IC Foundry design manual(Process H40)*, Oct., 1997.
- [3] G. Dambrine *et al.*, "A new method for determining the FET small-signal equivalent circuit", *IEEE Trans. on Microwave Theory and Tech.*, pp. 1151-1159, July, 1987.
- [4] J. M. Golio, *Microwave MESFETs & HEMTs*, Norwood, MA: Artech House, 1991.
- [5] K. W. Yeom *et al.*, "Frequency dependence of GaAs FET equivalent circuit elements extracted from the measured two-port S-parameter", *Proc. of the IEEE*, vol. 76, no. 7, pp. 843-845, 1988.
- [6] J. M. Golio *et al.*, "Frequency dependent electrical characteristics of GaAs MESFETs", *IEEE Trans. Electron Devices*, vol. ED-37, May, 1990.
- [7] J. A. Reynoso-hernandez *et al.*, "Output conductance frequency dispersion and low-frequency noise in HEMT's and MESFET's", *IEEE Trans. on Microwave Theory and Tech.*, pp. 1478-1481, Sept., 1989.

박 덕 종



1999년 2월: 충남대학교 전파공학과(공학사)
 1999년 3월 ~ 현재: 충남대학교 전파공학과 석사과정
 [주 관심분야] 초고주파 회로의 MMIC개발, 능동소자 모델링, 능동 및 수동소자 개발 등

염 경 환



1980년~1982년: 한국과학기술원 전기 및 전자과(공학석사)
 1982년~1988년: 한국과학기술원 전기 및 전자과(공학박사)
 1988년 3월: 금성전기(주) 소재부 품연구소 선임연구원(MIC팀 팀장)

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
 1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
 1991년 8월: (주) LTI
 1999년 10월: 충남대학교 전파공학과 부교수
 [주 관심분야] 마이크로파 회로 및 시스템

장 동 필



1992년 2월: 충남대학교 전자공학과 졸업(공학사)
 1994년 2월: 충남대학교 대학원 전자공학과 졸업(공학석사)
 1994년 2월~현재: 한국전자통신연구원 근무
 [주 관심분야] 위성 RF 부품

이 재 현



1982년 2월: 인하대학교 전자공학과(공학사)
 1985년 2월: 한국과학기술원 전자 및 전자공학과(공학석사)
 1993년 2월: 한국과학기술원 전자 및 전자공학과(공학박사)
 1991년 2월~2001년 2월: 한국전자통신연구원(ETRI) 무선방송기술연구소(책임연구원)
 2001년 2월~현재: 충남대학교 전파공학과 조교수
 [주 관심분야] 무선통신시스템