

유도성 벽을 이용한 π 분기형 일층구조 급전도파관 어레이의 설계

Design for a Single-layer Feeder Waveguide Array using π -Junctions with the Inductive Wall

민경식 · 김광욱 · 김동철 · 임학규

Kyeong-Sik Min · Kwang-Wook Kim · Dong-Chul Kim · Hag-Gyu Lim

요 약

본 논문은 유도성 벽을 이용한 π 분기형 일층구조 급전도파관 어레이 설계에 대하여 기술하고 있다. 이 구조는 복사도파관과 급전도파관을 같은 층에 위치시킴으로써 전체 구조를 일층구조로 만들었으며, 유도성 벽을 이용함으로써 하나의 도파관 창으로부터 복사도파관으로 급전부의 전력분배를 동위상·동진폭으로 분배되도록 설계하였다. Galerkin's 모멘트법을 이용하여 유도성 벽을 포함한 다단형 급전도파관을 엄밀하게 해석하였고, 설계에 있어서 전송선로형 등가회로 개념을 이용하여 전력분배비와 반사계수를 구하였다. π 결합 분기기 한 단에 대해 시뮬레이션하고 그 값을 토대로 하여 실제 제작을 통해 그 타당성을 입증하였고, 한 단에 대한 설계 방법을 토대로 반복 계산에 의한 설계 주파수 3.95 GHz을 중심으로 하는 8-port 어레이 급전구조를 설계하였다.

Abstract

This paper presents a design for a single-layer feeder waveguide array using π -junctions with the inductive wall. The feed structure consists of a single waveguide placed on the same layer as radiating waveguide and is characterized by the unit divider, called a π -junction. This π -junction with an inductive wall splits part of the power into two branches waveguide through one coupling window, and can excite densely arrayed waveguide at equal phase and amplitude. The power dividing characteristics of the cascade of π -junctions are analyzed by Galerkin's method of moments. The numerical results show reasonable agreement with the experimental results. From the optimum simulation results based on the feeder waveguide using π -junction, we obtained the scattering matrices of the feeder divided power at 3.95 GHz.

I. 서 론

이동통신서비스의 시작과 함께 소비자의 다양한 욕구를 만족시키기 위하여 통신장비의 핵심부품인 안테나 역시 경박·단소하면서도 경제적이고 고성능을 가지는 장비 개발이 강하게 요구되고 있는 실정이다. 이러한 통신분야는 앞으로도 많은 발전을

할 것으로 기대되며, 이에 따른 경박·단소하면서도 경제적이고 고성능을 가지는 통신장비의 개발이 강하게 요구되고 있는 실정이다. 따라서 본 연구에서는 이동체 탑재형 도파관 어레이 평면 안테나 시스템 등에 적용하기 위한 유도성 벽을 가지는 π 결합 분기기 어레이 급전도파관을 제안한다. 그런데, 종래의 도파관 평면 안테나에서는 급전도파관을 복사

한국해양대학교 공과대학 전파공학과(Department of Radio Sciences & Engineering, College of Sciences and Engineering, Korea Maritime University)

· 논문 번호 : 20001027-125

· 수정완료일자 : 2000년 12월 15일

도파관 어레이 안테나의 하부에 별도로 부착함으로써 구조가 복잡해지고 제작비용이 비싼 단점이 있었다. 이러한 문제점을 해결하기 위해 일본의 N. Goto 교수 연구팀은 문헌[1]~[3]과 같은 급전도파관을 복사도파관과 같은 평면 위에 배치시키는 일층구조 평면 도파관 어레이 안테나를 제안하였다 [1]~[3].

그러나 문헌[1]~[3]에서는 급전도파관의 신호를 각 포트에 동위상·동진폭으로 분배하기 위해 유도성 핀을 사용하였으며, 이들 신호의 분배량이나 분배위상을 조정하기 위하여 유도성 핀을 인위적인 방법, 즉 사람의 손으로 유도성 핀의 높이를 조작함으로써 신호분배 특성의 효율저하와 제작상의 어려움이 있었다. 이러한 문제를 해결하기 위하여 본 논문에서는 유도성 핀 대신 유도성 벽을 사용하여 급전도파관 안테나의 신호분배를 안정화시키고자 하였다. 유도성 벽을 급전도파관에 직접 고정함으로써 고효율의 분배특성을 실현할 수 있으며, 제작의 수월성과 비용절감 효과를 얻을 수 있다.

본 논문에서는 그림 1에서 보는 바와 같이, 문헌 [3]에서 사용된 포스트대신에 유도성 벽을 이용하여 종단벽과 종단벽 이외의 π 결합 분기 한 단을 설계한 값을 토대로 다단으로 접합한 어레이 급전구조 설계에 관하여 기술한다. 그림 1에서 보면 RF회로부터 받은 신호를 손실 없이 전파할 수 있도록 동일한 구조의 π 결합 분기기를 다단으로 접합하여 각각의 복사도파관으로 분배되는 전력을 같게 하고, 분배해 주는 급전부에 반사계수가 최소가 되도록

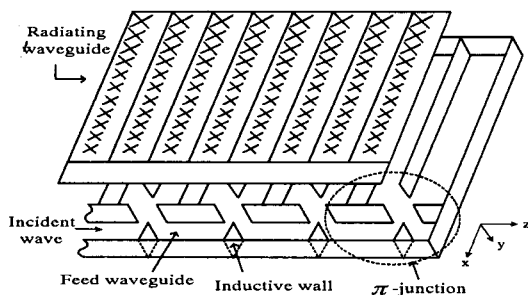


그림 1. 유도성 벽을 가지는 도파관 평면 안테나
Fig. 1. The slot array plane antenna with inductive wall.

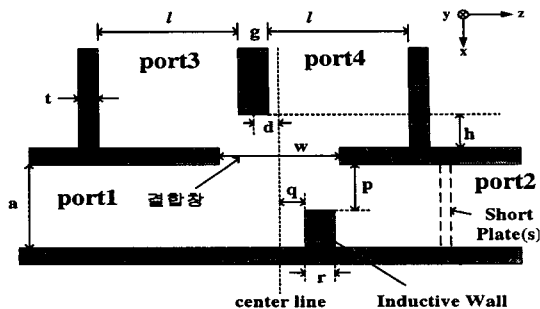


그림 2. 유도성 벽을 가진 급전도파관의 단면도
Fig. 2. Top view of feed waveguide with inductive wall.

유도성 벽을 가지는 π 결합 분기형 일층구조 어레이 급전도파관 설계를 제안한다. 이 설계에 있어서 가장 민감하게 반응하는 각 파라미터에 대해 연구하였고, 시뮬레이션을 통한 최적의 설계값을 도출하였다. 이로부터 얻은 최적 설계값을 토대로, 사용 주파수 대역에 걸쳐 일층구조 어레이 급전부의 반사계수를 최소화시키고, 급전도파관에서 복사도파관으로 분배되어 나가는 각 포트에 진폭과 위상을 같게 할 수 있는 유도성 벽을 가지는 π 결합 분기형 급전도파관 어레이 구조를 설계하였다. 슬롯 어레이 도파관 안테나의 급전을 위해 사용하게 될 π 결합 분기형 급전도파관의 구조는 그림 2와 같다.

II. π 결합 분기형 급전도파관의 설계

2-1 유도성 벽을 가지는 π 결합 분기기

2-1-1 구조

그림 2는 Short Plate를 제외한 유도성 벽을 가지는 π 결합 분기기를 위에서 바라본 단면도로 설계에 사용될 각 파라미터들을 도시하였다. 이들 파라미터들은 동위상·동진폭을 가지는 최적의 급전구조를 설계하기 위한 것들로서, 이들의 값을 이용하여 위상과 진폭을 조정할 수 있다. 특히 유도성 벽은 신호의 분배율을 조정하는 파라미터로서 어레이 안테나를 실현하고자 할 때, 그들의 위치와 크기에 의해 각 포트의 신호 분배율이 결정된다.

2-1-2 최적 설계

그림 2의 구조에 대한 설계 주파수는 3.95 GHz로 하였다. 각 파라미터들을 구하기 위해, 우선 설계 주파수의 관내파장을 고려하여 전송선로의 길이를 정한다. 이때 회로의 반사계수를 판단 기준으로 하여 1차적으로 대강의 파라미터를 구한다. 다음으로 하나의 파라미터를 반복 계산에 의해 구하고, 동시에 다른 파라미터들은 1차에서 구한 값을 갖는 것으로 한다. 이들을 반복 계산하여 가장 양호한 특성을 가지는 파라미터를 정하고 반복계산을 통하여 다음 파라미터를 구하는 방식을 사용하였다. 설계에 사용된 도파관은 WR-229로 표준 도파관의 높이, 길이와 두께는 각각 29.1 mm, 58.1 mm와 1.6 mm이다. 전송 손실을 최소화하고 동일한 주파수 특성을 포트 3과 포트 4로 분배하기 위하여 각 단의 도파관 창 앞에 유도성 벽을 두고 Galerkin's 모멘트법^[4]으로 해석하여 유도성 벽의 길이, 위치, 도파관 창 폭의 길이, 위치 및 유도성 벽의 offset 등을 반복계산을 통하여 최적의 값을 결정하였다. 저자 등은 이들에 대한 기초 계산 결과들을 학회에 이미 보고한 바 있고^{[5]-[7]}, 이 설계값들을 토대로 동일한 구조의 π 결합 분기기를 다단으로 접합하여 각각의 복사도파관으로 분기되는 진폭과 위상을 같게 하기 위한 어레이 설계를 본 논문에서 행하였다. 분기 포트의 어레이 설계를 위한 설계의 판단기준으로 반사계수를 사용하였으며, 그 값이 최소가 되도록 설계하였다. 이에 사용될 설계파라미터에 대해 연구한 내용은 다음과 같다.

가) 도파관 창(w)의 변화

먼저 도파관 창이 급전부에 미치는 영향을 알아보기 위해서 폭의 변화를 29.0 mm에서 31.0 mm까지 0.01 mm씩 증가시키면서 시뮬레이션하였다. 계산결과는 그림 3과 같다. 그림 3에서 보는 바와 같이 S_{11} 의 값은 도파관 창 폭이 29 mm에서 31 mm사이에서 -30 dB 이하로 양호한 특성을 보여주고 있고, 도파관 창 폭이 29.98 mm일 때 S_{31} 과 S_{41} 은 -8.902 dB로 두 포트의 투과계수값이 잘 일치함을 알 수 있다. 도파관 창 위치와 관련한 설계로부터

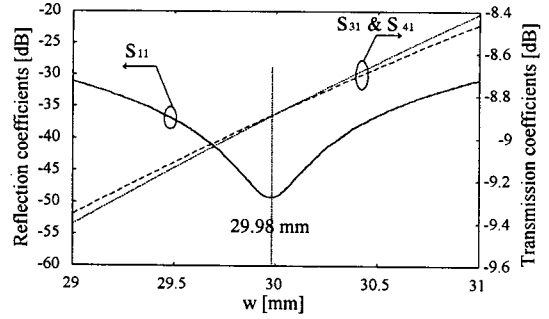


그림 3. 도파관 창의 변화에 따른 S_{11} , S_{31} & S_{41}
 Fig. 3. The calculated reflection & transmission coefficients as a function of coupling window.

S_{31} 과 S_{41} 의 분배진폭의 변화를 조정할 수 있음을 알 수 있으며, 이는 어레이 설계에 유효하게 사용될 것이다. 도파관 창 폭의 설계에서는 그림 3으로부터 얻은 29.98 mm를 이후의 다른 파라미터들의 설계에 최적값으로 사용한다. 이때 그림 2에 표시된 다른 파라미터들은 표 1의 데이터를 사용하였다.

나) Cut의 길이(h)의 변화

공용벽과 도파관 창과의 거리(h)가 급전부에 미치는 영향을 알아보기 위해서 h의 길이 변화를 33.0 mm에서 35.0 mm까지 0.01 mm씩 증가시키면서 시뮬레이션하였다. 그림 4에서 보는 바와 같이 S_{11} 의 값은 도파관 창 폭이 33 mm에서 35 mm사이에서 -40 dB 이하로 양호한 특성을 보여주고 있고, h가 33.7 mm일 때, S_{31} 과 S_{41} 은 -8.9 dB로 두 포트의 투과계수값이 잘 일치함을 알 수 있다. 그림 4로부터 알 수 있는 것처럼 h의 변화는 분배진폭의 변화에 민감하지 않음을 알 수 있고, 이는 어레이로 급전부를 제작할 때 h의 길이가 다소 변화한다 하더라도 분배진폭에 큰 영향을 미치지 않아 제작상의 자유도를 높힐 수 있음을 의미하는 중요한 결과라 하겠다. h를 제외한 그림 2의 기타 파라미터들은 표 1의 데이터를 사용하였다.

다) 도파관 창의 offset (d) 변화

포트 3과 포트 4 사이의 벽의 위치에 따른 분배

표 1. 유도성 벽을 지나는 π 결합 분기기의 설계 파라미터

Table 1. Design parameters of π -junction with inductive wall.

설계 파라미터	기호	유도성 벽을 지닌 π 분기	종단벽을 가지는 π 분기
급전도파관의 폭	a	58.10 mm	58.10 mm
복사도파관의 폭	l	58.10 mm	58.10 mm
도파관의 두께	t	1.60 mm	1.60 mm
복사도파관 공용벽의 두께	g	3.20 mm	3.20 mm
도파관의 높이	b	29.10 mm	29.10 mm
도파관창의 offset	d	-0.57 mm	0.00 mm
도파관창	w	29.98 mm	34.60 mm
Cut의 길이	h	33.70 mm	34.60 mm
유도성 벽의 위치[x]	p	41.27 mm	36.65 mm
유도성 벽의 offset[z]	q	4.98 mm	-9.80 mm
유도성 벽의 두께	r	4.00 mm	4.00 mm
종단벽의 위치	s		21.69 mm
설계한 주파수		3.95 GHz	

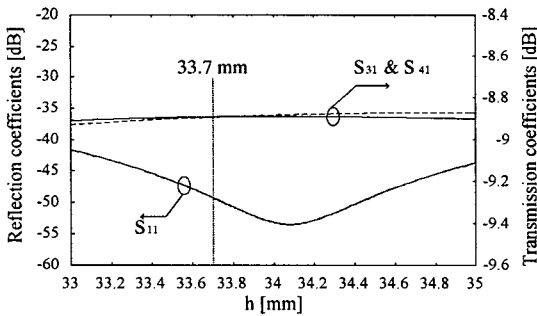


그림 4. Cut의 길이(h) 변화에 따른 S_{11} , S_{31} & S_{41}
 Fig. 4. The variation of S_{11} , S_{31} & S_{41} with respect to cut length.

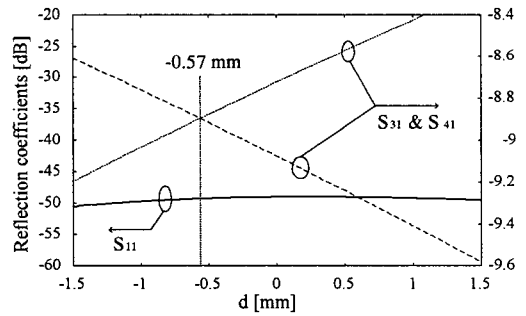


그림 5. 도파관 창 offset 변화에 따른 S_{11} , S_{31} & S_{41}
 Fig. 5. The variation of S_{11} , S_{31} & S_{41} with respect to coupling window offset.

진폭의 변화를 알아보기 위해서 도파관 창 의 offset (d)를 그림 2의 중심선을 0 mm로 하여 기준을 잡고 -1.5 mm에서 1.5 mm까지 변화시켜 가면서 얻은 결과를 그림 5에 나타낸다. 그림 5는 포트 3과 포트 4 사이의 벽의 위치가 변화하더라도 반사계수 S_{11} 은 -55 dB 이하로 거의 영향을 받지 않음을 알 수 있다. 또한 S_{31} 과 S_{41} 의 진폭이 약 -8.90 dB로 일치하는 도파관 창 의 offset은 -0.57 mm였으며 이후의

설계에서 이 값을 사용한다. 그림으로 알 수 있는 것처럼 d 의 위치변화가 S_{31} 과 S_{41} 의 진폭에 민감하게 작용함을 설계 결과로부터 볼 수 있다. d 를 제외한 그림 2의 기타 파라미터들은 표 1의 데이터를 사용하였다.

라) x축에 대한 유도성 벽의 위치(p) 변화

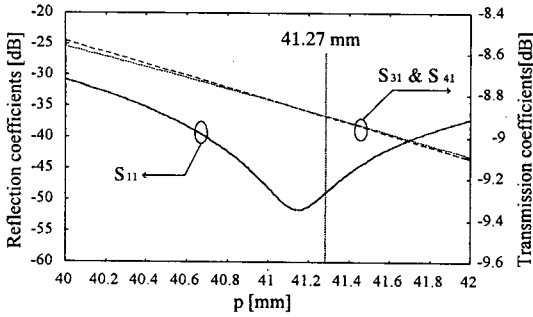


그림 6. 유도성 벽 위치의 변화에 따른 S_{11} , S_{31} & S_{41}

Fig. 6. The variation of S_{11} , S_{31} & S_{41} with respect to inductive wall position.

그림 6은 유도성 벽 길이의 변화에 의한 급전부의 분배진폭특성을 나타낸다. 그림 6은 유도성 벽의 두께를 $r=4$ mm로 고정하고 p 를 40 mm에서 42 mm까지 변화시켜 얻은 결과로 S_{31} 과 S_{41} 의 진폭값은 p 의 위치에 따라 일정하게 같은 값으로 변화하고 있으며, 설계상의 분배값을 고려하여 $p=41.27$ mm의 위치를 본 설계에서 선택하였고 이때 진폭은 약 -8.902 dB였다. 설계에 있어서 p 를 제외한 그림 2의 기타 파라미터들은 표 1의 데이터를 사용하였다.

마) z축에 대한 유도성 벽의 offset (q) 변화

그림 7은 유도성 벽의 두께를 $r=4$ mm로 고정하고 q 를 3.5 mm에서 5.5 mm까지 변화시켜 얻은 결과로 그림 7에서 보여 준 것처럼 $q=4.98$ mm에서 S_{31} 과 S_{41} 의 진폭값이 완전히 일치하고 그 지점에서의 진폭은 약 -8.895 dB였다. 이때 S_{11} 은 q 의 변화에 대하여 -30 dB이하의 양호한 반사특성을 보이고 있으며 $q=4.98$ mm에서는 약 -48 dB를 얻을 수 있었다. q 의 설계값을 구하는 데 있어서 그림 2의 기타 파라미터들은 표 1의 데이터를 사용하였다.

2-1-3 주파수 변화에 따른 진폭과 위상의 변화

위의 시뮬레이션 결과들로부터 유도성 벽을 가지는 π 결합 분기형 급전도파관의 최적 파라미터들을 정리하면 표 1과 같다. 그림 8(a)와 (b)는 표 1의

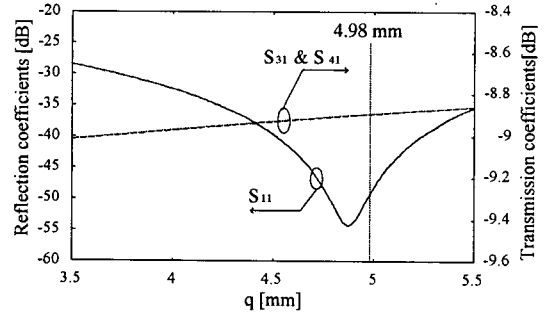
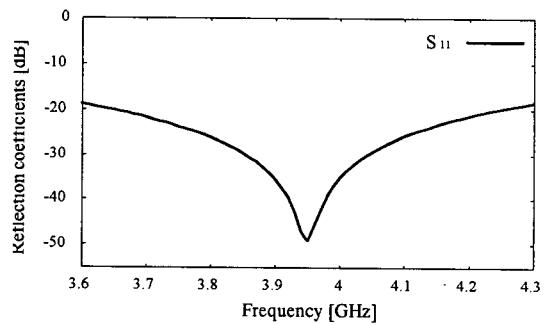
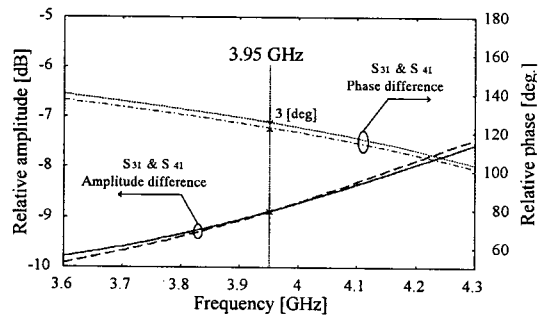


그림 7. 유도성 벽의 offset 변화에 따른 S_{11} , S_{31} & S_{41}

Fig. 7. The variation of S_{11} , S_{31} & S_{41} with respect to inductive wall offset.



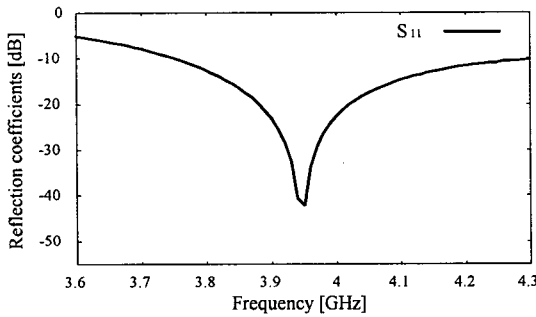
(a) 주파수 변화에 따른 S_{11}
(a) S_{11} of frequency characteristics.



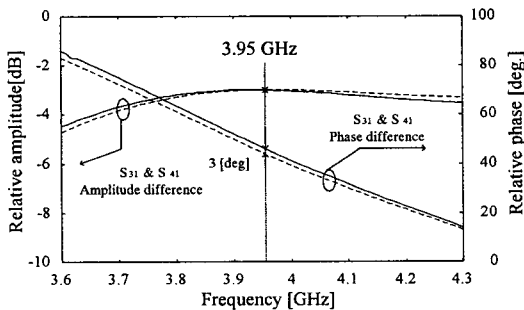
(b) 주파수 변화에 따른 진폭과 위상변화
(b) The variation of amplitude & phase as a function of the frequency.

그림 8. π 결합 분기기의 주파수 특성
Fig. 8. Frequency characteristics of π -junction.

최적 파라미터를 사용하여 주파수 변화에 따른 반사계수와 투과계수의 진폭과 위상을 나타낸다. 그림 8(a)로부터 알 수 있는 것처럼 설계주파수 3.95 GHz에서 반사계수는 -49 dB이고, 전 대역에 걸쳐 매우 양호한 특성을 보이고 있다. 또한 그림 8(b)에서는 주파수 변화에 따른 분배포트들의 진폭과 위상변화를 보여주고 있다. S_{31} 과 S_{41} 의 진폭값에 대한 변화의 특성이 두 포트 모두 일정하며 설계 주파수에서는 -8.9 dB로 완전히 일치함을 알 수 있다. 분배위상의 변화에 대하여도 포트 3과 포트 4의 위상차는 약 3도 정도로 대단히 양호한 특성을 보임을 알 수 있다.



(a) 주파수 변화에 따른 S_{11}
 (a) S_{11} of frequency characteristics.



(b) 주파수 변화에 따른 진폭과 위상변화
 (b) The variation of amplitude & phase as a function of the frequency.

그림 9. π 결합 분기기 중단부의 주파수 특성
 Fig. 9. Frequency characteristics of π -junction with short plate.

2-2 중단벽을 가지는 π 결합 분기기 급전 도파관

다음은 그림 2에서 Short Plate을 포함한 중단부 π 결합 분기기에 대해서 설계하였다. 앞에서 구한 중단부 이외의 π 결합 분기기 한 단에서 구한 설계 방법과 같은 방법으로 설계하여 각 파라미터들의 값을 구하였다. 다만 port 2 대신에 중단벽을 두어 중단벽의 거리(s)를 고려한 π 결합 분기기 한 단만을 고려하여 유도성 벽의 길이와 위치, 도파관 창폭의 길이와 위치 및 유도성 벽의 offset 등의 각 파라미터들에 대한 최적 설계값을 도출하였다. 이들의 최적 파라미터는 표 1과 같다. 중단부에서 설계를 하였기 때문에 포트 3과 포트 4에 대한 S_{31} 과 S_{41} 의 값은 각각 -3 dB(총 전력의 1/2)를 기준으로 하였다. 그림 9는 표 1의 최적 파라미터를 사용하여 주파수 3.6 GHz에서 4.3 GHz까지의 변화에 따른 반사계수와 투과계수의 진폭과 위상을 나타낸다. 설계 주파수 3.95 GHz에서 반사계수는 -42 dB이고, S_{31} 과 S_{41} 의 진폭값이 -3.0 dB로 두 포트에서는 완전히 일치함을 알 수 있다. 두 포트에 대한 위상의 경우는 그 차이가 약 3도 정도로 대단히 양호한 특성을 보임을 알 수 있다.

Ⅲ. π 결합 분기기 한 단의 제작 및 측정결과 고찰

그림 10은 3.4 GHz에서 4.9 GHz 대역을 만족하는 WR-229 표준도파관을 사용하여 유도성 벽을 가지는 π 결합 분기기 한 단의 시뮬레이션을 통한 최적의 파라미터를 도출한 표 1을 이용하여 실제 제작한 π 결합 분기기 한 단의 사진을 나타내고 있다.

그림 11은 π 결합 분기기 한 단의 측정결과와 이론적 계산결과의 비교를 보여 준다. 그림 11(a)에서 보면 먼저 모멘트법으로 시뮬레이션한 값은 그림 8(a)의 결과처럼 설계 주파수 3.95 GHz에 정확하게 공진하지만 실제 제작을 통한 측정치는 3.85 GHz에서 공진함으로써 약 100 MHz 정도 차이가 있음을 보여 주고 있다. 이는 실제 제작과정에서 발생하는 오차 때문이라 할 수 있다. 오차의 원인은

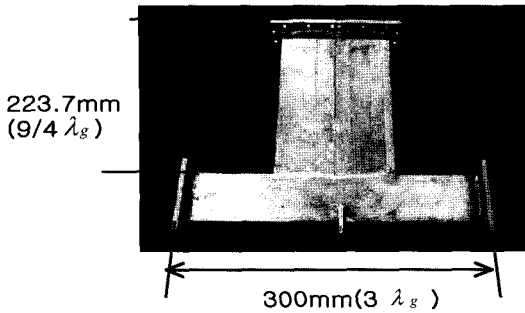


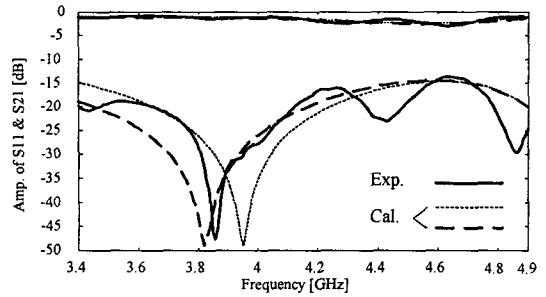
그림 10. π 결합 분기기 한 단의 제작된 급전도파관 사진

Fig. 10. The picture of a fabricated π -junction.

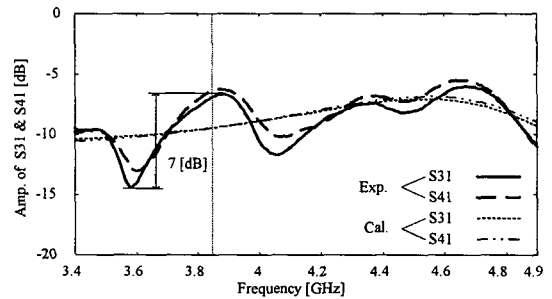
표 2. π 결합 분기기의 제작에 사용된 파라미터 값
Table 2. The fabricated parameters of π -junction.

MoM.에 사용된 테이타	기호	제작
급전도파관의 폭	a	58.10 mm
복사도파관의 폭	l	58.10 mm
도파관의 두께	t	1.65 mm
복사도파관 공동벽의 두께	g	3.70 mm
도파관의 높이	b	29.0 mm
도파관창의 offset	d	-0.50 mm
도파관창	w	30.44 mm
Cut의 길이	h	33.50 mm
유도성 벽의 위치[x]	p	42.40 mm
유도성 벽의 offset[z]	q	4.41 mm
유도성 벽의 두께	r	3.40 mm
설계한 주파수	3.95 GHz	

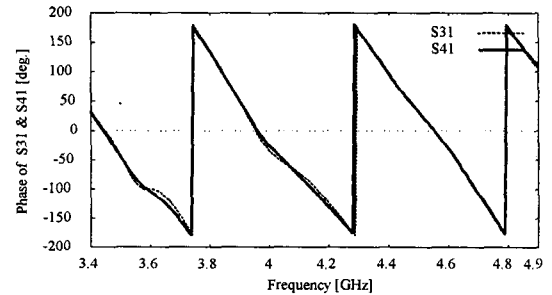
표 1과 표 2의 수치들을 비교해 보면 쉽게 알 수 있다. 특히, 오차의 가장 큰 원인은 급전도파관의 제작이 수작업에 의한 것이므로 모든 파라미터에 0.1 mm 정도의 오차는 제작과정에서 포함한다고 볼 수 있으며, 이들이 주파수 천이에 기여하였다고 사료되며, 설계과정에서 얻은 결과로 유추해 볼 때, 유도성 편벽의 위치에 따른 오차와 도파관 창 offset은 주파수 천이에 크게 기여하고 있다고 사료된다. 제작과정에서 발생한 이들 오차를 고려하여 계산한 결과



(a) Cal. & Exp.의 주파수 변화에 따른 S_{11}
(a) S_{11} of Cal. & Exp.



(b) Cal. & Exp.의 주파수 변화에 따른 S_{31} & S_{41}
(b) S_{31} & S_{41} of Cal. & Exp.



(c) 제작된 π 결합 분기기 한 단에 대한 위상변화
(c) Phase difference of the fabricated junction.

그림 11. π 결합 분기기의 이론치와 실험치의 비교
Fig. 11. Comparison between the theoretical and the experimental results of π -junction.

를 그림 11(a)의 굵은 파선으로 도시하였다. 실제 제작한 측정치와 제작상의 오차값을 고려하여 계산한

값이 3.85 GHz에서 거의 일치하며 매우 양호한 특성을 보이고 있다. 그림 11(b)는 포트 3과 포트 4로 나오는 진폭의 변화를 도시한 그림이다. 측정치는 전구간에서 약 7 dB정도의 오차를 보이고 있지만 각 포트에 나오는 진폭차는 0.5 dB의 오차를 보이고 있고, 계산된 결과치와는 잘 일치하고 있다. 그림 11(c)는 제작된 π 결합 분기기 한 단의 각 포트에 나오는 위상변화를 도시한 그림으로 S_{31} 과 S_{41} 이 정확하게 일치함을 알 수 있다.

IV. 8-port 전력분기기의 어레이 설계

4-1 어레이 급전도파관의 구조

앞에서 구한 단일소자의 π 결합형 전력분기기의 최적 설계값과 실제 제작을 통한 측정치를 비교·설명하고 그 타당성을 입증하였으며, 그 설계 방법을 토대로 하여 8-port용 어레이 급전구조를 설계하였다. 슬롯 어레이 도파관 안테나의 급전을 위해 사용하게 될 π 결합 분기기형 8-port 신호분배회로의 내부구조는 그림 12와 같고, 그림 13은 $4 \times N$ -way 전력분기기의 평면도와 π 결합 분기기를 도파관의 기본모드인 TE_{10} 을 이용하여 전송선로에서 종속 접속한 구조의 등가회로를 나타낸 것으로 π 결합 분기기의 중단부에서부터 급전점까지 π 결합 분기기 한 단씩 번호를 순차적으로 매겼다. 신호분배회로의 구조는 급전점에 대해 대칭이기 때문에 최종적으로 설계하고자 하는 급전포트 수의 1/2만 설계하면 되고, 본 논문에서는 16-port 분배회로를 고려하여 16-port의 반인 8개의 급전포트 수를 고려하였다. 따라서 16-port에 동위상·동진폭으로 전력을 분배하기 위해 설계상의 8-port에 대해 1/8의 전력이 각 포트에 분배되도록 설계를 하였다. 유도성 벽은 각 분기기로부터 되돌아오는 반사신호가 최소가 되도록 어레이에 있어서 그들의 위치와 크기를 조정하는 설계를 행하였다. 또한 분기기에서 분배되는 진폭은 도파관 창의 폭 w 에 의해서 제어하였고, 분배위상은 cut의 길이 h 의 조정을 통해 동위상을 얻었다.

4-2 3.95 GHz에서의 최적 설계에 따른 주파수 특성

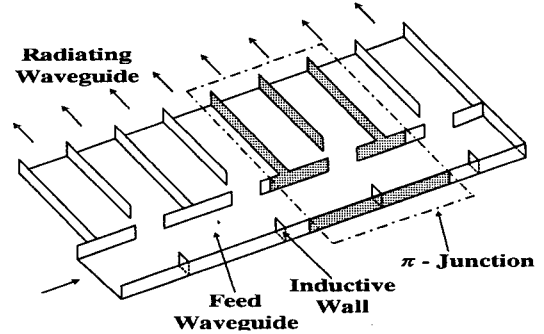


그림 12. π 결합 분기기형 8-port 신호분배회로
Fig. 12. 8-way power divider using π -junction.

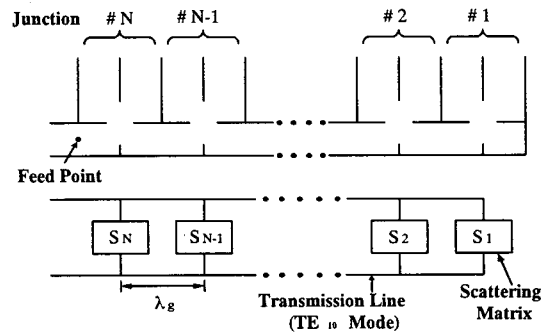
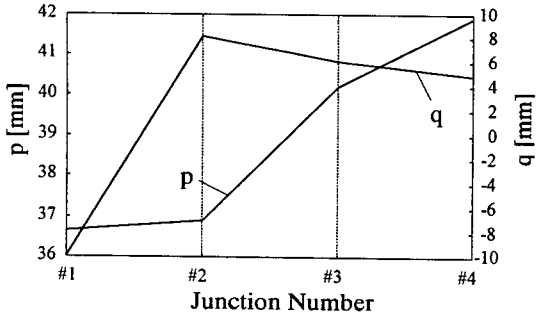


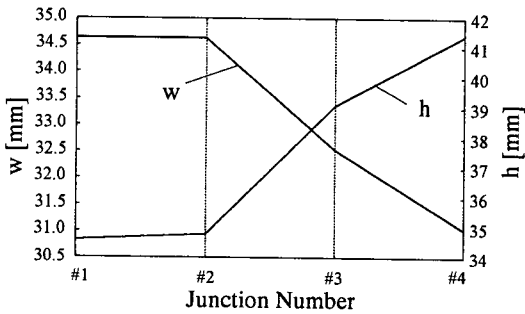
그림 13. 등가회로
Fig. 13. Equivalent circuit.

각 분기기로부터의 반사를 최소로 하기 위해서는 먼저 각각의 π 결합 분기기가 매칭이 되도록 가장 양호한 파라미터들을 구하여 설계하고 8-port 전력분기기의 도파관 창 폭 w 를 조절하여 1/8(약 -9 dB)의 전력이 분기되도록 설계한다. 또 cut의 길이 h 에 의해서 분기되는 위상을 정밀하게 제어하고, 유도성 벽의 위치를 결정하는 p, q 는 각 junction으로부터의 반사가 최소가 되도록 하기 위해 조정한다. 이러한 과정을 #2, #3과 #4에 각각 적용하여 반복 계산에 의하여 w, h, p, q 에 대한 최적값을 구하며 그 결과를 그림 14에서 보여주고 있다. 그림 14와 15에서 #으로 표시된 번호는 2개의 포트를 하나의 junction으로 표시하고 있으며 각 junction으로 분배되는 두 개의 포트에 대한 신호의 양과 위상은 같은 값을 갖는다.

이때 복사도파관에서의 반사손실은 -40 dB 이



(a) 각 junction에 따른 유도성 벽의 위치(p, q)
(a) Wall position (p, q) of each junction.



(b) 각 junction에 따른 급전창의 폭 w 와 cut의 길이 h
(b) Window width w and cut length h of each junction.

그림 14. 어레이 설계를 위한 유용한 파라미터
Fig. 14. Available parameters for array design.

하를 기준으로 하고, 급전도파관에서의 고차모드 (TE_{10} 는 제외)는 계산에서 무시한다. 그림 14(a)로부터 알 수 있는 것처럼 N 이 증가할수록 p 의 위치는 많은 변화를 하고 있으나 q 의 변화는 적다. 즉, N 이 증가할수록 각 포트로의 신호등분배를 위하여 유도성 벽의 길이가 입사단에서 종단부로 갈수록 작아짐을 알 수 있다. 그림 14(b)에서 Coupling window의 폭은 junction의 번호가 감소할수록 그 폭이 증가됨을 알 수 있고, cut의 길이 h 는 작아진다. 다시 말하면 w 의 경우, 입력단에서는 신호의 등분배를 위해 크기가 작고 종단(#1)으로 갈수록 커져서 반사의 손실을 최소화함을 알 수 있다. 또한 h 의 길이가 중

단으로 갈수록 작아지는 것은 당연한 결과라 할 수 있다. 재미있는 것은 w 와 h 가 서로 반비례의 관계를 가진다는 점이다. 이 설계방법은 4의 배수가 되는 급전포트 수를 가지는 전력분배기에 적용할 수 있다.

복사도파관으로 분배되는 각 포트의 전력과 주파수의 변화에 따른 급전점으로 되돌아오는 반사계수를 계산한 결과는 그림 15, 16과 같다. 그림 15에서 보는 바와 같이 각 포트로 나오는 진폭은 0.75 dB의 오차를 보이며, 위상차는 약 3.4 도로 매우 양호한 특성을 보이고 있다. 그림 16은 주파수 3.5 GHz에서 4.4 GHz까지의 변화에 따른 급전점으로 되돌아오는 반사계수를 나타내는 것으로 설계 주파수 3.95 GHz에서 반사계수는 -47.5 dB이고, 대역폭은 반사계수 -25 dB 이하를 기준으로 할 때, 약 400 MHz

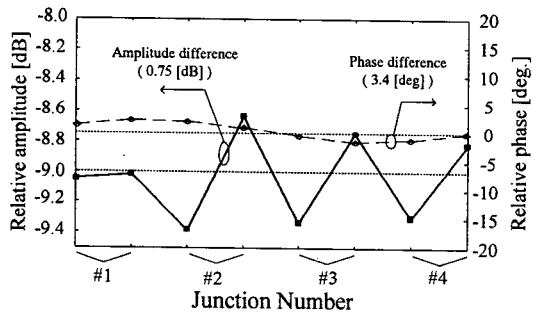


그림 15. 복사도파관으로의 전력과 위상차
Fig. 15. Divided power and phase of each junction.

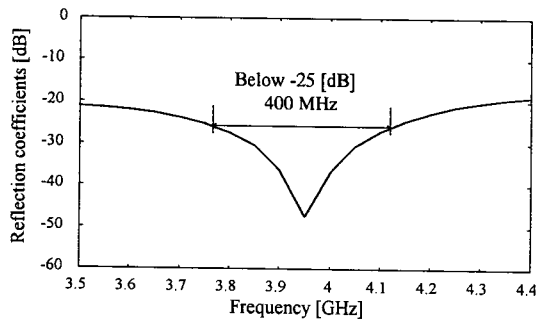


그림 16. 8-port 급전도파관의 주파수 변화에 따른 반사계수
Fig. 16. The reflection coefficients of 8-port array feed waveguide.

로 양호한 특성을 보여주고 있다.

V. 결 론

본 논문에서는 분기 한 단과 종단부를 설계하여 그 결과를 어레이 안테나의 급전부 설계에 적용한 예를 제시하였다. 설계 주파수는 3.95 GHz로 하였고, 먼저 종단부와 종단부 이외의 π 분기 한 단에 대해 설계하고 그 값을 토대로 하여 실제 제작을 통해 설계의 타당성을 입증하였다. 반복 계산에 의한 설계 방법을 토대로 각 junction에 대한 설계 파라미터의 최적치를 제시하였다. 어레이 설계를 통하여 8-port π 분기의 전력을 동위상·동진폭으로 분배하고 급전점에서의 반사량에 대한 산란특성을 알아보았다. -25 dB 이하에서의 대역폭은 약 400 MHz였고, 8-port 각각으로의 분배진폭은 약 0.75 dB 정도의 오차를 보였고 위상차는 약 3.4도 정도로 매우 양호한 특성을 얻을 수 있었다. 향후의 과제으로써는 지금까지 행한 설계 결과를 토대로 DBS 수신용 위성추적 안테나 시스템의 급전부 설계를 행하는 일이다.

참 고 문 헌

[1] J. Hirokawa, M. Ando, and N. Goto, "A single-layer multiple-way power divider for a planar slotted waveguide array," *IEICE Trans. Com*

mun., vol. E75-B, no. 8, pp. 781-787, Aug., 1992.

[2] N. Goto, "A planar waveguide slot antenna of single layer structure," *IEICE Technical Report*, AP88-39, July, 1988.

[3] J. Hirokawa, M. Ando, and N. Goto, "A waveguide π -junction with an inductive post," *IEICE Trans. Electronics*, vol. E75-C, no. 3, pp. 348-351, March, 1992.

[4] R. F. Harrington, *Field computation by moment methods*, New York: Macmillan, 1968.

[5] 민경식, 김광욱, 김동철, 임학규 "동상 급전용 π 분기를 이용한 일층구조 급전도파관의 설계" 1999년 춘계 마이크로파 및 전파학술대회 논문집, vol. 22, no.1, pp. 146-150, 고려대, 1999. 5.

[6] 민경식, 김광욱, 김동철, 임학규 "일층구조 도파관 어레이 안테나용 동상 급전 회로의 종단부 해석과 설계에 관한 연구" 1999년 춘계 마이크로파 및 전파학술대회 논문집, vol. 22, no.1, pp. 151-155, 고려대, 1999. 5.

[7] 민경식, 김광욱, 박세현, 김동철, 임학규 "유도성 벽을 이용한 π 분기형 일층구조 급전도파관 어레이의 설계에 관한 연구" 1999년 추계 마이크로파 및 전파학술대회 논문집, vol. 22, no.2, pp. 215-218, 전남대, 1999. 9.

민 경 식



1962년 1월 22일 생
1989년 2월: 한국해양대학교 전자
통신공학과(공학사)
1991년 2월: 한국해양대학교 대학
원 전자통신공학과(공학석사)
1992년 1월: 한국해양대학교 조교
1992년 1월~92년 9월: 고등기술연

구원 정보통신연구실 근무
1992년 10월~96년 9월: 동경공업대학 전기전자공학과
(공학박사)
1997년 3월~현재: 한국해양대학교 전파공학과 조교수
[주 관심분야] 위성방송 및 이동통신용 평면안테나 설계,
초고주파회로 설계

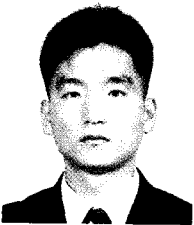
김 동 철



1964년 7월 21일 생
1990년 2월: 한국해양대학교 전자
통신공학과(공학사)
1992년 2월: 한국해양대학교 대학
원 전자통신공학과(공학석사)
1992년 3월~95년 1월: (주) 대륙
정밀 연구소 연구원

1995년 2월~현재: (주) 백금정보통신 마이크로파 연구실
실장
1998년 3월~현재: 한국해양대학교 대학원 전자통신공학
과 박사과정
[주 관심분야] 안테나 및 초고주파회로 설계

김 광 욱



1971년 10월 3일 생
1999년 2월: 한국해양대학교 전자
통신공학과(공학사)
1999년 3월~현재: 한국해양대학
교 전파공학과 석사과정
[주 관심분야] 안테나 및 초고주파
회로 설계

임 학 규



1967년 6월 6일 생
1991년 2월: 고려대학교 통계학과
(경영학사)
1991년 1월~95년 6월: (주) 선경
대리
1995년 4월~97년 1월: (주) 백금
대표이사

1997년 1월~현재: (주) 백금정보통신 대표이사
1998년 9월~현재 한국해양대학교 대학원 전파공학과 석
사과정
[주 관심분야] 안테나 및 초고주파회로 설계, 통신시장 경
영분석