

EMC Design Rule을 이용한 통신 System의 EMC Design

EMC Design of Communication System on the Basis of EMC Design Rule

박학병 · 박종성 · 이승한 · 강석환

Hark-Byeong Park · Jong-Sung Park · Seung-Han Lee · Seok-Hwan Kang

요 약

본 논문에서는 I/O Cable을 가지는 일반 통신시스템의 전자파 방사 Mechanism을 분석하여, Design에 있어 중요한 Parameter를 도출하였다. 통신 System의 경우 I/O Cable, Ventilation Hole, 기구물의 Shielding대책 등이 중요한 EMC design issue가 된다. 일반적인 전자제품에 비해 통신 System은 다양한 통신을 위한 Cable을 가지므로, I/O Cable의 중요성이 크다. 따라서 I/O Cable의 Coupling mechanism을 실험 및 Simulation방법에 의해 분석하고, Low Emission을 위한 EMC Design Rule을 제시하였다. 본 EMC Design Rule을 기반으로 통신 System의 Design을 실현하여, 제품의 Redesign 및 복잡한 Debug과정이 없이 효과적으로 전자파 양립성 규격을 만족한 예를 제시하였다.

Abstract

We analyzed the mechanism of EM emission in telecommunication system and extracted the dominant parameter in EMC design. The I/O cable, ventilation hole and shield design of chassis are important EMC design issues in telecommunication systems. Because telecommunication systems have much more I/O cables than other electronic products, EMC design of I/O cable is very important in telecommunication systems. Therefore by the method of experimentation and simulation, EM coupling mechanism of I/O cable was analyzed and the design rules for low emission was extracted. On the base of these EMC design rules, EMC design of telecommunication system was executed without complex redesign or debug. The result obtained by these methods was shown in this paper.

I. 서 론

Digital통신의 High Speed화 추세에 따라 통신제품의 전자파 방사 Level은 급증하고 있으며, 이는 제품의 전자파 양립성 (EMC ; Electro magnetic compatibility) 확보를 위해 새로운 시도를 필요로 한다. 제품의 복합성 측면에서 상대적으로 단순한 과거의 Low Speed 제품의 경우는 시제품을 이용하여 적합성을 평가하고, 문제가 있는 경우 주로 Trial

& error방식에 의존한 Debugging을 통해 비교적 쉽게 전자파 양립성을 확보하였다. 그러나 High Speed 화 및 다기능 복잡화로 특징지어지는 오늘날 제품의 경우 개발 완료단계에서 간단한 Debug를 통해 전자파 양립성을 확보하는 것은 매우 어려우므로 Redesign을 하는 경우가 증가하고 있다. 따라서 전자파 양립성 확보는 High Speed 제품에 있어 개발 일정과 비용적 측면에서 큰 부담으로 작용한다. 또한, 기존의 Debug 의존성 전자파 양립성 확보방법

LG전자(LG Electronics Inc.)

· 논문 번호 : 20001104-115

· 수정완료일자 : 2000년 12월 20일

은 한계를 가지므로 개발 초기부터 전자파 양립성을 고려한 Design을 실현하는 것이 필요하다. 이를 위한 한 방법으로서 Design이전 단계에서 각 제품군 별로 특성에 적합한 Design Rule을 개발하여, 이를 바탕으로 Design을 실행하는 방법이 EMC Design에 있어 일반적으로 공감대를 형성하고 있다^[1]. 본 논문은 Chassis가 Metal로 구성되고 Cable을 가지는 통신 제품군을 대상으로 EMC Design Rule을 개발하고, 개발된 Rule을 근간으로 EMC Design을 실현하여 전자파 양립성을 효과적으로 확보한 방법을 제시한다. 이를 위해

- 1) 전자파를 외부로 직접 방사하는 主EMI Antennas를 규명
- 2) EMI Source에서 EMI Antennas로 Noise가 Coupling되는 Mechanism을 실험적, 수치 해석적 방법을 통해 분석
- 3) 분석 내용을 토대로 Low EMI Design을 위한 Rule을 개발
- 4) 이를 제품에 적용하여 전자파 양립성을 효과적으로 확보한 결과를 제시하였다.

II. Emission Mechanism

2-1 제품구조

Chassis가 Metal로 구성되는 일반적 통신제품의 구조는 그림 1과 같다.

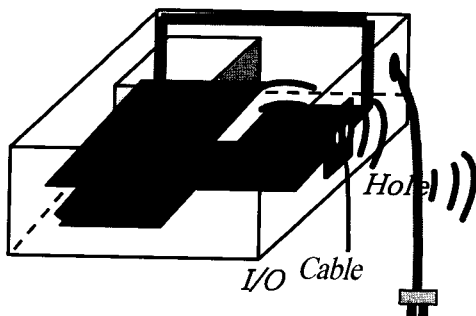


그림 1. 일반통신제품 구조

Fig. 1. The structure of general communication system.

2-1-1 System내부

- 다양한 PCB Assembly
- 이를 연결하는 Cable
- 천장물 및 기구물

2-1-2 System 외관

- 금속 Chassis 및 Ventilation Hole
- Power 및 I/O Cable

2-2 EMI Source 및 Antennas

전자파를 원천적으로 발생시키는 Device를 EMI Source라 하고, 이를 외부로 직접적으로 방사하는 부분을 EMI Antennas라고 한다. 그림 1과 같은 구조에서 EMI Source는 여러 Digital부품과 부품들을 연결하는 Trace를 포함하는 PCB이며, EMI Antennas는 Power Cable, I/O Cable, Ventilation Hole 및 Chassis 금속간의 틈새이다.

그러나 Ventilation Hole과 금속간 틈새를 통한 Emission은 일반화 되어 있는 Shielding Design 기술을, Power Cable은 Filtering 기술을 이용하면 효과적으로 전자파 양립성 대응설계를 할 수 있다. 그러나 I/O Cable의 경우는 High Speed Signal의 Waveform 특성을 유지하면서 EMI 대응 설계를 해야 하므로 Power Cable과 같이 Filtering 대책만으로 효과적인 대응을 하는 것은 어렵다. 따라서 I/O Cable은 Chassis가 Metal로 구성되는 통신 System에 있어서 EMC Design의 관건이 된다.

2-3 I/O Cable의 EMI Coupling Mechanism

전자파 방사는 그림 2와 같이 EMI Source에서 발생된 Noise가 EMI Antennas로 Coupling 되어 일어난다. PCB 상에서의 Coupling Mechanism은 그림 3과 같으며 I/O Cable에 Noise전류를 전도하는 PCB 상의 I/O Trace에 Noise 전류가 유기되는 방법은 다음과 같다^[2].

- 1) I/O Signal 자체의 Conductive Coupling
- 2) 인접 High Speed Signal의 Capacitive Coupling
- 3) VCC/GND plane Noise Coupling (Capacitive Coupling)

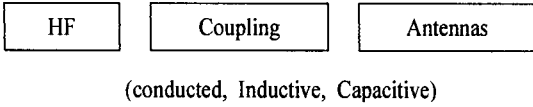


그림 2. Coupling mechanism
Fig. 2. Coupling mechanism.

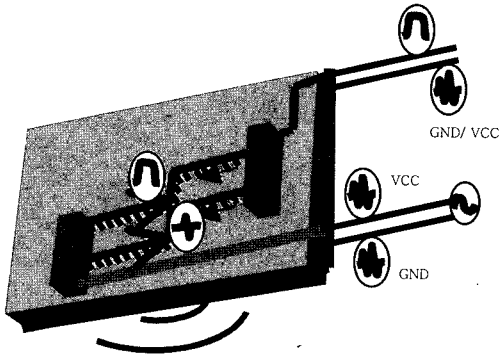


그림 3. PCB상에서의 Coupling Mechanism
Fig. 3. Coupling Mechanism of PCB.

2-3-1 I/O Signal 자체의 Conductive Coupling

Ringings, Overshoot과 같은 Waveform 변화는 EMI Level에 있어 수 dB의 차이를 일으킨다. 그림 5, 6은 Ringing이 많은 신호와 Ringing이 없는 신호가 그림 4와 같은 PCB Trace에 흐를 때의 3meter EMI Level을 상용해석 S/W인 EMC-WB를 이용하여 Simulation한 것이다. Ringing이 많은 신호가 약 7dB 정도 높은 EMI Level을 보인다. Antennas 구조는 동일하나 EMI Level이 큰 차이를 보이는 이유는 Time Domain에서 바라다 본 신호는 유사하지만 FFT를 이용해 Frequency Domain에서 Energy 분포를 분석하면, 왜곡정도에 따라 High Frequency에서 큰 차이를 가지기 때문이다. 이를 통해 Trace에 흐르는 전류는 최대한 Distortion을 억제하는 것이 EMI 관점에서 유리하다는 것을 말해준다^[3].

2-3-2 인접 High Speed Signal의 Capacitive Coupling

I/O Cable emission의 정도를 분석하기 위해서 하나의 Driver와 Receiver로 구성되는 간단한 PCB를 제작하였으며 그림 7과 같다. Test PCB의 Lumped

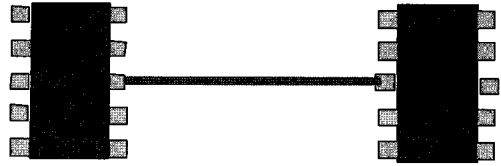


그림 4. Test PCB구성도
Fig. 4. Test PCB Diagram.

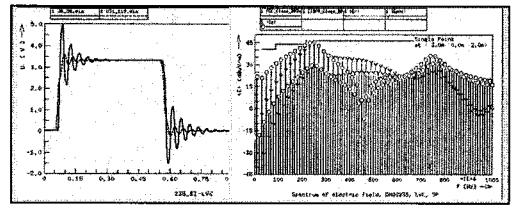


그림 5. Ringing이 있는 Waveform과 EMI Level
Fig. 5. Waveform and EMI level with Ringing.

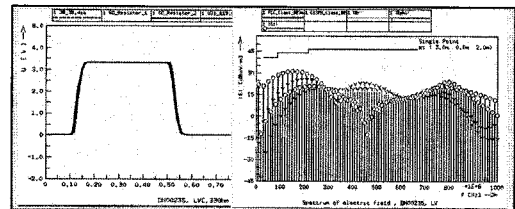


그림 6. Ringing이 없는 Waveform과 EMI Level
Fig. 6. Waveform and EMI level without Ringing.

Circuit Model은 그림 8과 같으며, High Speed trace와 이에 인접한 I/O trace 간의 X-talk을 설명하기 위한 Capacitive Coupling Model이다. High Speed Trace에 흐르는 Signal은 I/O Trace와의 사이에 형성된 Mutual Capacitance로 인해 I/O trace에 Noise전류를 유기한다. 이 Noise전류는 I/O trace에 연결된 Cable을 통해 System외부로 전달되고 높은 Emission을 일으키게 된다. I/O Cable emission을 3meter EMI Level을 측정된 결과가 그림 9이다. 또한 그림 7과 같이 High Speed Trace에 10 mm 이격된 거리에 Conductor를 실장하고, 이 Conductor에 0.7meter Cable을 연결한 경우의 EMI Level을 측정하여 그림 10의 결과를 가졌다. Cable이 연결되는 경우 15 dB 이상의 Emission Level 증가를 보인다. 이는 Cable

이 효율적인 Antennas로 작용하여 매우 낮은 Noise 전류에도 높은 Emission을 일으키기 때문이다. 또한 측정결과에서 약 120 MHz 근처에서 최대 전계 분포를 가지며, 이는 Wire 길이가 파장의 1/4이 되는 주파수에서 발생하는 Wire Resonance로 분석된다^[4].

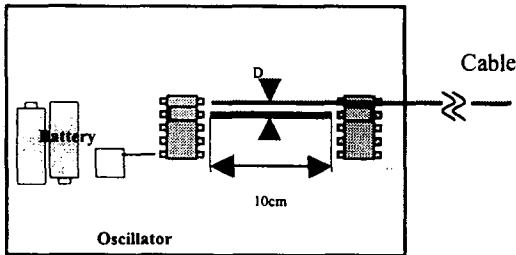


그림 7. Test PCB구성도
Fig. 7. Test PCB Diagram.

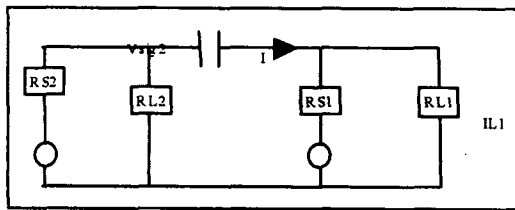


그림 8. Test PCB의 Lumped Circuit Model
Fig. 8. Lumped Circuit Model of Test PCB.

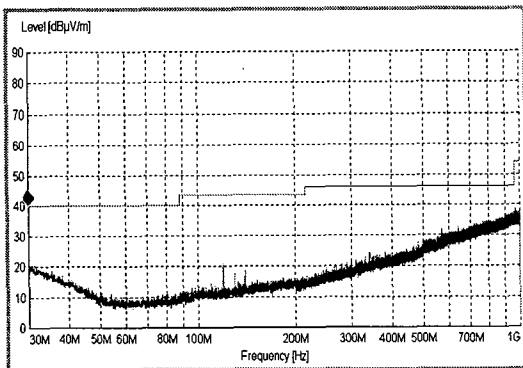


그림 9. No Cable
Fig. 9. No Cable.

또한 그림 11, 12는 Cable과 High Speed Signal의 인접거리를 10 mm에서 3 mm, 1 mm로 변화시켜

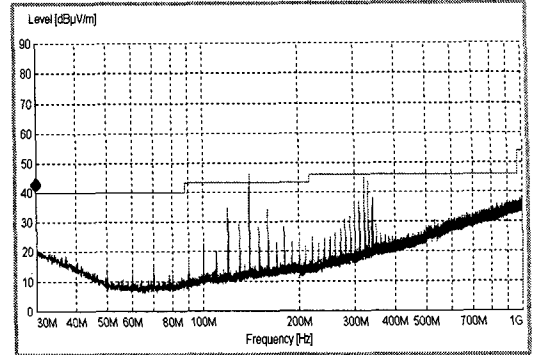


그림 10. 10mm D
Fig. 10. 10mm distance.

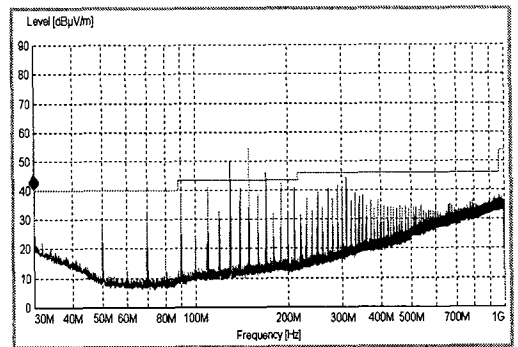


그림 11. 3mm D
Fig. 11. 3mm distance.

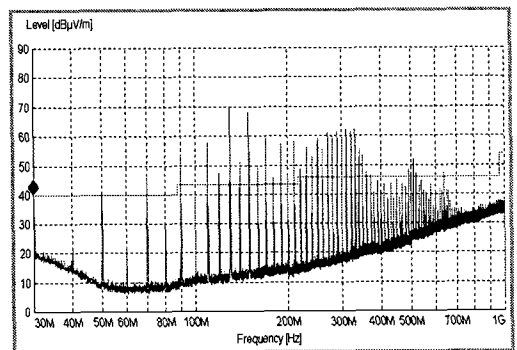


그림 12. 1mm D
Fig. 12. 1mm distance.

전계 강도를 측정 한 결과이다. 인접거리가 적어짐에 따라 전계 강도는 급격히 늘어남을 알 수 있다.

표 1은 Cable의 유, 무 및 Cable과 High speed

표 1. Coupling Distance변화에 따른 EMI Level
Table 1. EMI Level with variation of Coupling Distance.

| | No Cable | 10 mm | 3 mm | 1 mm |
|--------------------|----------|-------|------|------|
| 전계강도 dB μ V | 20 | 45 | 55 | 70 |

Trace 거리에 따른 EMI Level이다.

X-talk은 I/O Cable의 EMC Design에 있어 매우 중요한 변수이며, High Speed Trace와 I/O Trace의 Coupling Distance는 매우 중요함을 알 수 있다.

2-3-3 VCC/GND plane Noise Coupling (Capacitive Coupling)

Digital 부품의 Switching, Trace 전류의 Common Impedance Coupling 등에 의해 GND Plane과 VCC Plane에 Noise가 발생한다. 이 Noise 전류는 외부로 나가는 GND 또는 VCC Line에 Conductive Coupling을 통해 Emission된다. 또한 VCC 또는 GND Plane위에 놓여진 Trace에 3-2에서 설명된 Trace간 Coupling과 유사한 Capacitive Coupling에 의해 Emission되기도 한다. 그림 14는 PCB상에 Cable이 없는 경우의 측정 결과이다. 그림 15는 그림 7에서 Trace와의 X-talk을 방지하기 위해 Trace와 50 mm로 이격시키고 했을 경우의 측정 결과이다. 이를 통해 VCC Plane Noise의 Cable Coupling 정도를 추정할 수 있다.

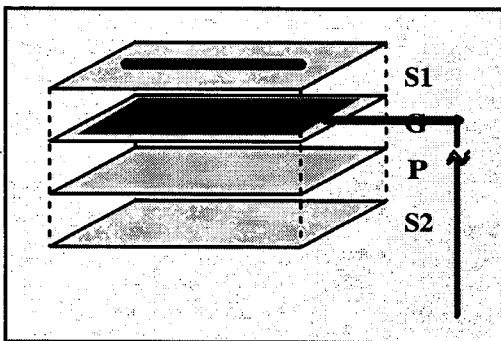


그림 13. VCC plane cable 연결구조도
Fig. 13. Connection diagram of vcc plane cable.

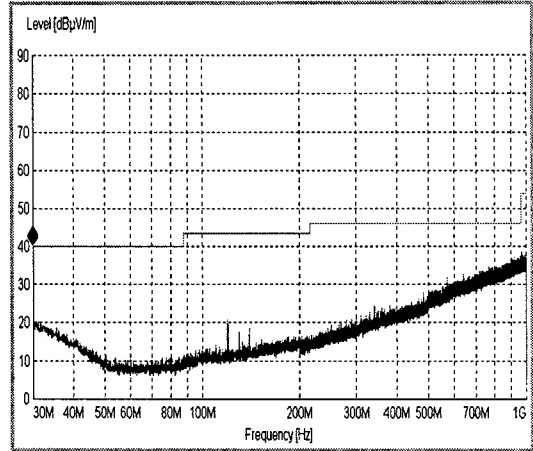


그림 14. No Cable
Fig. 14. No Cable.

그림 16은 그림 13에서와 같이 VCC Plane에 Cable을 연결하였을 때의 측정 결과이다. VCC Plane과 Cable간 Coupling을 유도하는 경우 약 30 dB의 EMI Level 증가가 있다. 이를 통해 VCC Plane은 EMI Noise가 Zero인 평면이 아니며, VCC Plane과 Wire가 연결되어 있지 않은 경우에도 VCC Plane상의 Noise가 Wire로 천이되어 Emission됨을 알 수 있다. 이러한 GND/VCC Plane상의 Noise 문제는 High Frequency로 갈수록 Switching 횟수가 증가하므로 급증하며, I/O Cable의 Design에 있어 중요한 인자로 작용한다.

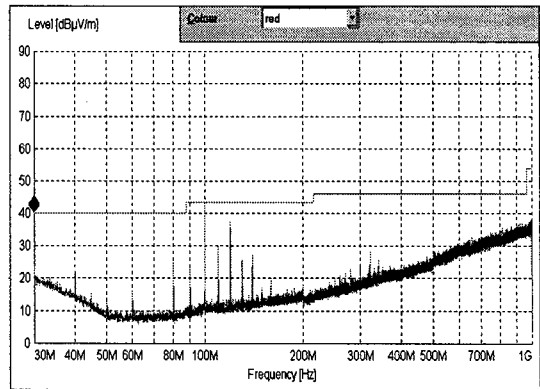


그림 15. VCC面 위
Fig. 15. Above of vcc plane.

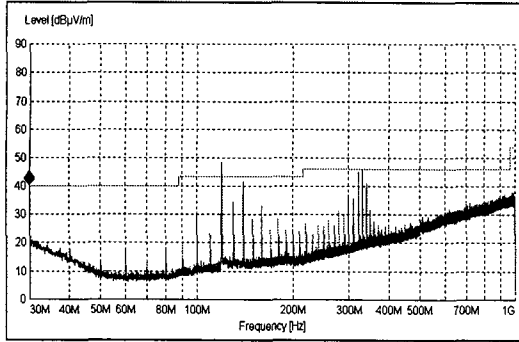


그림 16. VCC Touch
Fig. 16. VCC Touch.

Ⅲ. EMC Design Rule도출 및 제품적용

3-1 EMC Design Rule도출

이상의 Mechanism분석결과를 토대로 Low EMI Design을 위해서는 다음의 항목을 고려해야 한다.

- Data Signal Distortion 최소화
- High Speed Signal과의 X-talk 최소화
- VCC/ GND Plane Noise Coupling 억제

따라서 Mechanism분석과 동일한 실험 및 사용 S/W를 이용한 Simulation 방법을 이용하여 Design Rule을 설정하였다.

3-1-1 Data Signal Distortion 최소화 Rule

- Data Line의 Signal이 왜곡되어 발생하는 High frequency 잡음전류와 CM Noise가 Cable로 Coupling되는 것을 Suppression 하기 위해 Parallel Capacitance를 Connector 전단에 실장할 것
- Ringing 대책을 위하여 Series Resistor를 실장할 것

3-1-2 High Speed Signal의 I/O Line로의 X-talk 최소화 Rule

- X-talk에 영향을 미치는 요소는 High Speed Signal과 I/O Line의 coupling length와 Trace간 간격이므로, 부품배치단계에서 I/O Device를 Connector단에 최소거리에 배치
- Routing 단계에서 High Speed와 I/O trace를 최

대한 이격시킬 것

3-1-3 VCC/ GND Plane Noise Coupling 최소화 Rule

- VCC/ GND Plane Noise의 Coupling을 최소화를 위해서는 I/O trace와 VCC/ GND Plane이 Parallel하게 Coupling되는 Length를 최소화하는 것이 중요하다. 따라서 I/O를 Connector인접 거리에 배치할 것
- GND/VCC Plane Noise의 상당부분은 Switching Noise에 의해 기인하므로, Switching Noise를 최소화하기 위해 Decoupling Capacitor를 충분히 활용할 것
- CM noise Suppression을 위해 Cable 인입단에 Ferrite Core실장

3-2 EMC Design Rule 제품 적용 결과

EMC특성은 Design단계에서 대부분 결정이 되므로 위의 Rule을 적용한 Design을 실행하였다. 그림 17은 Rule을 적용하기 이전의 구형 Model에 대한

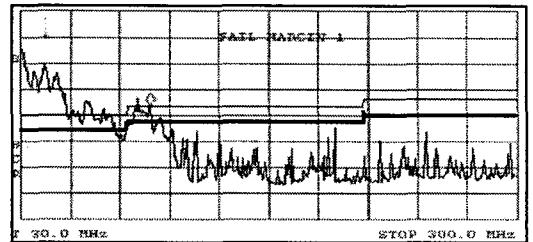


그림 17. EMC Design Rule 미적용 설계제품
Fig. 17. Product not applied EMC design rules.

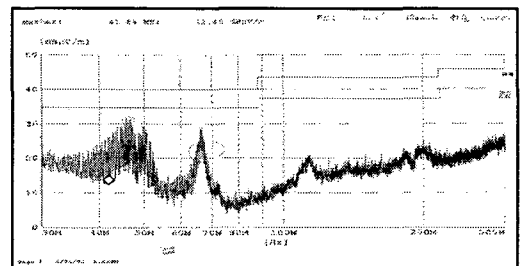


그림 18. EMC Design Rule 적용 설계제품
Fig. 18. Product applied EMC design rules.

EMI 측정결과이며 그림 18은 Design Rule을 적용한 개발제품의 측정결과이다.

IV. 결 론

일반적인 통신제품의 전자파 양립성 확보에 중요한 인자들에 대하여 Emission Mechanism을 분석하였으며, 통신제품에 있어서는 특히 I/O cable 관련한 PCB trace design 및 부품배치는 EM Emission수준에 매우 큰 영향을 미침을 확인하였고, Emission을 최소화하기 위한 방안을 도출하여 Design단계에서 활용할 수 있도록 EMC Design Rule화하였다. 이를 근간으로 Design을 실행하여 복잡한 Redesign 및 Debug작업 없이 EMC규격을 통과하는 Low EMI 제품을 개발하였으며, 그 결과를 제시하였다. 향후 보다 많은 제품에 보다 효과적인 EMC Design Rule을 기반으로 한 Design을 위해서는 보다 다양한 EMI

Issue에 대한 Rule 연구와 Rule을 자동적으로 Design System에 접목시키는 연구가 필요할 것으로 판단된다.

참 고 문 헌

- [1] Tim Williams, *EMC for Product Engineer*, NewNes, 1998.
- [2] Donald R. J. White, Michael Mardiguian, *EMC Control Methodology and Procedures*, Interference Control Technology, 1985.
- [3] A. Knobloch, H. Garbe, et al, "Shielded or unshielded twisted-pair for high speed data transmission", *IEEE EMC Symposium*, pp. 112-117, 1998.
- [4] R. P. Clayton, *Analysis of Multiconductor Transmission Line*, John Wile, 1994.

박 학 병



1990년 2월: 한양대학교 원자력 공학과(공학사)
 1992년 2월: 한양대학교 전기공학과(공학석사)
 1992년 2월~2000년 5월: LG전자 생산 기술원 선임연구원
 2000년 5월~현재: LG전자 정보통신 중앙연구소 선임연구원

신 중앙연구소 선임연구원

[주 관심분야] High Speed Digital System & PCB Design ; EMC, SI

이 승 한



1996년 2월: 한국항공대학교 통신정보공학과(공학사)
 1996년~현재: LG전자 정보통신 중앙연구소 주임연구원
 [주 관심분야] 통신시스템, EMC Design

박 종 성



1997년 2월: 광운대학교 전자공학과(공학사)
 1999년 2월: 광운대학교 전자공학과(공학석사)
 현재: LG전자 정보통신 중앙연구소 연구원

[주 관심분야] 통신시스템, 초고주파 및 측정, EMC Design

강 석 환



1987년 2월: 전북대학교 전자공학과(공학사)
 1997년 8월: 아주대학교 전자공학과(공학석사)
 1987년 1월~현재: LG전자 정보통신 중앙연구소 책임연구원
 [주 관심분야] EMC, SI Simulation