

CDMA 단말기용 수신단 MMIC 설계

Design of a Receiver MMIC for the CDMA Terminal

권태운 · 최재하

Tae-Woon Kwon · Jae-Ha Choi

요약

본 연구에서는 CDMA 단말기용 Receiver MMIC를 설계하였다. 전체회로는 저잡음 증폭기, 하향 주파수 혼합기, 중간주파수 증폭기 그리고 바이어스 회로로 구성된다. 바이어스 회로는 문턱전압과 전원전압의 변화에 대해 보상동작을 한다. 제안된 토폴리지는 높은 선형성과 저잡음 특성을 가진다. 설계 결과는 다음과 같다. 전체 변환이득은 28.5 dB, 저잡음 증폭기의 입력IP3는 8 dBm, 하향주파수 혼합기의 입력 IP3는 0 dBm이며 전체회로의 소모전류는 22.1 mA이다.

Abstract

This paper presents a Receiver MMIC for the CDMA terminal. The complete circuit is composed of Low Noise Amplifier, Down Conversion Mixer, Intermediate Frequency Amplifier and Bias circuit. The Bias circuit implementation which allows for compensation for threshold voltage and power supply voltage variation are provided. The proposed topology has high linearity and low noise characteristics. Results of the designed circuit is as follows: Overall conversion gain is 28.5 dB, input IP3 of LNA is 8 dBm, input IP3 of down conversion mixer is 0dBm and total DC current consumption is 22.1 mA.

I. 서론

현대 사회가 고도의 정보화 사회로 발전함에 따라 정보통신의 수요는 날로 증가하여 시간과 공간의 제약을 받지 않고 사용할 수 있는 통신방식의 욕구가 크게 증가하고 있다. 이동통신, 위성통신 등 무선통신을 이용한 개인 휴대 통신의 수요가 점점 늘어나고 있고, 가입자들의 무선통신 서비스 요구도 다양해지고 있어 가입자들의 요구를 만족시키기 위한 연구가 활발히 진행되고 있다. 이런 상황에서 무선 통신 부품 기술은 핵심 기술로 부각되고 있으며, 특히 이동 통신 단말기용 고주파 부품은 단말기의 성능을 좌우하는 핵심부품으로 소형화, 경량화, 저가격화 측면에서 더 나은 고주파 부품의 개발을 위

한 다 방면의 연구가 진행되고 있다. 이러한 측면에서 볼 때 개개인이동 통신용 단말기 관련 고주파 부품의 집적화는 필수적인 요구사항이라 볼 수 있다. 고주파 부품의 집적화는 소형화, 경량화는 대량생산을 통해 제작 단가를 낮출 수 있어 관련시장의 확대를 가져올 수 있다. 따라서 본 연구에서는 초고주파 집적회로공정기술인 한국전자통신연구원의 MES-FET공정에 적합하도록 수신단을 설계하여 그 성능을 검증하였다.

전체회로는 LNA, Down-conversion Mixer, IF amplifier, RF/LO Balun으로 구성되며 또한 공정의 변화를 보상하기 위한 바이어스 보상회로를 포함한다. 수신단 MMIC에서 가장 중요한 파라메타는 저잡음 특성과 선형성이므로 이를 위주로 설계를 하

울산대학교 전기전자 및 자동화공학부(School of Electrical Engineering and Automation, University of Ulsan)

· 논문 번호 : 20001104-09S

· 수정완료일자 : 2000년 12월 15일

였다.

II. 2단 저잡음 증폭기 설계 및 바이어스 보상회로

저잡음 증폭기는 수신단의 가장 앞단에 위치하며 안테나로부터 입력되는 미약한 신호를 저잡음 증폭하여 다음 단에서 처리할 수 있는 레벨로 증폭하는 기능을 한다. 저잡음 증폭기의 설계시 가장 중요한 파라미터는 잡음지수와 선형성으로 잡음지수는 전체 수신시스템의 잡음을 결정하며, 선형성은 얼마나 큰 신호를 찌그러짐 없이 증폭할 수 있는가를 나타내는 기준이 되며 1 dB 또는 1P3로 표현한다.

설계된 저잡음 증폭기는 공통소스 구조의 2단으로 설계하였다. 적절한 동작점을 설정하기 위하여 잡음, 선형성을 고려하여 0.3V로 게이트 바이어스 저항 20 kΩ으로 결정하였다. 초단 증폭기는 잡음정합과 임피던스 정합을 동시에 시킬 수 있도록 소스에 인덕터를 사용하였고 둘째단 증폭기는 드레인에 인덕터를 사용하여 선형성을 개선하고 전력이득을 극대화 하였다. 게이트는 8finger로 설정하여 트랜지스터의 power handling을 증가시키고자 하였다.

초고주파 집적회로의 성능을 저하시키는 원인으로서는 트랜지스터의 문턱전압 변화, 전원전압의 변화 등이 있다. 공정상 가장 빈번히 발생할 수 있는 부분은 트랜지스터의 문턱전압의 변화로 문턱전압의 변화는 제어하고자 하는 트랜지스터의 직류 동작점의 변화를 의미하며 이는 설계된 회로의 성능을 보장할 수 없다. 또한 전원전압의 변화도 트랜지스터의 동작점이 설정된 값과 달라지는 원인이 된다.

공정에서 문턱전압의 변화가 생기면 드레인 전류는 설정한 값보다 많이 또는 적게 흐르는데 이를 보상하기 위해서는 게이트 소스간 전압이 변해야 한다. 즉 설정한 값보다 드레인 전류가 많이 흐를 때는 게이트 소스간 전압이 낮아져 채널의 폭을 좁게 하여 보상하여야 하며, 반대로 적게 흐를 때는 게이트 소스간 전압이 높아져 채널의 폭을 넓게 함으로써 보상할 수 있다.

전원전압의 변화에 대해 충분한 보상을 하기 위해서는 바이어스 회로의 게이트 소스간 전압의 변화폭이 설계된 회로의 게이트 소스간 전압의 변화

폭보다 충분히 큼으로써 설계회로의 게이트 소스간 전압의 변화를 제거할 수 있다. 이를 위해 다이오드의 턴온 전압(turn-on voltage)을 이용하는 직류레벨 쉬프트(DC level shifter) 회로를 구성하였다.

그림 1은 설계된 2단 저잡음 증폭기 바이어스 보상회로를 포함하며 입력정합회로의 인덕터는 off chip으로 처리하여 package후에 회로의 최적화가 가능하도록 하였다.

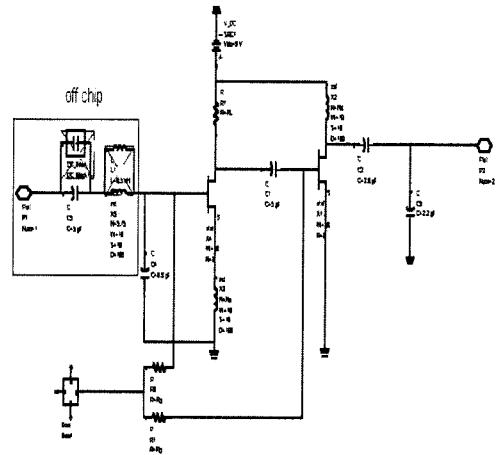


그림 1. 2단 저잡음 증폭기 회로도

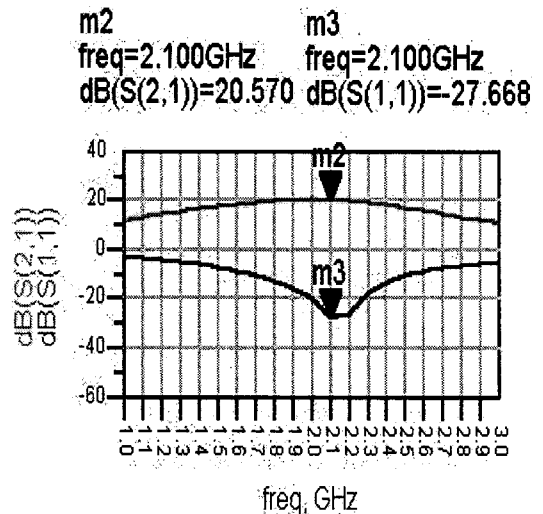


그림 2. 수신단 저잡음 증폭기의 전력 이득

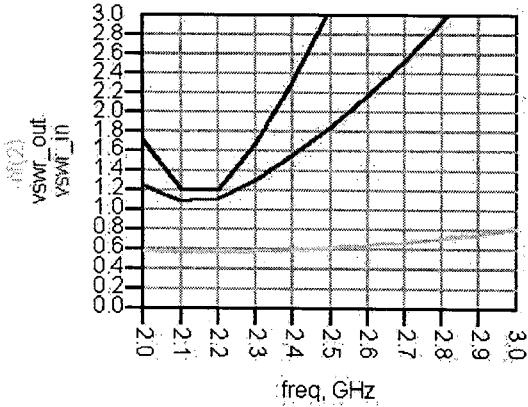


그림 3. 수신부 저잡음 증폭기의 VSWR과 잡음

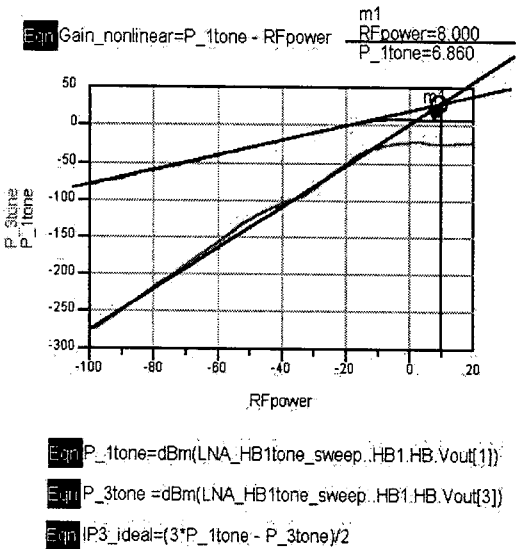


그림 4. 수신부 저잡음 증폭기의 선형 특성

III. 하향 주파수 혼합기와 중간주파수 증폭기 설계

아래의 그림은 하향 주파수 변환기의 블록도이다. 저잡음 증폭기에서 출력된 신호는 IRF(Image Rejection Filter)를 거쳐 하향 주파수 혼합기로 입력되고 여기서 국부 발진 신호와 혼합되어 두 주파수의 차 성분인 중간주파수로 변환된다. 중간주파수로 변환된 신호는 중간 주파수 증폭기에서 증폭된다.

주파수 혼합기의 잡음지수는 일반적으로 10 dB 정도이며 전체 수신단의 잡음 특성을 개선하기 위

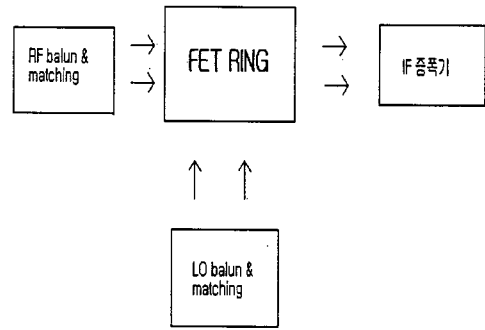


그림 5. 수신단 하향 주파수 변환기의 블럭도

해서는 주파수 혼합기의 잡음지수를 최소화 할 필요가 있다. 이를 위한 방법으로 혼합기 전단에 증폭 회로를 두는 방법을 사용한다.

주파수 변환기의 설계에서 가장 문제가 되는 부분은 국부발진신호와 고주파 신호가 출력단에 나타남으로써 중간주파수 증폭기를 포화시키는 것이며 이를 해결하기 위해 ring 형태의 혼합기와 차동증폭기를 적용하였다.

설계한 주파수 혼합기는 Double Balanced FET resistive Mixer 구조를 선택하였다. 이런 구조의 혼합기는 FET를 triode 영역에서 동작시키는 구조로 높은 선형성과 저잡음 특성을 얻을 수 있다. 그러나 변환손실이 15 dB 정도 발생하는 단점이 있다.

중간주파수 증폭기는 수신단의 최종단으로 연결될 IF SAW Filter의 입력임피던스가 일반적으로 1000 Ω이다. 따라서 출력단 임피던스를 1000 Ω으로 정합하여야 한다. 중간주파수 증폭기의 출력신호가 차동신호이므로 이를 위해서 두 개의 상보출력단에 각각 500 Ω의 저항을 MMIC 내부에서 전원전압과 각각의 드레인 사이에 연결하였다. 또한 전력이득의 극대화와 IF SAW filter와의 정합을 위해 칩 외부에서 인덕터를 연결할 수 있도록 구성하였다

그림 6~그림 9는 설계된 하향 주파수 혼합기와 중간주파수 증폭기의 회로도이다.

IV. 전체 회로의 레이아웃도

최종적인 레이아웃은 Mentor Graphics의 IC Graph을 이용하였다. 특히 process file의 각 layer 사

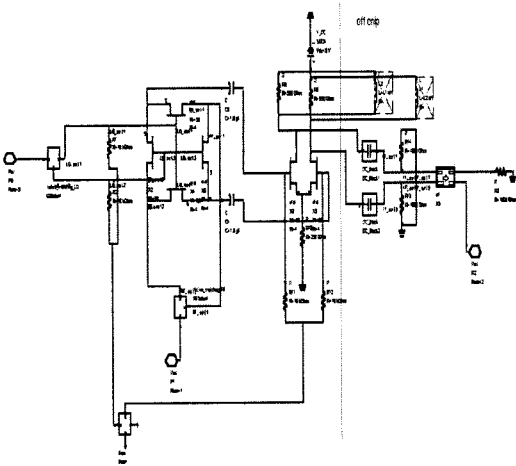


그림 6. 수신단 하향 주파수 변환기의 회로도

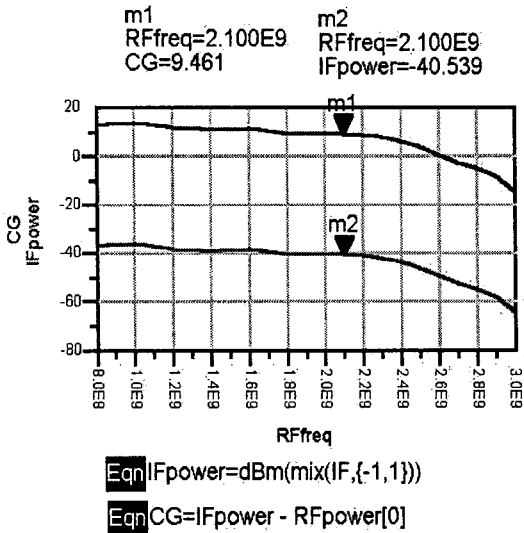
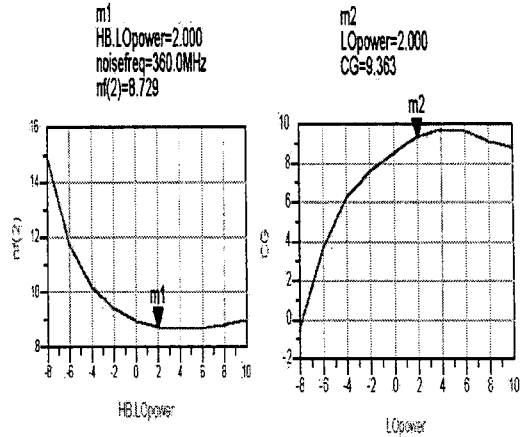


그림 7. 수신단 하향 주파수 변환기의 RF 주파수에 따른 변환이득

이의 전기적인 관계와 공정상의 규칙에 대해 정의한 rule file을 이용하여 layout의 공정 규칙의 오류를 검증하는 DRC(Design Rule Check) 및 logic source와의 비교를 통하여 레이아웃의 전기적인 연결의 오류를 검증하는 LVS(Layout Versus Schematic)을 수행함으로써 전체회로에 대한 검증을 하였다. 설계된 회로의 크기는 1.4×1.4 [mm²]이다.



$$Eqn\ CG=dBm(HB,IF(1)) - real(RFpower(1))$$

그림 8. 수신부 하향 주파수 변환기의 LO전력에 따른 변환이득과 잡음

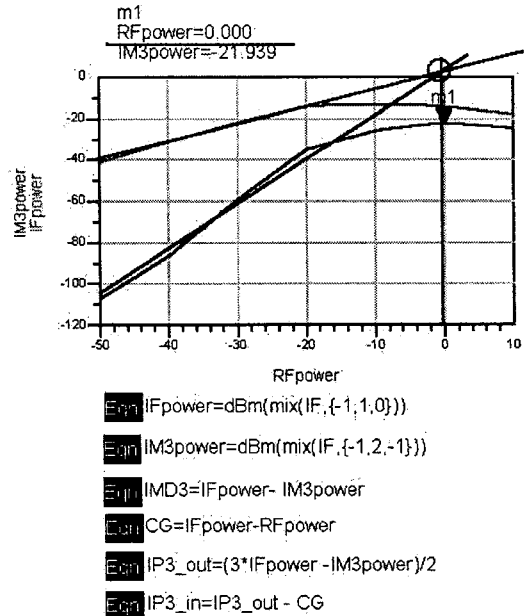


그림 9. 수신단 하향 주파수 변환기의 IP3

V. 결론

본 연구에서는 CDMA 단말기용 Receiver MMIC를 ETRI MMIC 공정에 적합하도록 설계하였다. 회

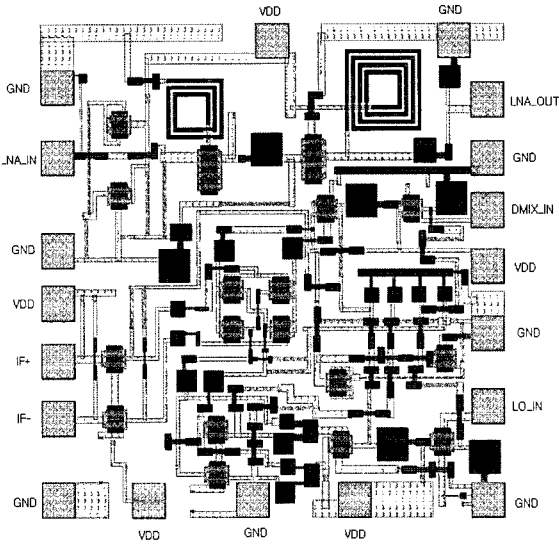


그림 10. 수신단 MMIC의 레이아웃도

로설계시 선형성과 잡음특성에 역점을 두었고, 회로의 안정성을 개선하기 위한 바이어스 보상회로를 추가하였다.

설계된 회로는 최근에 급속한 신장을 하고 있는 셀룰라, 개인휴대통신, IMT-2000, WLL 등 2 GHz 대의 개인이동통신서비스의 RF단에 적용될 수 있다.

설계한 전체 회로의 동작특성은 표 1과 같다.

참 고 문 헌

[1] Stephen A. Maas, *Microwave Mixers*, Artech House, 1993.
 [2] Behzad Razavi, *RF microelectronics*, Prentice Hall, 1998.
 [3] Stephen A. Maas, *The RF and Microwave Circuit Design Cookbook*, 1998.
 [4] I. D. Robertson, *MMIC Design*, IEE, 1995.
 [5] RFMD, *Designer's Handbook*, 1999.

표 1. 수신단 MMIC의 설계결과

Parameter	설계치	Unit	Condition
RF frequency	2.11~2.17	GHz	
LO frequency	1.75~1.81	GHz	
IF frequency	360	MHz	
LNA			
Gain	20	dB	
Noise Figure	0.6	dB	
VSWR(in, out)	<1.5 : 1		
IP3_in	8	dBm	
Current Consumption	10.6	mA	
Downconversion Mixer/IF Amp			
Conversion Gain	8.5	dB	LO=0 dBm
Noise Figure	10	dB	SSB
IP3_in	0	dBm	
Output impedance	1000	Ω	Balanced
Current Consumption	11.5	mA	
Power Supply			
Voltage	3	V	
Total Current Consumption	22.1	mA	
Chip Size	1.4 × 1.4	mm ²	

[6] Kevin W. Kobayashi, Reza Esfandiari etc, "Monolithic Regulated Self-Biased HEMT MMIC's", *IEEE Tran. Microwave Theory Tech.*, vol. 42, pp. 2610-2616, Dec., 1994.
 [7] S. A. Maas, "A GaAs MESFET Mixer with very low intermodulation," *IEEE Trans. Microwave Theory Tech*, vol. 35, pp. 425-429, April, 1987.

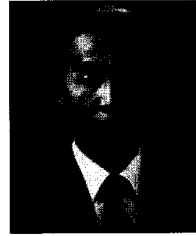
권 태 운



1996년 2월: 울산대학교 전자공학
과(공학사)
1998년 8월: 울산대학교 전자공학
과(공학석사)
1999년 3월~현재: 울산대학교 전
자공학과 박사과정
[주 관심분야] MMIC, RF 시스템

설계

최 재 하



1980년~현재: 울산대학교 전기
전자 및 자동화 공학부 교수
[주 관심분야] MMIC, 초고주파 회
로설계