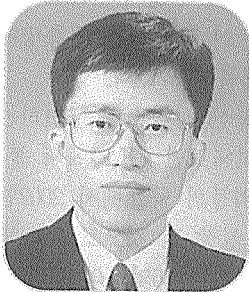


초저가 휴대폰 RF 칩 개발을 위한 RF CMOS 기술 발전전망



유현규 팀장

(한국전자통신연구원
회로소자기술연구소
RF CMOS 회로팀)

RF CMOS집적회로 기술은 CMOS기술의 급격한 발전과 더불어 최근 크게 주목 받고 있다. 이는 CMOS가 제공 할 수 있는 대량생산 능력으로 인해 기존 RC IC의 저가격화 뿐 아니라 미래의 복합·

다기능 무선 멀티미디어 단말기 구현을 위한 single chip solution을 제공 할 수 있는 가능성이 가장 높기 때문이다.

본고는 먼저 개인 휴대 통신 단말기 시장을 전망해 보고 향후 전개될 다양한 무선서비스에 대응하기 위한 RF CMOS집적회로의 소자 및 설계 기술개발 현황과 향후의 발전전망에 대해 살

펴보도록 한다.

1. RF CMOS기술 개요

이동통신기술은 언제, 어디에서나 음성/영상/데이터 등의 다양한 정보를 통신하고자 하는 사용자의 욕구를 충족시켜 왔으며, 이러한 요구는 정보 크기의 증대와 함께 앞으로도 더욱 다양화 될 것이다.

미래에 전개될 다양한 정보 서비스를 보다 저렴한 가격에 제공하기 위해서는 더욱 진일보되고 지능화된 서비스의 개발이 필요하다.

이러한 차세대 이동통신 서비스가 가능하기 위해서는 하나의 이동통신 단말기가 여러개의 주파수 대역 및 통신표준(Multi-band, Multi-standard)의 송/수신이 가능하고 다양한 기능 서비스를 수용 할 수 있어야 하므로 RF의 송수신 회로의 복잡도가 현재보다 크게 증가될 전망이다.

이와 같이 복합 다기능화로 발전해 가는 차세대 무선 단말기는 서비스의 이동성도 최대한 제공해야 하므로 단말기의 저전력화, 경량화, 고집적화를 실현할 수 있는 기술개발을 절실히 요구하고 있다.

이와 같은 발전추세에 대응할 수 있는 새로운 RF 기술로 1990년대 초반, 미국의 대학(UCB, UCLA)을 중심으로 CMOS를 이용한 RF 집적회로에의 응용 가능성을

검토하기 시작했는데 이는 CMOS 기술의 급격한 발전으로 소자의 최대 동작 주파수(fmax)가 수십 GHz 대역까지 고속화 되고 있기 때문이다.

최근에는 RF CMOS IC의 실현 가능성이 점차 높아지면서 미국은 물론, 유럽과 일본의 선진 연구 기관(AT&T, NTT 등)과 주요 반도체 회사(HP, Motorola, TI, National Semiconductor, LSI Logic, Siemens, Philips, Toshiba, Hitachi 등) 등이 적극적인 연구에 착수하고 있다.

이는 무엇보다도 현재 반도체 시장을 주도하고 있는 CMOS 공정을 재활용함으로써 CMOS 기술의 대량 생산성, 안정된 공정, 충분한 Resource 등의 장점을 통해 기존 화합물 MMIC와는 가격경쟁력에서 크게 앞설 수 있다는 점 때문이다.

또한 RF CMOS 기술은 기존의 CMOS 기술을 기반으로 발전 해온 IF(Intermediate Frequency) 및 baseband ASIC 과 RF IC까지 통합할 수 있는 가장 강력한(유일한) 기술이므로 궁극적으로는 무선통신 단말기의 one chip solution을 제공할 수 있는 기반 기술로서의 가능성도 높게 주목 받고 있기 때문이다.

본고의 2장에서는 먼저 1~2GHz 대역을 중심으로 발전하고 있는 이동통신 시장의 발전 전망을 분석하고 3장에서는 RF CMOS IC 구현을 위해 필요한 주요 소자 및 설계 기술개발 환경을 소개한다.

4장에서는 RF CMOS 기술개발이 우리나라 전자 산업에 미칠 수 있는 파급 효과를 간략히 정리 하였으며 마지막으로 5장에서는 미래의 멀티미디어 무선통신 시장공략을 위한 RF CMOS 집적회로 기

술의 발전 전망을 기술한다.

2. 이동통신 서비스의 시장 전망

지난 10년간 셀룰러, PCS, 무선호출 등 이동통신 시장은 지속적인 고도 성장을 거듭하여 왔는데 이는 무선통신의 새로운 응용기술이 언제, 어디서나 통신하고자 하는 사용자의 욕구를 충족시켜 왔기 때문인 것으로 분석되고 있다.

'94년~'98년 중에 전세계의 이동통신서비스 시장은 연평균 17.8%, 이동통신 기기 시장은 연평균 22.5%로 각각 고속의 성장을 계속하고 있다. 이는 동 기간중 유선통신 시장 성장률의 3배에 해당하는 것이다.

또한, 2000년까지 전체 전화기의 35% 및 전체 컴퓨터의 20% 정도가 시내망 또는 공중망에 무선으로 접속될 것으로 예측되고 있다.

한편 이들 무선 통신 서비스를 구현하는 무선통신 기기 시장을 분석해보면 <표1>에서 볼 수 있듯이 1997년 약 1,448억불의 규모에서 2002년에는 약 1,969억불의 규모로 성장 될 것으로 예상되며 이에 따른 반도체 시장은 약 386억불의 규모로 전망된다.

무선 통신시장은 크게 개인 휴대 이동통신, 근거리 무선통신, 무선방송 및 기타 무선통신으로 분류할 수 있으며 이들 분야 중 특히 개인 휴대 통신 시장이 전체 무선 통신용 기기 및 반도체 시장을 주도하고 있다.

<표1> Worldwide Wireless Communications Factory Revenue Forecast

(Millions of Dollars)

	1997	1998	1999	2000	2001	2002
Mobile Comm.	72,800	76,416	78,920	84,385	88,450	94,560
Local Wireless Com.	5,132	5,921	7,050	8,119	9,385	10,502
Wireless Broadcast	63,596	63,107	66,262	69,239	72,461	75,729
Other Wireless Comm.	3,270	4,411	6,628	9,307	12,698	16,072
Total Wireless Comm.	144,799	149,854	158,861	171,051	182,994	196,863

즉, 1993년에는 개인 휴대 통신용 반도체는 전체 무선통신 시장의 21.5%인 27억불 수준이었으나 2002년에는 623%가 증가한 167억불의 시장이 형성 될 것으로 예상 되고 있는데 이것은 전체시장의 약 43%를 상회하는 수준이다.

이와 같이 향후 가장 큰 반도체 수요를 제기할 휴대통신 서비스 분야는 Pager, TRS, Analog/Digital Cellular, PCS 및 IMT-2000 등과 같이 다양하게 발전하고 있으며 이들 서비스는 대부분 1~2GHz 대역에 집중되어 있다.

또한 2.4GHz 대역의 WLAN, WLL 및 기타 무선 통신으로 분류한 1.5GHz 대역의 GPS까지 고려한다면, L-band에서의 반도체 수요는 더욱 큰 부분을 차지 할 것이다.

3. RF CMOS 기술개발 현황

3-1 RF CMOS 소자기술

RF CMOS 집적회로를 구현 하기 위해서는 먼저 실리콘 기판에서 10 이상의 높은 Q(quality factor) 값의 인덕터 개발이 필요하다.

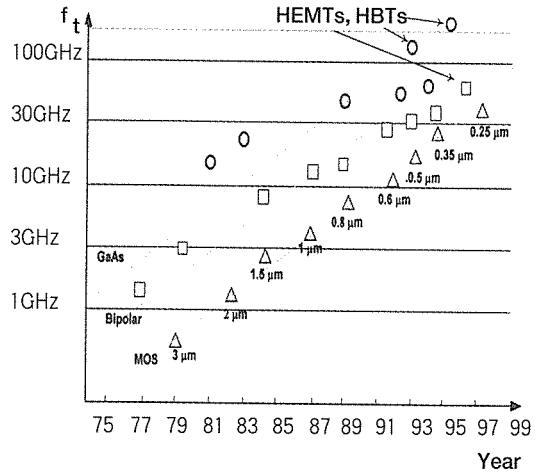
실리콘 기판은 전도도가 높고 따라서 갈륨 비소 기판에 비해 substrate loss가 크기 때문에 RF 영역에서 주파수 특성이 저하되는 문제를 해결하는 것은 결코 쉽지 않다.

RF CMOS 기술이 기본적으로 기존의 CMOS 집적공정과 양립성을 전제로 한다면 현재 1층 당 약 1um 내외의 얇은 금속배선 두께는 직렬저항 성분을 증가시켜 high Q 인덕터 실현에 또다른 장애요소로 작용한다.

최근의 연구동향을 분석해 보면 크게 두가지로 분류할 수 있는데 첫째는 실리콘 기판에서 high Q를 얻기 위한 기술개발 노력과 둘째, RF IC의 효율적인 설계에 필요한 새로운 구조의 인덕터 개발 등이다.

본 연구진은 고저항 기판(>2kohm.)위에 독자적

<그림1> 주요 소자별 주파수 특성



인 후막 금속배선 공정을 개발함으로써 2층 금속배선으로도 2GHz에서 Q=21의 우수한 결과를 얻을 수 있었다. 현재 개발되고 RF CMOS IC들을 분석해보면 인덕터가 차지하는 면적이 전체 칩의 50%를 상회하고 있는 경우도 있다.

RF CMOS가 아직은 연구단계이며 상대적으로 값싼 기판이라 하더라도 이와 같은 형태는 향후 실용화 단계에서 큰 문제로 대두 될 것이다.

따라서 인덕터 사용을 최소화 하는 회로 구조가 연구되어야 할 것이며 사용하더라도 면적을 최소화 할수 있는 다양한 형태의 인덕터(예: Dual-turn, Tunable inductor, Transformer 등)가 개발 되어야 할 것이다.

<그림 1>은 GaAs, bipolar 및 MOSFET 소자별 주파수 특성을 나타낸 것이다. 현재 GaAs 소자는 기존 실리콘 소자에 비해 기판손실이 적고 동작 주파수가 상대적으로 높아 아직은 대부분의 RF module에 사용되고 있으나 제조공정이 까다롭고 제작 단가가 비싸며 동작 전압을 낮출 경우 소자의 비선형성으로 인해 발생하는 혼변조잡음의 제거에 많은 어려움이 있다.

CMOS 소자의 경우 소자 자체의 RF 성능은 GaAs에 비해 떨어지지만 그림에서 볼 수 있듯이

scaling down 되면서 집적도가 증가함과 더불어 고속 동작도 가능하게 된다.

CMOS 소자의 소요 RF 특성을 살펴보면 설계규칙 (Design Rule) $0.8\mu\text{m}$ 급 소자는 전류가 20mA 일 때 $f_T=10\text{GHz}$, $f_{\text{max}}=11\text{GHz}$, $G_{\text{max}}=11.5\text{dB}$ 등으로 소자 자체의 특성은 1~2GHz 대역의 동작 주파수 범위에 적용이 가능 하지만 기판에 의한 손실 등으로 효율 및 성능이 문제가 된다. 그러나 최근 이러한 문제점을 해결하고자 하는 소자 및 설계기술이 활발히 진행되고 있으며 각 모듈별로 시험적인 RF IC들이 발표되고 있다.

한편 소자 scaling에 따라 설계 규칙 $0.6\mu\text{m}$ MOSFET는 전류가 10mA일 때 $f_T=14\text{GHz}$, $f_{\text{max}}=18\text{GHz}$ 의 성능을 나타내고 있으며 설계규칙 $0.35\mu\text{m}$ 인 경우 전류 3mA에서 $f_T=14\text{GHz}$, $G_{\text{max}}=22\text{dB}$ 로 크게 향상된다.

일반적으로 소자의 f_{max} 는 RF IC 동작주파수의 6~10배 정도가 필요한데 현재의 CMOS 기술은 주파수 특성 측면에서만 본다면 L-band의 RF IC 시장 응용에 충분한 성능을 나타내고 있음을 알 수

있다.

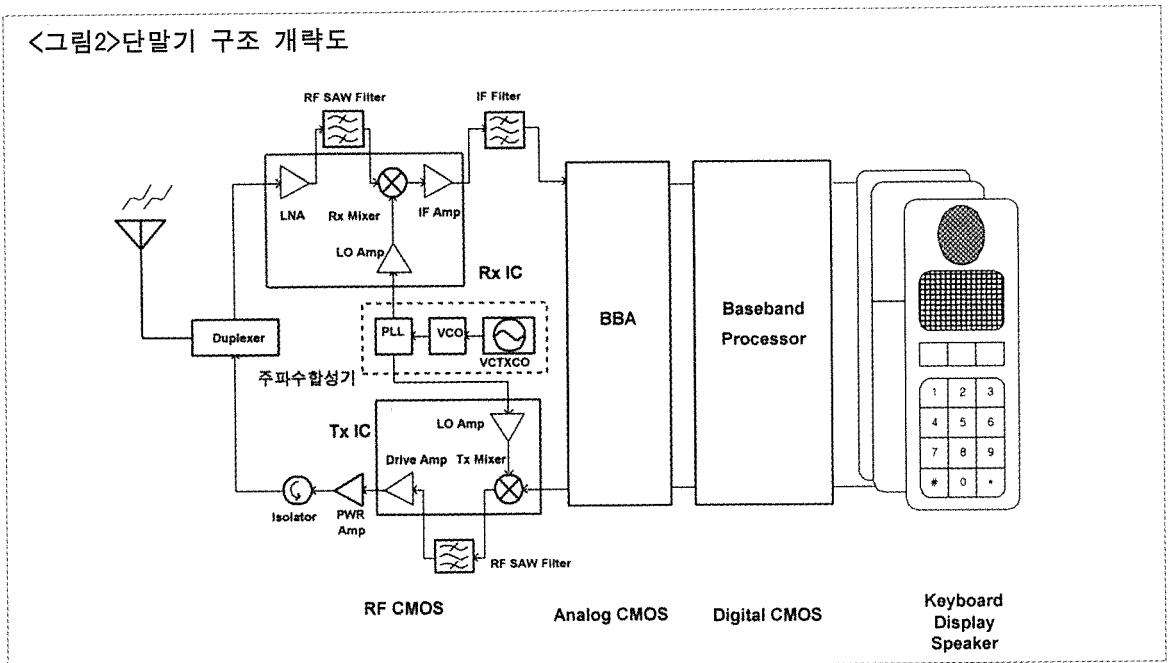
MOSFET의 RF 응용이 활발해짐에 따라 종래의 3단자 MESFET 소신호 등가회로 모델을 이용한 MOSFET의 RF 특성 해석에 몇가지 문제점이 제기 되기 시작했다.

특히 MOSFET의 출력 저항(R_{sd})는 동작주파수가 높아지면서 감소하는 이른바 frequency dispersion 현상이 나타나고 있으며 이를 기존 MESFET 등가 모델로 설명하는 것은 정확하지 않다.

Bipolar나 MESFET에 비해 상대적으로 낮은 이득을 갖는 MOSFET의 경우 R_{sd} 의 dispersion 현상은 회로성능에 직접적인 영향을 주는 것은 물론, 소자 최적화를 어렵게 할 뿐 아니라 RF IC 설계를 부정확하게 하므로 이에 대한 모델링은 매우 중요한 과제이다.

3-2 RF CMOS 집적회로 설계기술

RF 수신기는 수신된 에너지를 최소한의 distortion을 부가하여 유효한 정보로 변환하는 것을 목적으로



로 한다. 위의 기능을 얼마나 잘 수행하느냐 하는 것은 시스템 설계, 내부 회로, 동작 환경에 달려 있다.

<그림 2>은 단말기의 개략적인 구조를 나타낸 것이다. RF의 수신부는 안테나, Duplexer를 통하여 수신된 RF 신호를 저잡음 증폭하여 제1중간 주파수로 변환하고 이를 약간 증폭하여 IF AGC부로 제1중간주파수 신호를 전달하는 역할을 한다.

기능별로는 저잡음 증폭기, 주파수혼합기, 중간주파수 증폭기로 나누어진다. 저잡음 증폭기와 주파수혼합기 사이에는 외부 부품으로 BPF(Band Pass Filter)가 있으며 in-band 대역만을 통과시켜서 뒷단의 주파수혼합기에서의 image신호 발생을 억제시키는 image-rejection 기능과 밴드 외의 잡음원을 제거하고 발진자의 신호가 역류하여 안테나로 방사되는 현상을 방지하는 기능을 가진 필터이다.

혼합기는 RF 신호를 제1중간 주파수로 변환하는 기능을 가진다. 중간주파수 증폭단은 IF를 증폭한다.

수신기의 수신감도를 향상 시키기 위해서는 수신기 전체의 잡음을 최대한 작게 해야 한다. 수신단 잡음은 수신단 선단의 LNA(Low Noise Amplifier: 저잡음 증폭기)에 의해 대부분 결정 되므로 LNA의 설계시 적정의 선형 선형성과 이득을 유지하면서 잡음을 최소화하는 것이 가장 중요한 설계 이슈이다.

또한 대부분의 단말기는 50Ω(TV의 경우 75Ω)에 정합시켜야 하므로 전류소모를 고려한 입력단 CMOS 소자크기의 적정한 선정도 필요하다. CMOS소자는 MESFET나 바이폴라 소자에 비해 이득이 낮고 자체 저항(Gate 저항)이 커서 저잡음 회로구현에 어려움이 있으나 최근 0.8μm CMOS 공정을 이용한 완전 집적형 LNA가 1.9GHz 대역에서 NF=2.8dB, Gain=15dB의 성능을 나타내고 있는 등 소자 scaling에 따라 조만간 NF=1.5dB 이하의 소자도 구현하게 될 것으로 예상된다.

Common source 형태의 LNA가 주류를 이루고 있는 가운데 기관에서 여기되는 noise성분을 제거하

기 위한 목적으로 차동형을 사용하거나, 저전력을 위한 CMOS 형태 <current reuse 방법>의 LNA도 연구 되고 있으며 저잡음 특성 개선을 위해 현실적으로는 입력단 정합용 인덕터를 Q가 우수한 bonding wire를 활용하는 경우도 있다.

상/하향주파수변환기(Up/Down Mixer)는 각각 IF증폭기 출력의 IF신호를 LO(Local Oscillator) 신호와 곱하여 RF 주파수로 상향(Up-conversion) 시키거나 LNA로부터 증폭된 RF 신호를 LO와 곱하여 IF 주파수로 하향(Down-conversion) 시키는 회로이다.

수동 주파수변환기(Passive mixer)는 소자의 선형 영역에 동작점을 두기 때문에 static power가 낮고 선형성이 우수한 반면, 변환이득이 낮고 잡음특성이 나쁘다. 변환이득이 낮기 때문에 주파수변환기 뒷단에 OP-Amp를 연결한다.

IP3는 43dBm으로 매우 우수한 반면 NF는 32dB이나 된다. Sub-sampling기법을 이용하는 경우, LO와 RF 주파수의 간격을 크게 할 수 있어 LO leakage 문제가 완화되고 주파수가 낮은 LO가 필요하므로 비교적 설계가 용이하다.

그러나 이 구조는 Narrow-band 신호를 tracking하는 동안 wide-band noise도 tracking하게 되면서 aliasing가 발생하므로 잡음특성이 좋지 않다. 상기 구조는 IP3=27dBm이며 NF는 18dB이다.

현재 가장 많이 채택되고 방식은 Gilbert multiplier 구조를 근간으로 한 능동 주파수변환기(Active mixer)이다. LO에 진폭이 큰 신호가 가해져 상당의 MOSFET가 이상적인 switching을 한다면, 이득이 $2/\pi$ 이고 출력주파수가 $IF = W_{RF} - W_{LO}$ 인 특성을 얻을 수 있다.

LO leakage를 감소시키기 위해서 일반적으로 LO와 RF 사이에 cascode 단을 추가하며 변환이득을 크게 하거나 가변시키기 위해 출력단 load의 구조를 변형하는 노력이 다양하게 진행되어 왔다. Dynamic range는 기본적으로 하단 RF 입력부에 의해 결정되므로 우수한 IP3를 얻기 위한 새로운 회로가 연구되고 있으며, MOSFET의 V_{th} offset에 의

해 제한받는 LO pumping의 효율 저하도 향후 개선해야 할 여지가 있다.

주파수합성기(Frequency Synthesizer)란 한 개 혹은 여러개의 주파수원(Frequency Source)으로부터 단일 출력주파수 혹은 서로 다른 여러개의 출력주파수를 발생시키는 회로이다.

합성 방법에 따라 기준 주파수로부터 직접 원하는 주파수를 합성하는 직접방식(Direct Synthesizer)과 PLL(Phase-Locked Loop)를 이용한 간접방식(Indirect Synthesizer) 및 이들 방식을 혼용한 복합방식(Hybrid Synthesizer) 등이 있다.

현재 많이 사용되는 PLL을 사용한 주파수합성기는 PLL 계환을 통해 노이즈가 줄어들고 집적화가 용이하며 높은 주파수를 얻을 수 있는 장점이 있는 반면, 주파수 천이 속도가 직접방식보다(특히 DDFS보다) 상대적으로 불리하다.

따라서 통신방식(Direct Sequence, 혹은 Frequency Hopping)에 따라 합성기 구조의 선택이 달라질 수 있다.

RF 주파수 합성기를 설계하는데 있어 가장 중요한 점은 합성된 주파수의 위상잡음(Phase Noise)의 크기와 기준 클럭(Reference Clock)에 의해 발생하는 Spur의 크기를 얼마나 작게 할 수 있는가에 있다. VCO(Voltage Controlled Oscillator)로부터 유입되는 위상잡음은 고역통과 특성을 가진다.

따라서 대역폭을 증가 시킴으로써 PLL의 위상잡음을 감소시킬 수 있지만 너무 확대할 경우 Spur가 증가하므로 이들간의 Trade-off가 필요하다.

주파수합성기의 핵심 요소인 VCO설계에 있어 고려해야 할 사항을 세가지로 요약하면 위상잡음, 주파수 가변범위 및 전력 소모이다.

VCO는 크게 Ring-type과 LC 공진형이 있는데, Ring type의 경우 주파수 가변 범위가 넓기 때문에 마이크로 프로세서나 클럭 복원회로 등에 주로 사용되고 있으나 임의의 지연소자에서 발생한 잡음이 chain 통해 계속 돌아 다니게 되어 위상잡음은 좋지 않다.

따라서 위상잡음 규격이 엄격한 단말기용(예:-

115dBc/Hz @ 100kHz offset)으로는 Ring-type보다 위상잡음 특성이 우수한 LC 공진형이 유리하다.

최근 LC 공진형 CMOS VCO의 연구가 활발히 전개되고 있는 가운데 벨기에 카톨릭대에서는 0.7 μm CMOS 기술로 위상잡음 $-116\text{dBc/Hz @ } 600\text{kHz}$, 소비전력 12mW인 VCO를 발표한 바 있다.

LC 공진형 발진기의 발진 주파수 조절은 인덕터 혹은 커패시터를 활용하게 되는데 현실적으로 가변 인덕터 실현이 어렵기 때문에 대부분 MOSFET의 가변 Capacitance나 PN diode를 이용한다.

회로의 가변 주파수 범위 증가를 위한 넓은 가변 Capacitor와 위상잡음 최소화를 위한 High Q 인덕터의 개발은 CMOS LC 공진형 VCO 구현을 위해 개선되어야 할 요소기술들이다.

설계자의 입장에서 볼 때 RF CMOS의 장점은 안정된 공정을 기반으로 한 고집적화에 있다. 따라서 현재 대부분의 단말기에 채택되고 있는 Super-heterodyne 구조는 채널 선택성이 우수한 장점이 있음에도 불구하고 다단계의 주파수변환과 이에 따른 필터 등 외부 부품의 소요가 많고 집적화에 어려움이 따르므로 저가격화와 고집적화라는 RF CMOS IC의 큰 특장을 제대로 발휘 할 수 없다.

이와같은 관점에서 Multi-band, Multi-standard로 발전되어 가는 미래의 휴대통신 기술의 흐름은 외부 부품을 최소화하고 집적화에 유리한 새로운 단말기 구조 개발을 요구하고 있다.

Direct conversion 방식은 RF 신호를 중간주파수 처리 과정 없이 직접 baseband로 변환하는 방식으로 집적화에 가장 매력적인 구조이다.

Pager 등에 일부 활용되고 있기도 하지만 1995년 UCLA의 Abidi 그룹이 Digital Cellular을 위한 RF IC를 발표한 이래 새롭게 주목을 받고 있다.

DDFS를 활용, 주파수 도약 방식을 채택한 이들은 직접변환 구조가 가지고 있는 DC offset, 1/f noise 등의 문제에 비교적 민감하지 않은 FSK 변조 방식을 사용하였다.

Quasi-IF 방식은 주파수 변환시 발생하는 image 신호를 복소수 신호처리(Hilbert transform)에 의해

상쇄시키고 선단의 LO를 고정된 주파수로 할당함으로써 image rejection filter 및 주파수 합성기 설계 부담을 감소시킨 구조이다.

Double-quadrature 방식은 RF 및 LO 신호를 각각 I/Q 신호로 바꾸고 I-phase와 Q-phase를 각각 곱하여 image를 감쇄시킨 구조이다.

Quasi-IF 방식에 비해 I/Q mismatch에 의한 영향이 줄어 드는 장점이 있지만 passive-RC network에 의한 chip 크기의 증가와 경로의 mismatch에 의한 성능저하는 여전히 문제로 남는다.

최근 UCLA의 B. Razavi 교수는 Weaver 구조를 이용하여 900MHz GSM(Global System for Mobile communication)과 1.8GHz 대역의 DCS1800(Digital Communication System at 1800)의 Dual-band Rx 및 Tx IC 구조를 발표한 바 있다.

0.6um CMOS 공정을 이용한 본 시도는 LO1 및 LO2를 각각 1350MHz와 450MHz로 설정하고 각 band 경로의 단순한 조합을 통해 원하는 IF 및 RF 신호를 효과적으로 얻을 수 있는 방식이다.

4. RF COMS 기술개발의 파급효과

RF COMS는 반도체기술 중 가장 Resource가 풍부하고 보편화 되어 있는 기존 CMOS 기술들을 대부분 수용 할 수 있기 때문에 시장의 진입 혹은 만개되는 시점에서는 국내의 Design House로 RF CMOS ASIC에 대한 다양한 신규 수요가 발생될 것이다.

특히 RF IC는 중소기업형의 성격이 강하고 세계적으로도 거의 같은 시기에 시작되는 만큼 RF COMS 기술의 저변 확대가 이루어진다면 충분한 경쟁력을 가질 수 있을 것이다.

또한 RF COMS기술은 기존의 CMOS Foundry를 그대로 재활용 할 수 있을 뿐 아니라 RF IC 혹은 기존 CMOS ASIC에 RF 기능을 추가한 제품을 설계 할 수 있게 함으로써 별도의 시설 투자 없이 고부가가치의 IC를 생산할 수 있는 매력도 있다.

그러나 무엇보다 대량 생산에 의한 물량 공급은 RF CMOS IC의 가격 경쟁력을 크게 향상시킬 수 있다는 점이 가장 큰 장점이다.

우리나라는 그 동안 외국기술에 의존하여 아날로그 셀룰러를 시작으로 이동통신서비스를 시작하였고 디지털 셀룰러와 PCS 서비스에서는 외국기술을 도입하여 개발한 바 있다.

현재 서비스중인 셀룰러 및 PCS용 단말기에 필요한 핵심 ASIC은 대부분 해외에서 수입하고 있다.

핵심부품의 해외 도입에 의한 단말기 조립생산으로는 이동통신 단말기 시장에서 기술 및 가격 경쟁력을 확보할 수 없으며 막대한 로열티 지급에 따른 외화 유출과 국제 경쟁력 약화 등의 문제점이 지적되고 있다.

Modem과는 달리 RF IC는 상대적으로 비 독점적이기 때문에 RF CMOS 기술개발은 RF 부품의 자급과 이로 인한 가격 경쟁력을 강화할 수 있는 중요한 계기가 될 것이다.

최근 한국전자통신연구원 회로소자기술연구소 RF CMOS회로팀은 정보통신부 CDMA 경쟁력 강화의 일환으로 1998년부터 추진하고 있는 국책사업의 결과로 RF CMOS 기술에 의한 900MHz 대역 CDMA 휴대전화기의 송·수신 RF 칩을 개발 세계 최초로 통화시험에 성공한 바 있다.

이번에 개발한 RF IC의 주요 특징은 0.8um CMOS 공정으로도 기존 RF IC 칩보다 최고 50% 이상의 저전력화를 실현하였으며 CDMA에 적합한 새로운 고선형 회로를 발명하여 적용시킨 점이다. 설계된 칩의 구동전압은 3.6V이며, 수신단 IC(Rx IC)의 경우 칩면적 1.5x3.0mm에 저잡음 증폭기, 하향 주파수 혼합기, 주파수 위상변조기, 및 중간주파수 증폭기를 하나의 칩에 집적하였고 송신단 IC(Tx IC)는 칩면적 1.5x8mm에 상향 주파수 혼합기, 주파수 위상변조기 및 고주파 구동 증폭기를 하나의 칩에 내장하였다.

상용화를 위한 단계가 아직 남아 있지만 지금까지 가능성 타진에 머물던 KF CMOS기술을 실용화 단계까지 진입 시켰다는데 큰 의미가 있다고 생각

하며 기 개발된 기반기술들이 국내 산업계에 성공적으로 이식되고 확산 된다면 향후의 RF IC 시장 선점을 위한 유리한 고지를 확보할 수 있을 것이다.

5. RF CMOS 발전전망

90년대 초 미국 대학들의 개념연구로 출발된 RF CMOS 집적회로 기술은 구체적인 결과가 발표되면서 단순한 실험단계에서 벗어나 점차 실용적인 개발 단계로 진입하고 있다.

응용분야도 900MHz 대역의 Analog/Digital Cellular, GSM에서 1.5GHz대역의 GPS, 1.9GHz대역의 PCS, DECT, PHS, 2대역의 IMT-2000, 2.4GHz 대역의 WLAN, WLL뿐 아니라 5.2GHz대역의 HIPER LAN 영역까지 확대되고 있다.

이와 같은 주파수 영역의 확대는 기본적으로 CMOS의 scaling에 의한 고주파 특성의 향상에 기인한다. 그러나 통신시장은 기본적으로 standard-driven 성격이 강하므로 다양한 서비스와 통신대역을 함께 수용하면서 발전할 것이며 이를 하나의 단말기에 수용하면서 저가격, 저전력 및 소형화가 이

루어지기 위해서는 RF IC의 VLSI화가 필연적이다.

Single chip RF CMOS transceiver는 차세대 무선 멀티미디어 단말기를 위한 혁신적인 개념이나 이의 실현을 위해서는 선결되어야 할 문제점이 있다. 이들을 요약 하면,

●RF CMOS 소자 및 CAD 기반기술

- 실리콘 기반을 통한 RF/Digital 회로의 상호 간섭현상 해석 및 최적의 RF design rule 생성 기술
- Model 개발 및 정확도개선(Large signal, Noise, Package)
- 수동소자(인덕터, 바랙터 등)의 성능 향상

●RF CMOS IC 설계기술

- RF/Digital 복합회로의 Ground 처리기법
- Wideband RF CMOS Circuits
- Crosstalk immune RF ICs(Between R×and T× ICs)
- Programmable(Variable Gain) RF ICs
- Single chip transceiver architecture design 등과 같다.