

터보 부호 개발 동향 분석

Analysis of Hardware Implementaion Trend for Turbo Codes

김수영(S.Y. Kim) 위성전송방식연구팀 선임연구원
강군석(K.S. Kang) 위성전송방식연구팀 연구원
곽지혜(J.H. Gwak) 위성전송방식연구팀 연구원
박세경(S.K. Park) 위성전송방식연구팀 책임연구원, 팀장

1993년 Shannon 한계에 근접하는 우수한 성능을 가진 터보 부호가 발표된 이후 그에 대한 많은 연구들이 이루어져 왔지만, 한편으로는 반복 복호의 복잡도와 이로 인한 복호 지연을 고려할 때 실제 시스템에 적용이 가능할 것인가에 대한 의문 역시 함께 제기되어 왔다. 그러나 터보 부호를 구현하고자 하는 노력은 계속되었으며, 현재는 터보 부·복호기를 구현한 제품들이 시장에 등장한 상태이다. 특히 위성통신시스템에서의 적용을 위한 노력이 증가하고 있으며 곧 그 구현을 앞두고 있는 IMT-2000 시스템에서도 터보 부호는 일부 서비스에서 활용될 예정 등으로 앞으로 그 활용도는 급격히 늘어날 전망이다. 터보 부·복호기를 한 칩에 구현한 제품들도 이미 출시되어 있는 상태이다. 터보 부·복호기를 하드웨어로 구현한 제품들은 크게 길쌈 터보 부호를 사용한 것과 블록 터보 부호를 사용한 것으로 양분된다. 본 논문에서는 실제 상용 하드웨어로 구현되어 있는 터보 부호의 특징과 성능을 분석한 내용을 기술하고자 한다.

1. 서론

통신 채널에서 발생하는 오류를 효율적으로 극복하기 위한 오류 정정 부호 중의 하나인 터보 부호는 1993년 Berrou 등에 의해 개발된 후[1] Shannon 한계[2]에 근접하는 우수한 성능을 나타냄으로써 많은 관심을 받았다. 즉, 이제까지 제안되어 왔던 어느 부호 방식도 제공할 수 없었던 만큼의 부호화 이득을 제공할 수 있음이 밝혀졌다.

터보 부호의 우수한 성능은 부호기에 내재하는 인터리버와 복호단에서의 연판정 출력을 이용한 반복(iteration) 복호에 기인하는 것으로 알려져 있다. 따라서 이러한 복호 과정의 복잡도와 복호 지연시간으로 인해 실제 시스템에 있어 적용의 문제점이 있다는 지적을 받아왔다. 그러나 복호기의 복잡도 감

소를 위한 여러 알고리즘들과 효율적인 구현 방안들이 개발되면서 여러 분야에서의 실질적인 응용이 본격화되기 시작하였다. 특히, 고성능의 오류 정정 부호화 방식이 요구되는 이동위성통신시스템 및 위성통신시스템에서의 ATM 셀 전송을 위하여 터보 코드를 활용하기 위한 여러 가지 방식 등이 거론되고 있으며[3, 4], 실제 위성통신용 모델에 터보 코드를 응용한 예도 나타나 있다[5].

본 논문에서는 터보 부호의 기본 이론 및 개념 분석과[6] 구현 동향 분석[7]에 이어 실지로 이러한 것들이 하드웨어로 구현되어 있는 동향을 분석하고 각 하드웨어들의 구현 특징과 성능 등을 분석해 보기로 한다.

터보 부호는 크게 길쌈 부호를 이용한 방식과 블록 부호를 이용한 방식으로 구분할 수 있다. 우선 길

쌈 부호를 이용한 방식은 맨 처음 Berrou 등이 제안 하였던 방식이었으며, 이 방식에서 사용하였던 반복 복호 기법을 기존의 곱 부호(product code)에 적용 한 것이 블록 부호를 이용한 방식이다[1]. 본 논문 에서는 이러한 두 방식을 구분하여 각 방식에 대한 하드웨어 구현 동향을 분석하여 기술하기로 한다.

II. 길쌈 부호를 이용한 터보 부호의 개발 동향 분석

본 장에서는 길쌈 부호를 이용한 터보 부호에서 의 일반 사항에 대하여 먼저 기술하고 하드웨어를 구현하여 생산하고 있는 회사 및 제품별로 그 특징 을 차례로 기술하기로 한다.

1. 길쌈 부호를 이용한 터보 부호에서의 고려 사항

현재 IMT-2000 시스템에서 사용하고자 제안되 고 있는 터보 부호는 모두 길쌈 부호를 이용한 것 들인데 무선 전송 규격서 중 CDMA2000의 경우 14,400bps 이상의 높은 데이터율을 가지는 역방향 부가 채널(reverse supplemental channel)에서 사 용될 것으로 보이며 여기에 사용되는 구성 부호기로 는 메모리의 개수가 3인, 즉 구속장이 4인 두 개의 RSC(Recursive Systematic Code) 부호를 병렬로 연결해서 사용하고, 천공(puncturing) 형태에 따라 서 부호율이 1/2, 1/3, 1/4인 부호를 사용한다[8].

그리고 3GPP(3rd Generation Partnership Pro- ject)의 경우 BER(Bit Error Rate) 성능 $10^{-3} \sim 10^{-6}$ 의 품질이 요구되는 데이터 서비스에서 사용되며, 구성 부호기로는 구속장이 4인 두 개의 RSC 부호를 병렬로 연결해서 사용하고 천공 형태에 따라서 부호 율이 1/2, 1/3인 부호를 사용한다[9].

길쌈 터보 부호의 하드웨어 구현 시 가장 중요한 것은 복호 알고리즘으로 무엇을 사용할 것인가를 결 정하는 것이다. 복호 알고리즘으로 고려되고 있는 것 들로는 MAP(Maximum a-Posteriori), MAX Log-

MAP, Log-MAP, SOVA(Soft Output Viterbi Algo- rithm) 등이 있다.

MAX Log-MAP 알고리즘은 MAP 알고리즘의 순 방향 반복(forward recursion)과 역방향 반복(back- ward recursion)에서 계산을 간단히 하기 위해 로그 영역에서의 근사치를 이용한다. 그리고 Log-MAP 알고리즘은 MAX Log-MAP 알고리즘의 근사과정 에서의 오차를 정정함수(lookup table로 구현)의 도 입으로 MAP 알고리즘과 같은 성능을 얻을 수 있도록 한 것이다. Log-MAP 알고리즘의 복잡도는 SOVA의 약 두 배이다. 따라서 성능과 복잡도를 고려한 선택 이 이루어져야 할 것이다.

다음으로 고려해야 할 사항으로는 구성 부호기에 대한 것으로 구성 부호기의 개수, 구속장(constraint length)의 크기 등이 있다. 일반적으로 구성 부호기 의 개수가 증가하면 복호기에서의 지연시간이 길어 지고 복잡도가 증가하므로 일반적으로 구성 부호기 는 두 개로 이루어진 것이 보통이다. 구속장이 1 증 가하게 되면 복호기의 복잡도는 두 배 증가하게 된 다. 따라서 복잡도와 성능을 고려한 선택이 이루어 져야 한다.

인터리버의 크기와 종류 또한 중요한 고려 대상 이다. 일반적으로 인터리버의 크기를 크게 하면 터 보 부호의 오류 정정 능력은 증가한다. 그러나 복잡 도와 복호 지연시간 또한 커지게 되므로 적절한 인 터리버의 크기의 설정이 중요하다.

터보 부호에 사용되는 인터리버의 종류에는 블록 인터리버, 나선형 인터리버, 랜덤 인터리버, S-랜덤 인터리버, Systematic S-랜덤 인터리버 등이 있다. 이 중 S-랜덤 인터리버의 성능이 가장 우수한 것으 로 알려져 있으며 Systematic S-랜덤 인터리버는 인터리버의 패턴과 디인터리버의 패턴이 일치하는 S-랜덤 인터리버를 의미한다. 이 경우 인터리버의 구현만으로 디인터리버의 역할까지 수행할 수 있 는 장점이 있다.

복호기를 하드웨어로 구현함에 있어서 매 반복 시 마다 수행하는 복호 과정을 직렬로 연결할 것인지 아 니면 병렬로 수행할 것인지를 선택이 있어야 한다.

병렬 구조는 각 반복에 해당하는 복호기를 병렬로 연결하는 것으로 각각의 반복에 해당하는 복호기가 연속적으로 복호를 수행하게 된다. 직렬구조는 하나 또는 둘의 구성 복호기로 전체 반복을 수행하게 된다.

병렬 구조의 장점으로는 각각의 복호기에서 한 정보 블록에 대해 한번씩의 복호만을 수행하게 됨으로써 연속적인 복호가 가능하게 되어 복호 지연이 줄어들게 된다. 다만 전체 반복 횟수의 두 배에 해당하는 구성 복호기가 필요하므로 복잡도가 증가하게 된다.

2. Comatlas의 CAS 5093 터보 부·복호기

Comatlas는 Philips Semiconductors의 자회사로써 터보 부호의 창안자인 Berrou와 공동으로 CAS 5093을 개발하였다[10]. CAS 5093은 상업용으로 개발된 최초의 터보 부·복호기로서 다음과 같은 사양을 지닌다.

- 데이터율: 40Mbit/s
- 부호율: 1/2
- BER = 10^{-5} 에서 7dB의 부호 이득($E_b/N_0 = 2.7\text{dB}$)
- 4비트 연관정
- 단일 클럭
- 기저 대역(baseband) BPSK(Binary Phase Shift Keying)와 QPSK(Quaternary Phase Shift Keying)에 대한 자동 동기(auto-synchronization)
- 외부 메모리가 필요치 않음
- 5개의 8-state SOVA 복호기를 병렬로 연결(2.5회 반복)
- 4개의 $32 \times 32 = 1024$ 비트 인터리버/디인터리버
- 2318비트의 복호 지연

CAS 5093은 구속장이 4인 두 개의 RSC 부호기를 사용하여 SOVA 복호기로 2.5회의 반복을 수행한다. 이 복호기의 성능은 기존의 비터비 복호기($K = 7, R = 1/2$)와 Reed-Solomon(204,188)의 연접 부호와 같은 성능을 가진다. $0.8\mu\text{m}$ -CMOS(Complementary Metal Oxide Semiconductor) 기술로 개발하였으며 $0^\circ\text{C} \sim +70^\circ\text{C}$ 에서 동작한다.

3. Small World Communications의 MAP04 복호기

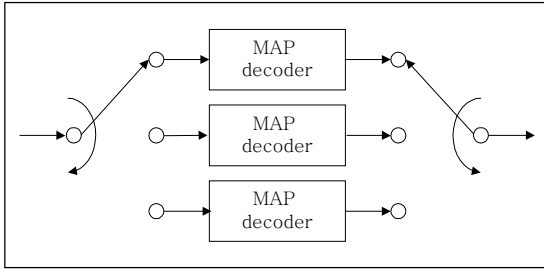
Small world communications의 MAP04 복호기는 16 state MAP SISO(Soft-In-Soft-Output) 복호기로 터보 복호기로 사용이 가능하며 현재 MAP04A, MAP04B 그리고 MAP04T로 나뉘어져 있다[11-13]. 이들 세 복호기는 거의 동일한 사양을 지니며 MAP04T가 훨씬 빠른 복호 속도를 가진다. MAP04T 복호기는 다음과 같은 사양을 지닌다.

▣ MAP04T

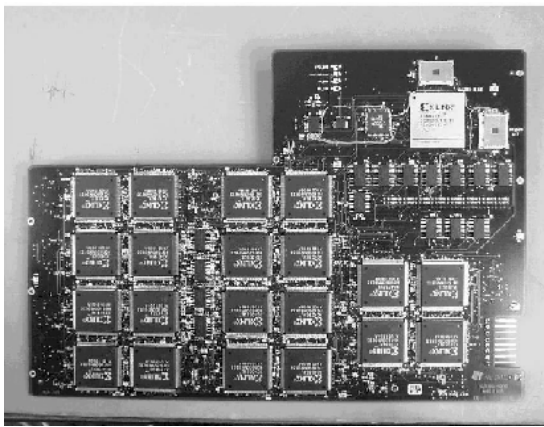
- 최대 90Mbit/s의 복호 속도
- 부호율: 1/2, 1/3, 1/4
- 수신신호: 6비트 양자화
- 연관정 출력: 8비트 양자화
- 부호율 1/2 부호에 대하여 8비트 양자화 가지 미터릭 값 사용
- (n, n-4) cyclic block code 복호 가능
- Sliding MAP 알고리즘 및 연속 복호(Continuous decoding) 가능
- MDD(Minimum Decoding Depth): 32 또는 64
- 복호 지연시간(400 또는 784 클럭)
- 외부 메모리가 필요치 않음
- 4, 8, 16 state MAP 복호기(Log-MAP)
- Xilinx사의 XC4000XV FPGA(Field Programmable Gate Array)로 구현 가능

MAP04T의 가장 큰 특징은 빠른 속도로 복호를 수행하기 위하여 세 개의 인터리버를 병렬로 연결하여 복잡도를 조금 증가시키는 대신에 복호 속도를 거의 세 배 가까이 증가시키는 데 있다. 내부적으로 MAP04T에는 한 개의 MAP 복호기로 구현되어 있지만 3단계 경로 구조(3 stages of pipelining)를 가지고 있기 때문에 (그림 1)에 나타나 있는 바와 같은 동등 모델 구조로 표현할 수 있다.

MAP04B와 MAP04A 복호기는 MAP04T와 거의 동일한 사양을 지니지만 복호 속도면에서 조금 떨어진다. 두 복호기의 차이를 나타내면 다음과 같다.



(그림 1) 3중 인터리빙된 MAP 복호기의 동등 모델



(그림 2) EF Data의 터보 복호기 카드

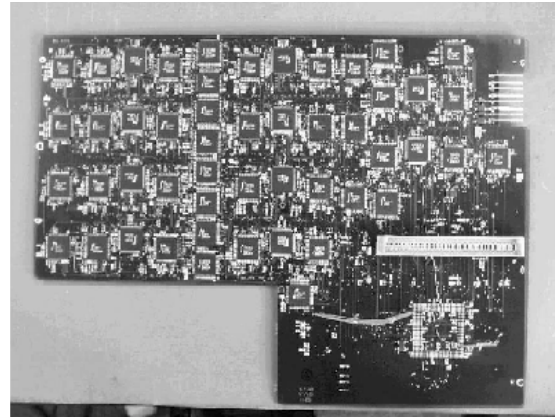
▣ MAP04B & MAP04A

- 최대 2.5Mbit/s의 복호 속도(MAP04B)
- 최대 1.6Mbit/s의 복호 속도(MAP04A)
- 복호 지연시간(66~257비트)
- Xilinx사의 XC4000 FPGA 또는 Spartan FPGA로 구현 가능

4. EF Data의 터보 부·복호기

EF Data의 터보 부·복호기는 EF Data사의 위성용 모델 SDM-300A를 변형한 것으로 SDM-300A의 마더보드와 Reed-Solomon 부·복호기, 터보 부·복호기 카드로 구성되어 있고 Small World Communication의 MAP04A 복호기를 이용하여 구성하였으며, 그 특징은 다음과 같이 정리할 수 있다[14].

- 부호율: 1/2, 3/4, 7/8, 9/10, 13/14, 19/20
- 최대 1.6Mbit/s의 복호 속도



(그림 3) EF Data의 터보 복호기 카드 뒷면

- $E_b/N_0 = 2.7\text{dB}$ 에서 $\text{BER} = 10^{-10}$
- 8160비트 크기의 랜덤 인터리버 사용
- 16 state MAP 복호기(Log-MAP)

EF Data의 터보 부·복호기는 (그림 2)와 같이 20개의 Xilinx FPGA로 구현된 MAP 복호기가 병렬로 연결된 구조를 지닌다. (그림 2)의 터보 부호기 카드의 뒷면에는 인터리빙과 디인터리빙을 수행하기 위한 버퍼로써의 메모리로 구성되어 있다. 이를 (그림 3)에 나타내었다.

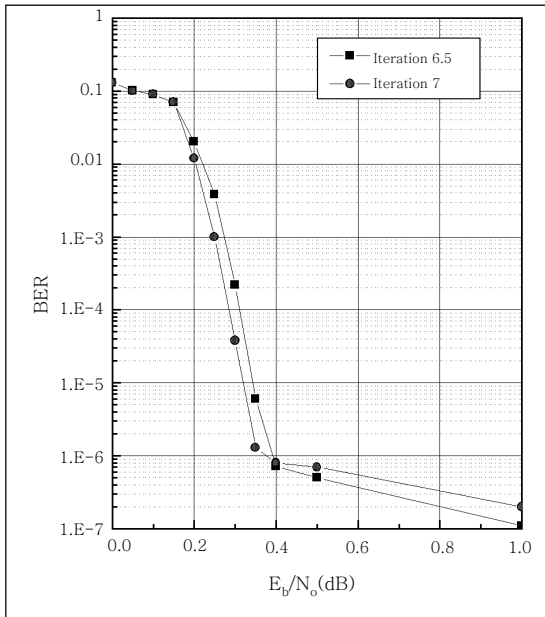
5. 기타 대학 및 연구소에서 구현한 터보 부·복호기

세계적으로 여러 대학이나 연구소 등에서도 하드웨어를 구현하였는데 본 절에서는 이들 중 일부 대표적인 것들에 대해서 기술하기로 한다.

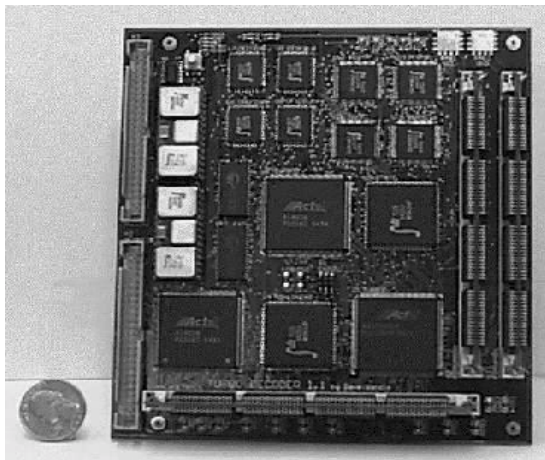
남호주 대학 내에 있는 연구소인 ITR에서는 다음과 같은 사양의 터보 복호기를 구현하였다[15, 16].

- 부호율: 1/3~1/7
- 16 state MAP 복호기
- 최대 65536비트 크기의 인터리버
- 7회 반복을 병렬로 구현
- 최대 356kbit/s의 복호 속도

(그림 4)에 부호율이 1/3일 때의 ITR 터보 부·복호기의 성능 측정 결과를 나타내었다.



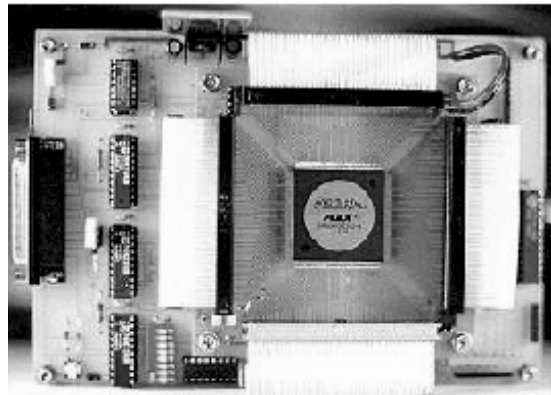
(그림 4) ITR 터보 복호기의 성능
(N=65536, R=1/3, 16 state)



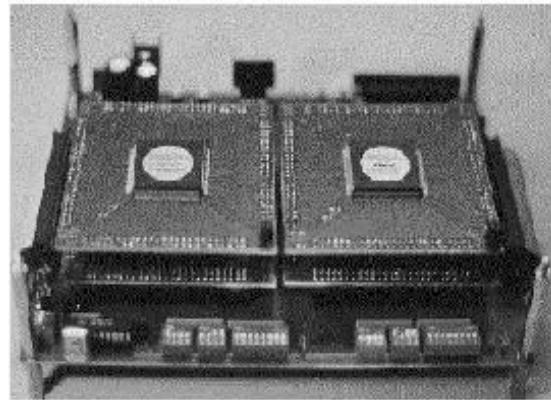
(그림 5) JPL 터보 복호기

미국의 JPL(Jet Propulsion Laboratory)에서는 Actel FPGA를 사용하여 다음과 같은 사양의 터보 부·복호기를 구현하였으며, (그림 5)에는 복호기의 외형이 나타나 있다[17].

- 최대 64 state MAP 복호(Log-MAP)
- 최대 64kbit/s 입력
- 두 개의 구성 부호기



(그림 6) Dresden 대학의 Turbo1 복호기

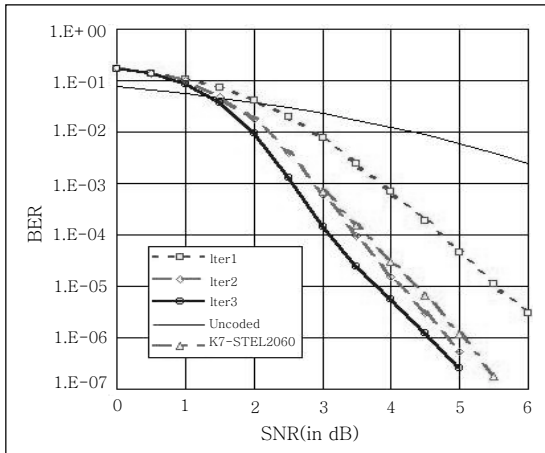


(그림 7) Dresden 대학의 Turbo2 복호기

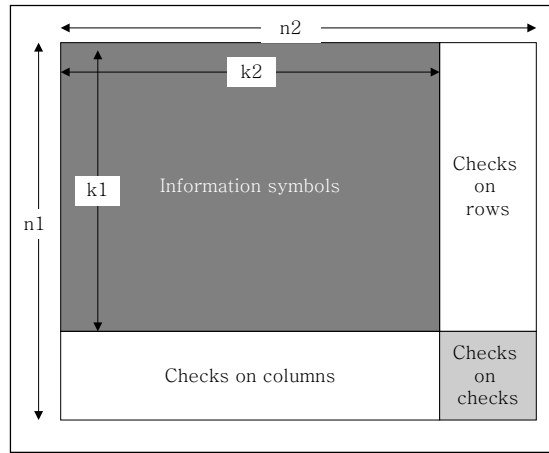
- 부호율 $1/10 < R < 1$
- 입력신호: 8비트 양자화
- 미터릭 값: 16비트 양자화

독일의 Dresden 대학에서는 Altera flex 10k70 FPGA를 이용하여 터보 복호기를 구현하였고, 복호 알고리즘으로는 SOVA를 사용하였다[18]. Turbo1과 Turbo2라는 두 가지 형태로 구현하였으며 이를 (그림 6)과 (그림 7)에 나타내었다. 이들 복호기의 사양은 다음과 같으며, 복호기의 성능 측정 결과는 (그림 8)에 나타나 있다.

- 8 state SOVA 복호기
- 최대 블록 크기: 448(Turbo1), 512(Turbo2)
- 서로 다른 패턴의 랜덤 인터리버 테스트 가능
- 복호 속도: 14Mbit/s(Turbo1), 30Mbit/s(Turbo2)



(그림 8) Dresden 대학의 복호기 성능



(그림 9) 곱 부호의 예

- 복호 지연시간: 0.21msec(Turbo1), 0.1msec(Turbo2)

(그림 8)에서 K7-STEL2060은 R=1/2, K=7인 일반적인 Viterbi 복호기의 성능을 나타낸다. 복호기의 사양이나 (그림 8)에 나타난 성능으로 볼 때 초보적인 수준으로 판단된다.

이외에도 Alantro communications는 오류 정정 부호와 변복조 분야의 설계와 개발을 전문으로 하며, ASIC 설계와 구현도 하고 있다[19]. 현재 Alantro communications에서는 터보 부호를 적극적으로 개발하고 있는 중이다. 캐나다의 CRC(Communication Research Center)는 1940년대부터 무선 통신, 위성 통신, 방송 기술 등의 분야에 있어서 응용, 기초 기술개발을 담당해 온 캐나다의 정부 출연 연구소이다[20]. CRC에서는 통신시스템의 성능 분석을 위한 소프트웨어인 CRC Linksim을 개발하였는데, CRC Linksim을 사용하여 터보 부호의 성능 분석을 할 수 있다. CRC Linksim은 PC 환경에서 사용이 가능하다.

III. 블록 부호를 이용한 터보 부호의 개발 동향 분석

본 장에서는 블록 부호를 이용한 터보 부호에서의 일반 사항에 대하여 먼저 기술한 후 하드웨어를

구현하여 생산하고 있는 회사 및 제품별로 그 특징을 차례로 기술하기로 한다.

1. 블록 부호를 이용한 터보 부호

터보 부호가 맨 처음으로 제안되었을 때는 길쌈 부호를 이용한 방식을 기본으로 하였으나, 연판정 출력을 이용한 반복 복호 기법은 블록 부호를 이용하여서도 가능하다. 이러한 사실을 이용하여 실제로 블록 부호를 이용한 터보 부호화 방식에 대한 노력도 다각도로 이루어져 왔다. 블록 부호에 대한 터보 부호화 방식은 터보 부호가 최초로 개발된 프랑스의 ENST에서 Pyndiah에 의해 시도되기 시작하였다[21].

이후 블록 터보 부호가 가지는 여러 가지 장점에 힘입어 블록 터보 부호의 구현은 길쌈 터보 부호보다 오히려 더 가속화되는 듯 하다. 블록 터보 부호는 이미 이전에 제안되었던 (그림 9)의 곱 부호의 개념을 이용한 것이기 때문에 길쌈 터보 부호에서 가장 힘든 문제로 고려되고 있는 인터리버를 그리 심각하게 고려할 필요가 없을 뿐더러 블록 부호의 특성으로 인하여 길이가 정해져 있다는 장점이 있다.

또한 부호의 변형이 용이하여 서비스 특성에 따라 프레임 길이의 조정이나 부호화율의 조정이 쉽다는 장점도 있다. 길쌈 터보 부호에 비하여 비교적 높은 부호화율(>0.5)에서 성능이 우수하다는 것이 가

장 큰 장점이며, 오류 정정 외에 오류 검출 능력을 가질 수도 있다.

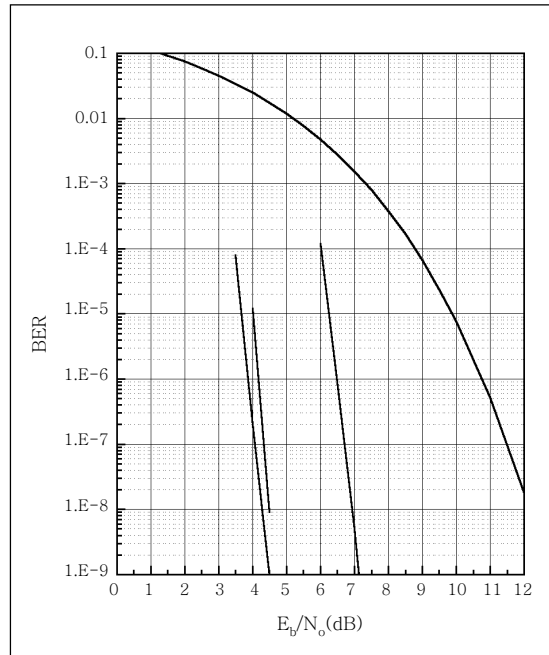
그러나, 블록 부호에 대하여서는 원래 대수적인 복호 방법이 보편적으로 사용되었으므로 길쌈 부호에서와는 달리 연관정 출력 정보를 얻기 위한 부가적인 작업이 요구된다. 이러한 연관정 출력 정보를 얼마나 효율적으로 얻을 수 있는지가 블록 터보 부호의 성능을 좌우하게 되는데, 본 논문에서 소개되는 블록 터보 부호들은 거의 대부분이 대수적인 복호 방식을 변형하여 연관정 정보를 얻는 방식들이다.

ETRI에서는 블록 터보 부호의 장점과 길쌈 부호에서 사용하는 복호 알고리즘의 장점을 결합한 트렐리스 복호 방식을 이용한 블록 터보 부호 알고리즘을 개발중이다.

2. Comtech Communications Corporation의 CDM-550T 위성용 모델

Comtech Communications Corp.은 Comtech Telecommunications Corp.의 자회사 중 하나로 주로 위성과 관련된 제품의 개발을 담당하고 있다[5, 22]. 이 곳에서 개발된 디지털 위성용 모델 CDM-550T는 오류 정정을 위해 블록 터보 부호를 선택적으로 사용할 수 있는 제품이다. CDM-550T는 기본적으로 구성 길이가 7인 길쌈 부호를 오류 정정 부호로 사용하며, 리드솔로몬 부호를 사용한 연결 부호 또한 블록 터보 부호와 마찬가지로 선택적으로 사용할 수 있다. CDM-550T에서 사용할 수 있는 블록 터보 부호의 사양은 다음과 같다.

- 2차원 구성 부호
- 구성 부호로 (46, 39)×(64, 57) shortened code 사용
- 부호율 3/4
- 변복조를 위해 QPSK 사용
- 6비트 양자화
- 보장되는 E_b/N_0 (괄호 안은 일반적으로 요구되는 SNR)
 $BER=10^{-6}$ 3.8dB(3.5dB)



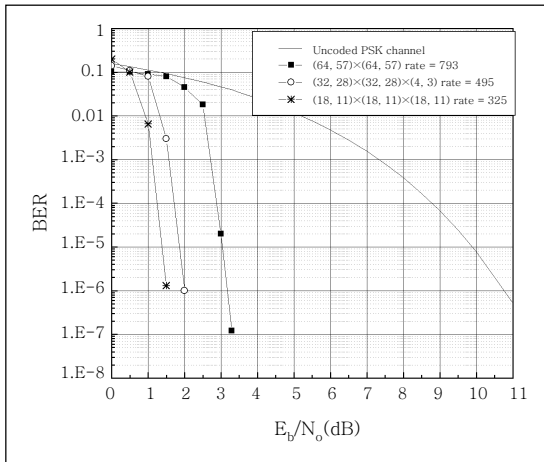
(그림 10) 블록 터보 부호를 사용한 CDM-550T와 Intelsat의 오류 정정 방식 비교

$$BER=10^{-7} \text{ 4.0dB(3.7dB)}$$

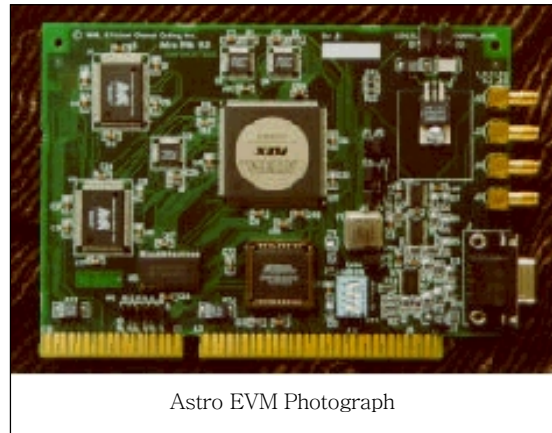
$$BER=10^{-8} \text{ 4.3dB(4.0dB)}$$

위성용 모델인 CDM-550T의 오류 정정을 위해 블록 터보 부호를 선택적으로 사용할 경우 구성 부호나 부호율, 양자화 비트 수 등의 값이 한 값으로 고정되어 있음을 알 수 있다. (그림 10)에서는 CDM-550T의 블록 터보 부호를 사용하였을 때의 성능과 필요한 대역폭을 Intelsat에서 사용하는 두 가지의 오류 정정 방식과 비교하여 나타내었다. 그림에서 알 수 있듯이, 블록 터보 부호는 위성 통신을 위해 사용된 기존의 오류 정정 방식에 비해 적은 대역폭과 전력을 사용하면서도 우수한 성능을 얻을 수 있다.

블록 터보 부호를 사용한 CDM-550T는 1999년 9월 태국의 Shinawatra Satellite Public Co., Ltd.와 함께 한 실험에서도 성공적으로 동작함이 입증되었다. 본 실험에서 CDM-550T 칩은 인터넷 서비스 제공을 위한 망에서 사용되었다. 한편, 스코틀랜드에서도 CDM-550T 칩이 data marine system에 장착되어 성공적으로 동작함이 입증되었다.



(그림 11) 부호율에 따른 AHA4501 칩의 성능



(그림 12) AHA4501의 하드웨어 평가 보드

3. Advanced Hardware Architectures, Inc.의 AHA4501 칩

AHA Inc.는 데이터 코딩 분야의 전문 회사로 주로 오류 정정 부호와 데이터 압축을 위한 제품들을 개발하고 있다[23]. 현재 AHA Inc.에서 생산중인 오류 정정 부호 제품 중 블록 터보 부호를 사용하는 것으로 AHA4501 칩과 GalaxyCoreGenerator가 있다.

Astro라고도 불리는 AHA4501 칩은 블록 터보 부호를 사용하는 LSI(Large Scale Integration) 오류 정정 부호 소자이다. AHA4501의 사양은 다음과 같다.

- 구성 부호로 extended Hamming 부호 사용
- 2차원/3차원 구성 부호 사용
- 나선형 인터리버 사용 선택 가능
- 최대 50Mbps/s 부호화 가능
- 최대 36Mbps/s 복호화 가능
- 블록 사이즈 256~4096비트
- 부호율 최대 0.793
- 반복 복호 횟수 최대 32회
- 양자화 비트 수 1~6비트

AHA4501은 블록 터보 부·복호기를 하나의 칩으로 구현하였으므로 블록 사이즈, 복호 횟수 등 여러 가지 사양이 선택 가능하다. 그리고, 처리 효율을

높이고자 할 때에는 두 개 이상의 칩을 함께 병렬적으로 사용할 수 있다. (그림 11)은 블록 사이즈가 4096비트일 때 부호율에 따른 AHA4501 칩의 성능을 보여준다.

AHA Inc.에서는 AHA4501 칩의 성능과 동작을 테스트해 볼 수 있는 하드웨어 평가 보드(hardware evaluation board)와 윈도우 평가 소프트웨어(window evaluation software)를 제공하고 있다. 하드웨어 평가 보드에는 두 개의 AHA4501 칩이 장착되어 있으며, 윈도우 평가 소프트웨어와 통합하여 사용할 수 있다. AHA4501 칩을 위한 하드웨어 평가 보드를 (그림 12)에서 나타내었으며 그 특징은 다음과 같다.

- PC에 기반한 ISA 보드
- 두 개의 AHA4501 칩 장착
- 자동적으로 데이터 소스를 발생시켜 사용하거나 사용자가 생성한 데이터 소스 사용 가능
- AWGN 잡음 발생기 장착
- 연결 오류 채널에서의 테스트를 위해 FPGA 확장 가능
- Windows 95 또는 Windows NT에 기반한 GUI 인터페이스
- 윈도우 평가 소프트웨어와 통합 가능

윈도우 평가 소프트웨어는 AHA4501 칩의 기능을 에뮬레이션 한다. 즉, AHA4501 칩과 정확하게

일치하도록 동작되며 BER 성능 곡선을 보여준다. Windows 95 또는 Windows NT 4.0, Intel Pentium 급 이상의 환경 하에서 사용할 수 있다.

한편 AHA Inc.에서는 고객의 시스템 요구 사항에 맞추어 블록 터보 부호 코어를 개발하여 제공한다. 고객의 요구 조건에 따른 블록 터보 부·복호기 코어의 가능한 사양은 다음과 같다.

- 데이터율 1Gbits/sec
- 블록 사이즈 64kbits
- 부호율 0.25~0.98
- 2차원/3차원 부호
- 구성 부호로 extended Hamming 부호 사용
- 양자화 8비트
- 반복 부호 횟수 256
- 2blocks 이내의 latency 보장

또한 블록 터보 부·복호기 코어로 제공되는 것은 다음과 같다.

- VHDL 또는 Verilog netlist
- C/C++ behavioral model
- verification vector
- VHDL 또는 Verilog test bench
- VHDL 또는 Verilog에 바탕을 둔 bus-functional model

AHA Inc.에서는 AHA4501 칩에 대해서와 마찬가지로 블록 터보 부·복호기 코어를 위한 윈도우 평가 소프트웨어를 제공하고 있는데, 블록 터보 부·복호기 코어와 AHA4501 칩 모두에 대한 예물레이션이 가능하며 BER 성능 곡선을 볼 수 있다. 또한, 여러 변복조 방식을 적용하여 에뮬레이션 할 수 있다.

4. Efficient Channel Coding, Inc.의 기술

1995년 설립된 ECC Inc.는 직접적으로 시장에 뛰어들기보다는 개발한 기술, 또는 컨설팅을 다른 사업체에 제공하는 일을 주로 하고 있다[24]. ECC Inc.는 디지털 통신과 신호 처리 전반에 관한 일들을 하고 있으며, 이름에서 알 수 있듯이 그 중에서도 오

류 정정 부호 분야의 전문가라 할 수 있다. ECC Inc.는 앞서 기술한 AHA Inc.의 AHA4501 칩 개발에 기술을 제공하였다. ECC Inc.에서는 블록 터보 부호의 부복호 칩은 판매하고 있지 않으며, 블록 터보 부호의 모의 실험을 위한 프로그램의 실행 파일을 판매하고 있다. 모의 실험을 위한 실행 파일은 C와 Matlab, Visual C++ 버전이 있다. 그리고, AHA4501 부·복호 칩을 위한 성능 평가 보드를 판매하고 있다(AHA Inc.에서 판매하는 성능 평가 보드와 동일한 제품임).

5. 기타 대학 및 연구소에서 개발된 터보 부·복호기

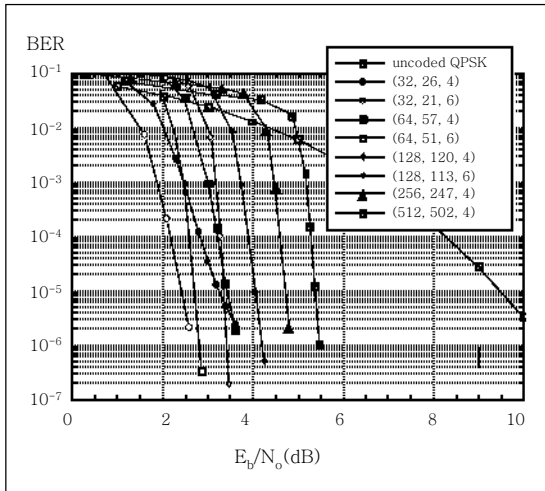
앞서 기술한 Comtech Corp.의 CDM-550T나 AHA Inc.의 Alantro, Galaxy Generated Core 외에 블록 터보 부호에 대하여 가장 먼저 제안한 프랑스의 ENST에서도 그들이 제안한 블록 터보 부호에 대한 하드웨어를 구현하였다[25]. 여기에서 개발된 블록 터보 부호는 가장 기본적인 블록 부호에 대한 연관장 출력 알고리즘인 Chase 알고리즘[26]을 응용하여 만들었으며, 아래의 회사들과 자매 결연을 맺고 여러 가지 서비스 분야 등에서의 응용이 검토되고 있다.

- ALCATEL
- CNET(Centre National d'Etudes des Telecommunications)
- CNES(Centre National d'Etudes Spatiales)
- NMC(Nortel-Matra-Cellular)
- MITSUBISHI-ITE(France)
- TEXAS-Instruments(France)

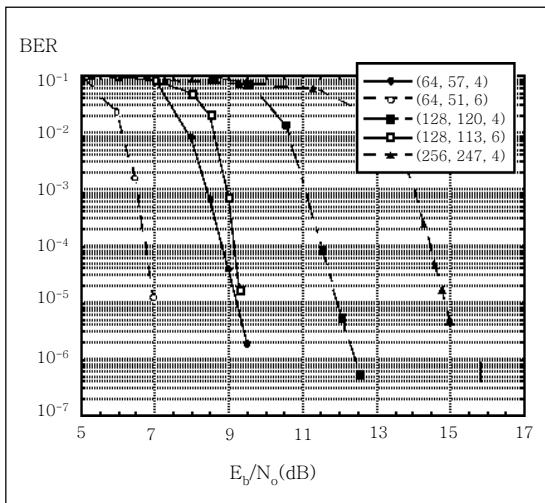
(그림 13)과 (그림 14)에는 ENST에서 개발된 블록 터보 부호에 대한 성능 시뮬레이션 결과가 나타나 있다.

IV. 결론

본 논문에서는 현재 하드웨어로 구현되고 있는



(그림 13) ENST에서 개발된 블록 터보 부호의 구성 부호에 따른 가우시안 채널에서의 QPSK 변조 신호에 대한 BER 성능(4회 반복)



(그림 14) ENST에서 개발된 블록 터보 부호의 구성 부호에 따른 레일리 페이딩 채널에서의 QPSK 변조 신호에 대한 BER 성능(4회 반복)

터보 부호의 개발 동향을 길쌈 부호를 바탕으로 한 방식과 블록 부호를 바탕으로 한 방식으로 구분하여 살펴보았다. 하나의 칩으로 구현된 터보 부호의 상용 제품이 여러 회사에서 각기 다른 특성을 가지고 선보이고 있는 상황이다. 터보 부호가 가지고 있는 성능의 우수성으로 인하여 향후 위성통신시스템을

비롯한 디지털통신시스템의 대부분의 응용 분야에서 터보 부호의 사용이 보편화될 것이라고 판단된다. 또한 터보 부호는 그 개념 자체가 소개된 지 그리 오래지 않은 신기술이므로 국내에서도 개발에 박차를 가하여 기술력을 우선 확보할 수 있도록 노력하여야 할 것이다.

참고 문헌

- [1] C. Berrou, A. Glavieux and P. Thitimajshma, "Near Shannon Limit Error-Correction Coding and Decoding: Turbo-Codes," in *Proc. ICC*, Geneva, Switzerland, May 1993, pp. 1064 - 1070.
- [2] C.E. Shannon, "A Mathematical Theory of Information," *Bell Systems Technical Journal*, Vol. 27, 1948, pp. 379 - 423 & pp. 623 - 656.
- [3] A.S. Barbulescu, W. Farrell and P. Gray, M. Rice, "Bandwidth Efficient Turbo Coding for High Speed Mobile Satellite Communications," *Proc. of the Int'l Symp. on Turbo Codes & Related Topics*, Brest, France, 3 - 5 Sep. 1997, pp. 119 - 126.
- [4] M. Vanderaar, R.T. Gedney and E. Hewitt, "Comparative Performance of Turbo Product Codes and Reed-Solomon/Convolutional Concatenated Codes for ATM Cell Transmission," in *Proc. of 5th Ka-band Utilization Conference*, Taormina, Italy, Oct. 1999, pp. 409 - 416.
- [5] <http://www.comtechcom.com>
- [6] 김수영, 홍성원, "터보코드 연구동향," 주간기술동향 통권 843호, 한국전자통신연구원, 1998. 4. 23.
- [7] 김수영, 이수인, "터보코드 구현동향," 주간기술동향 통권 888호, 한국전자통신연구원, 1999.2.
- [8] Technical Report 45.5.4, "Candidate Ballot Text for Cdma 2000 Physical Layer," Mar. 1999.
- [9] 3GPP RAN Technical Specification 25.212: "Multiplexing and Channel Coding(FDD)," June 1999.
- [10] Comatlas, "CAS 5093 40Mbit/s Turbo Codec." Rev 4.1, May 1995.
- [11] Small World Communications, "MAP04A 16 State MAP Decoder," Ver 1.1, Oct. 1998. <http://www.sworld.com.au/Products>
- [12] Small World Communications, "MAP04B 16 State MAP Decoder," Ver 1.3, Aug. 1999. <http://www.sworld.com.au/Products>

- [13] Small World Communications, "MAP04T Very High Speed MAP Decoder," Ver 2.0, 13 Mar. 2000. <http://www.sworld.com.au/Products>
- [14] E. Jacobsen, *The EF Data Turbo Codec Prototype*, EF Data Corp., May 1999.
- [15] S.S. Pietrobon, "Implementation and Performance of a Turbo/MAP Decoder," *Int'l Journal of Satellite Commun.*, Vol. 16, Jan.- Feb. 1998, pp. 23 - 46.
- [16] <http://www.itr.unisa.edu.au/~steven/turbo/>
- [17] <http://www331.jpl.nasa.gov/public/JPLtcodes.html>
- [18] <http://entnw2.et.tu-dresden.de/cgiwrap/tc.sh>
- [19] <http://www.alantro.com>
- [20] <http://www.crc.ca>
- [21] R. Pyndiah, A. Glavieux and A. Picart, S. Jacq, "Near Optimum Decoding of Product Codes," in *Proc. GLOBECOM*, San Francisco, U. S. A., Nov. 1994, pp. 339 - 343.
- [22] <http://www.comtechtel.com>
- [23] <http://www.aha.com>
- [24] <http://www.eccincorp.com>
- [25] <http://www-sc.enst-bretagne.fr/turbo/btc.html>.
- [26] D. Chase, "A Class of Algorithm for Decoding Block Codes with Channel Measurement Information," *IEEE Trans. Inform. Theory*, Vol. 18, Jan. 1972, pp. 170 - 182.