

논문 00-01-06

저전력 CMOS On-Chip 기준전압 발생회로 (Low-Power CMOS On-Chip Voltage Reference Circuits)

權 德 起*, 朴 鍾 泰*, 劉 宗 根*

(Duck-Ki Kwon*, Jong-Tae Park*, Chong-Gun Yu*)

요 약

본 논문에서는 증식형 MOS 트랜지스터와 저항만을 사용하여 기준전압을 발생하기 위한 두 가지 방법을 제안하였다. 첫 번째 방법은 문턱전압에 비례하는 전압성분과 열전압에 비례하는 전압성분을 합하여 온도보상을 하는 전압모드 방식이고, 두 번째는 문턱전압에 비례하는 전류성분과 열전압에 비례하는 전류성분을 합하여 온도보상을 하는 전류모드 방식이다.

설계된 회로들을 0.65 μ m n-well CMOS 공정 페라미터를 사용하여 HSPICE 모의실험한 결과, 전압모드 회로의 경우 공급전압에 대한 변화율은 -30 $^{\circ}$ C ~ 130 $^{\circ}$ C의 온도범위에서 0.21%/V 이하이고, 온도에 대한 변화율은 3V ~ 12V의 공급전압 범위에서 48.0ppm/ $^{\circ}$ C 이하이다. 전류모드 회로의 경우는 공급전압에 대한 변화율이 -30 $^{\circ}$ C ~ 130 $^{\circ}$ C의 온도범위에서 0.08%/V 이하이고, 온도에 대한 변화율은 4V ~ 12V의 공급전압 범위에서 38.2ppm/ $^{\circ}$ C 이하이다. 또한 전력소모는 5V, 30 $^{\circ}$ C일 때 전압모드 경우와 전류모드 경우 각각 27 μ W와 65 μ W로 저전력 특성을 보인다.

제작된 전압모드 기준전압 발생회로를 측정된 결과, 공급전압에 대한 변화율은 30 $^{\circ}$ C ~ 100 $^{\circ}$ C의 온도범위에서 0.63%/V 이하이고, 온도에 대한 변화율은 3.0 ~ 6.0V의 공급전압 범위에서 490ppm/ $^{\circ}$ C 보다 작다. 제안된 회로들은 구조가 간단하기 때문에 설계가 용이하고, 특히 전류모드의 경우 넓은 범위의 기준전압 발생이 가능하다는 장점을 갖는다.

Abstract

In this paper, two schemes of generating reference voltages using enhancement-mode MOS transistors and resistors are proposed. The first one is a voltage-mode scheme where the temperature compensation is made by summing a voltage component proportional to a threshold voltage and a voltage component proportional to a thermal voltage. In the second one, that is a current-mode scheme, the temperature compensation is made by summing a current component proportional to a threshold voltage and a current component proportional to a thermal voltage.

The designed circuits have been simulated using a 0.65 μ m n-well CMOS process parameters. The voltage-mode circuit has a temperature coefficient less than 48.0ppm/ $^{\circ}$ C and a power-supply(VDD) coefficient less than 0.21%/V for a temperature range of -30 $^{\circ}$ C ~ 130 $^{\circ}$ C and a VDD range of 3V ~ 12V. The current-mode circuit has a temperature coefficient less than 38.2ppm/ $^{\circ}$ C and a VDD coefficient less than 0.8%/V for -30 $^{\circ}$ C ~ 130 $^{\circ}$ C and 4V ~ 12V. The power consumption of the voltage-mode and current-mode circuits are 27 μ W and 65 μ W respectively for 5V and 30 $^{\circ}$ C.

* 仁川大學校 電子工學科

(Dept. of Electronics Eng., Univ of Incheon)

接受日: 2000年2月14日 修正完了日: 2000年11月13日

※ 본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

Measurement results show that the voltage-mode reference circuit has a VDD coefficient less than 0.63%/V for 3 0°C~100°C and has a temperature coefficient less than 490ppm/°C for 3V~6V. The proposed reference circuits are simple and thus easy to design. The proposed current-mode reference circuit can be designed to generate a wide range of reference voltages.

I. 서 론

기존의 기준전압 발생 회로로는 바이폴라 공정의 BJT^[1,2]나 CMOS 공정에서의 기생 BJT^[3,4]를 이용한 밴드갭(bandgap) 기준회로와 증식형(enhancement-mode) MOS 트랜지스터와 공핍형(depletion-mode) MOS트랜지스터의 문턱전압(threshold voltage) 차이를 이용하여 기준전압을 발생하는 회로^[5,6]가 많이 사용되어 왔다. 그러나 BJT의 밴드갭 전압을 이용하는 방법은 베이스 전류에 의한 오차 문제와 전력 소모가 크다는 단점이 있고, CMOS 공정으로는 양질의 BJT를 얻기가 어렵다는 문제점이 있다. 문턱전압의 차이를 이용하는 방법은 공핍형 MOS 트랜지스터를 구현하기 위한 추가적인 공정이 필요하다는 단점이 있다.

따라서, 최근에 증식형 MOS 트랜지스터만을 사용한 기준전압 발생회로에 대한 연구^[7~11]가 활발히 이루어지고 있다. 온도보상을 위해 사용되는 변수로는 MOS 트랜지스터의 문턱전압 V_T , 열전압(thermal voltage) V_t , 이동도(mobility) μ 그리고 저항 R 등이 있다. V_T , V_t , R은 온도 T에 비례하는 특성을 갖지만, 이동도 μ 는 대략 T-1.5에 비례하는 특성을 갖는다. 따라서, 이동도 μ 보다는 V_T , V_t 또는 R을 사용하여 온도보상을 하면 보다 넓은 온도범위에서 보상이 가능하며 설계가 용이해 진다.^[8]

본 논문에서는 간단한 구조를 사용하여 V_T 에 비례하는 전압성분과 V_t 에 비례하는 전압성분을 합하여 온도보상을 하는 전압모드 기준전압 발생회로를 설계하였다. 그러나 이 회로는 온도 보상 시 전압모드 덧셈을 사용하기 때문에 낮은 기준전압을 얻기가 어렵다는 단점이 있다. 따라서 두 번째 방법으로 V_T 에 비례하는 전류성분과 V_t 에 비례하는 전류성분을 합하여 온도보상을 하는 전류모드 기준전압 발생 회로를 제안하였다. 이 방법은 전류모드 덧셈을 사용하기 때문에 최종 단의 저항이나 전류복사회로의 트랜지스터

크기의 비를 조절함으로써 기준전압을 자유 자재로 조절할 수 있다. 제안된 회로들은 구조가 간단하기 때문에 설계가 용이하며 저전력 소모 특성을 갖는다.

본 논문의 II장에서는 기준전압 발생 원리에 대해 언급하고, III장과 IV장에서는 제안된 전압모드 기준전압 발생회로와 전류모드 기준전압 발생회로의 동작과 온도보상 원리에 대해 각각 설명한다. V장에서는 설계된 기준전압 발생회로들의 모의실험 및 측정 결과에 대해 언급하고, VI장에서 결론을 맺는다.

II. 기준전압 발생 원리

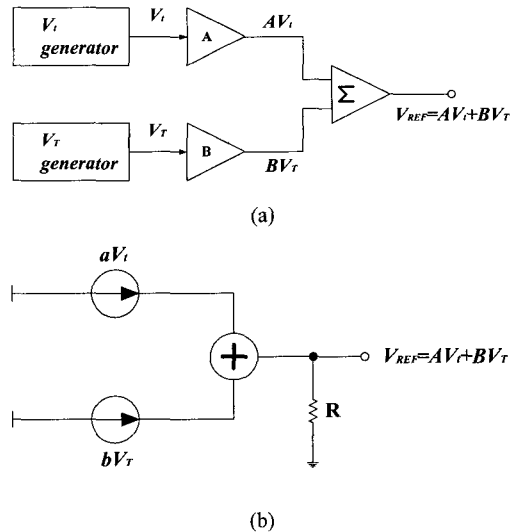


그림 1 기준전압 발생 원리 (a) 전압모드 (b) 전류모드

Fig. 1 Principle of reference voltage generation (a) voltage mode (b) current mode

기준전압 발생 회로의 원리를 그림 1에 나타내었다. 열전압 V_t 는 온도에 비례적으로 증가하며 $+0.086 \text{ mV}/^\circ\text{C}$ 의 온도계수를 갖는다. 반면 문턱전압 V_T 는 온도에 따라 비례적으로 감소하며, 본 연구에서 사용한 공정 변수의 경우, $-1.35 \text{ mV}/^\circ\text{C}$ 의 온도계수를 갖는다. 따라서, 이 두 성분을 합하면 온도에 둔감한 기준전압을 얻을 수 있다. 그림 1에서 기준전압 V_{REF} 와 V_{REF} 의 온도계수는 다음 식으로 주어진다

$$V_{REF} = AV_t + BV_T \quad (1)$$

$$\frac{\partial V_{REF}}{\partial T} = A \frac{\partial V_t}{\partial T} + B \frac{\partial V_T}{\partial T} \\ = (0.086 \times 10^{-3})A + (-1.35 \times 10^{-3})B \quad (2)$$

따라서, 기준전압이 온도의 영향을 받지 않으려면

$$\frac{\partial V_{REF}}{\partial T} = 0 \text{ 즉,} \\ A = 15.7B \quad (3)$$

의 조건을 만족해야 한다.

문제는 문턱전압 V_T 에 비례하는 전압 및 전류 성분과 열전압 V_t 에 비례하는 전압 및 전류 성분을 공급전압 V_{DD} 에 무관하게 생성시키는데 있다. MOS 트랜지스터를 *subthreshold* 영역에서 동작하게 함으로써 V_t 에 비례하는 전압 및 전류 성분을 얻을 수 있고, V_T 에 비례하는 성분은 전압 모드인 경우, 다이오드 형태로 연결된 MOS 트랜지스터에 작은 전류를 흘려줌으로써 얻을 수 있고^[9], 전류 모드인 경우는 *threshold reference self-biasing* 회로^[10]를 이용하여 얻을 수 있다.

III. 전압모드 기준전압 발생회로

제안된 전압모드 기준전압 발생회로를 그림 2에 나타내었다. 이 회로는 열전압 V_t 에 비례하는 전류를 발생해 주는 회로(R_1 , M_1 , M_2 , M_3 , M_4)와 이 전류를 이용하여 열전압 V_t 에 비례하는 전압을 발생해 주는 회로(M_8 , R_2), 문턱전압 V_T 에 비례하는 전압을 발생해 주는 회로(M_5 , M_6 , M_7), 그리고 이 두 전압을 더해

는 합(summing) 회로(M_9 , M_{10})로 구성되어 있다.

V_t 에 비례하는 전류를 얻기 위해 M_1 과 M_2 는 *subthreshold* 영역에서 동작하며, M_3 , M_4 , M_{3a} , M_{4a} 는 cascode 전류복사 회로를 구성하여 M_1 과 M_2 에 흐르는 전류를 같게 해 준다. PMOS 트랜지스터가 *subthreshold* 영역에서 동작할 때 전류 방정식은 다음과 같다.

$$I_{SD} = ZI_{D0} \exp \left[\frac{V_{SG} - |V_{TP}|}{nV_t} \right] \left\{ 1 - \exp \left[-\frac{V_{SD}}{V_t} \right] \right\} \\ \approx ZI_{D0} \exp \left[\frac{V_{SG} - |V_{TP}|}{nV_t} \right], \quad (V_{SD} \gg V_t) \quad (4)$$

여기서, $Z=W/L$ 이고 V_t 는 열전압(kT/q), V_{TP} 는 문턱전압을 나타내며, n 과 I_{D0} 는 공정변수이다. M_1 과 M_2 에 흐르는 전류는 다음 식으로 주어진다.

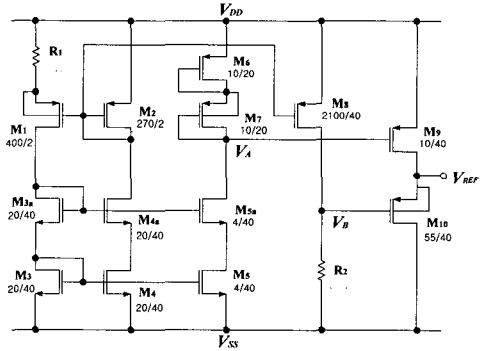


그림 2 제안된 전압모드 기준전압 발생회로

Fig. 2 Proposed voltage-mode reference circuit

$$I_1 = Z_1 I_S \exp \left[\frac{V_{SG1} - |V_{TP}|}{nV_t} \right] \quad (5)$$

$$I_2 = Z_2 I_S \exp \left[\frac{V_{SG2} - |V_{TP}|}{nV_t} \right] \quad (6)$$

$I_1=I_2$ 와 $V_{SG2}=V_{SG1}+R_1I_1$ 의 조건으로부터 다음 식을 얻을 수 있다.

$$I_1 = I_2 = \frac{n}{R_1} \ln \left(\frac{Z_1}{Z_2} \right) V_t \quad (7)$$

따라서, 열전압 V_t 에 비례하는 작은 전류를 얻을 수 있다. 이 전류 발생 회로가 원하는 동작점(operating point)에서 동작하기 위해서는 Z_1 이 Z_2 보다 커야한다.

V_t 에 비례하는 전류를 전류복사 회로(M_2 , M_8)를

통해 R_2 에 흘러넘으로서 V_i 에 비례하는 전압을 얻을 수 있다.

$$V_B = R_2 I_8 = n \frac{R_2}{R_1} \frac{Z_8}{Z_2} \ln\left(\frac{Z_1}{Z_2}\right) V_i \quad (8)$$

또한, V_i 에 비례하는 작은 전류를 cascode 전류 복사 회로(M_3, M_{3a}, M_5, M_{5a})를 통해 다이오드 형태로 직렬 연결된 두 개의 PMOS 트랜지스터 M_6, M_7 에 흘러넘으로서 $V_{SG6} + V_{SG7} \approx 2|V_{TP}|$ 가 된다. 즉,

$$V_{DD} - V_A \approx 2|V_{TP}| \quad (9)$$

로 $|V_{TP}|$ 에 비례하는 전압을 얻을 수 있다.

V_i 에 비례하는 전압 V_B 와 $|V_{TP}|$ 에 비례하는 전압 $V_{DD} - V_A$ 를 더하기 위해서 M_9 와 M_{10} 으로 구성된 간단한 합회로를 사용하였다. 포화(saturation) 영역에서 동작하는 M_9 와 M_{10} 의 전류 I_9 와 I_{10} 이 같다는 조건으로부터 V_{REF} 를 구할 수 있다.

$$\begin{aligned} & \frac{\mu_p C_{OX}}{2} Z_9 (V_{DD} - V_A - |V_{TP}|)^2 \\ &= \frac{\mu_p C_{OX}}{2} Z_{10} (V_{REF} - V_B - |V_{TP}|)^2 \quad (10) \\ V_{REF} &= V_B + \sqrt{\frac{Z_9}{Z_{10}}} (V_{DD} - V_A - |V_{TP}|) + |V_{TP}| \\ &= n \frac{R_2}{R_1} \frac{Z_8}{Z_2} \ln\left(\frac{Z_1}{Z_2}\right) V_i + \left(1 + \sqrt{\frac{Z_9}{Z_{10}}}\right) |V_{TP}| \\ &= AV_i + B|V_{TP}| \quad (11) \end{aligned}$$

식(11)에서 A와 B가 소자의 크기의 비와 상수로 구성되어 있으므로, 기준전압 V_{REF} 는 소자의 크기나 이동도 등의 공정변수 변화에 둔감함을 알 수 있다. 식 (3)의 조건을 만족하도록 식 (11)에서 얻어진 A 와 B 를 조절함으로써 원하는 온도 보상을 할 수 있다. 또한 식 (3)의 조건을 만족하도록 하면서 소자의 크기의 비(Z_9/Z_{10})를 조절하여 기준전압 값을 변화시킬 수 있다.

그러나 제안된 전압모드 기준전압 회로는 전압모드 덧셈을 사용하기 때문에, 낮은 기준전압을 얻기 어렵다는 단점이 있다. 공급 전원 전압 V_{DD} 의 최소값은 M_9 가 포화영역에서 동작할 조건을 고려하면 다음과 같다.

$$V_{DD(\min)} = V_{REF} + |V_{TP}| \quad (12)$$

예를 들어, $Z_9/Z_{10}=0.01$ 일 때 V_{REF} 가 최소값을 갖는다고 가정하면, 식 (11)에서 B는 1.1이 되고, 식 (3)으로부터 A는 17.3이 된다. 따라서 $V_{REF(\min)} = 0.45 + 1.1|V_{TP}|$ 가 되며 $V_{DD(\min)} = 0.45 + 2.1|V_{TP}|$ 가 된다. $|V_{TP}|$ 가 1V인 경우 $V_{REF(\min)} = 1.55V$, $V_{DD(\min)} = 2.55V$ 가 된다. 따라서, 제안된 전압모드 회로에서 얻을 수 있는 가장 낮은 기준전압은 1.55V이다. 보다 낮은 기준전압을 얻기 위해서는 다음에 언급할 전류모드 방식을 사용하면 된다.

IV. 전류모드 기준전압 발생회로

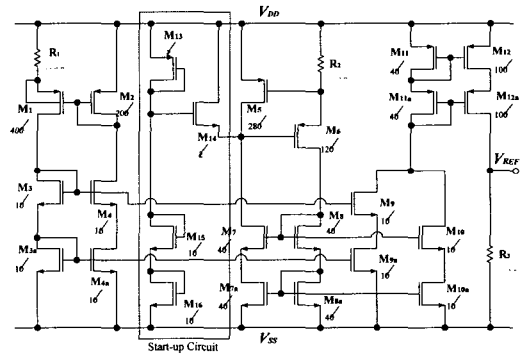


그림 3 제안된 전류모드 기준전압 발생회로

Fig. 3 Proposed current-mode reference circuit

제안된 전류모드 기준전압 발생회로를 그림 3에 나타내었다. 이 회로는 열전압 V_t 에 비례하는 전류를 발생해 주는 회로(R_1, M_1, M_2, M_3, M_4)와 문턱전압 V_T 에 비례하는 전류를 발생해 주는 회로(R_2, M_5, M_6, M_7, M_8), 이 두 전류를 더해주는 합 회로(M_9, M_{10}, M_{11}), 그리고 최종적으로 그 전류를 전압으로 바꿔주는 회로(M_{11}, M_{12}, R_3)로 구성되어 있다.

V_i 에 비례하는 전류를 발생시키기 위해, 전압모드 기준전압 발생 회로에서 사용하였던 방법과 같은 방법을 사용하였다. 따라서, V_i 에 비례하는 전류는 식(7)과 같다. V_T 에 비례하는 전류를 얻기 위해 M_7, M_8, M_{7a}, M_{8a} 의 cascode 전류복사 회로에 의해 I_5 와 I_6 을 같

게 해준다. 여기서 M_5 의 V_{SG} 는 R_2 양단의 전압과 같아지고 다음과 같은 식으로 주어진다.

$$I_6 R_2 = V_{SG5} = |V_{TP1}| + \sqrt{\frac{2I_5}{\beta_5}} \quad (13)$$

만일 β_5 가 15에 비해 매우 크다면

$$I_6 = I_5 \approx \frac{|V_{TP1}|}{R_2} \quad (14)$$

이 되어 $|V_{TP1}|$ 에 비례하는 전류를 얻을 수 있다. M_{13} , M_{14} , M_{15} , M_{16} 은 회로에 전원이 처음 인가 될 때, 올바른 동작을 보장하기 위한 시동(start-up) 회로이다.

V_1 에 비례하는 전류 I_1 과 $|V_{TP1}|$ 에 비례하는 전류 I_6 은 M_9 , M_{10} , M_{11} 로 구성된 합회로에 의해 더해진다.

$$I_9 + I_{10} = I_{11} \quad (15)$$

여기서 얻은 전류를 M_{11} , M_{12} , M_{11a} , M_{12a} 의 cascode 전류복사 회로에 의해 R_3 에 흘려줌으로써 V_{REF} 를 얻을 수 있다.

$$\begin{aligned} V_{REF} &= R_3 I_{12} \\ &= \frac{Z_{12}}{Z_{11}} \left[n \left(\frac{Z_3}{Z_3} \right) \ln \left(\frac{Z_1}{Z_2} \right) \left(\frac{R_3}{R_1} \right) V_t \right. \\ &\quad \left. + \left(\frac{Z_{10}}{Z_8} \right) \left(\frac{R_3}{R_2} \right) |V_{TP1}| \right] \\ &= AV_t + B|V_{TP1}| \end{aligned} \quad (16)$$

식 (3)의 조건을 만족하도록 식 (16)에서 얻어진 A와

B를 조절함으로써 원하는 온도 보상을 할 수 있다. 또한, (Z_{12}/Z_{11}) 또는 R_3 의 값을 조절하여 기준전압 값을 자유자재로 변화시킬 수 있다.

V. 모의실험 및 측정 결과

설계된 기준전압 발생회로들을 0.65 μ m n-well CMOS 공정변수를 사용하여 HSPICE 시뮬레이션 하였다. 전압모드 기준전압 발생회로에 대한 시뮬레이션 결과를 표 1~3과 그림 4, 5에 보였다. V_{DD} 가 5.0V인 경우 -30 $^{\circ}$ C~130 $^{\circ}$ C의 온도범위에서 기준 전압은 1.932V \pm 2.79mV이고 변화율은 5.58mV로 17.9ppm/ $^{\circ}$ C의 온도계수에 해당한다. 구간별로는 -30~0 $^{\circ}$ C 범위에서 +48.0ppm/ $^{\circ}$ C, 0~120 $^{\circ}$ C 범위에서는 -24.1ppm/ $^{\circ}$ C, 그리고 120~130 $^{\circ}$ C 범위에서는 +5.1ppm/ $^{\circ}$ C의 온도계수 특성을 보인다. 저온에서 기울기가 다소 큰 것을 알 수 있다. 다른 값의 V_{DD} 에 대해서도 거의 유사한 온도 특성을 갖는 것을 표1과 그림 4에서 확인할 수 있다. 온도가 30 $^{\circ}$ C인 경우 3V~12V의 V_{DD} 범위에서 기준전압은 0.189%/V의 변화율을 나타내며, 다른 온도에서도 비슷한 결과를 나타낸다.

위의 결과에서 보듯이 설계된 전압모드 기준전압 회로는 넓은 온도범위와 넓은 공급전압 범위에서 안정된 기준전압을 발생함을 알 수 있다. -30 $^{\circ}$ C~130 $^{\circ}$ C

표 1. 전압모드 기준전압 회로의 온도에 대한 V_{REF} 변화율 (시뮬레이션)

Table 1. V_{REF} variation versus temperature of the voltage-mode reference circuit (simulation)

V_{DD}	V_{REF}	온도계수 (평균치)	온도계수	온도계수	온도계수
3V	1.924V \pm 2.22mV	14.4ppm/ $^{\circ}$ C (-30~130 $^{\circ}$ C)	+42.7ppm/ $^{\circ}$ C (-30~0 $^{\circ}$ C)	-23.1ppm/ $^{\circ}$ C (0~110 $^{\circ}$ C)	+4.3ppm/ $^{\circ}$ C (110~130 $^{\circ}$ C)
5V	1.932V \pm 2.79mV	17.9ppm/ $^{\circ}$ C (-30~130 $^{\circ}$ C)	+48.0ppm/ $^{\circ}$ C (-30~0 $^{\circ}$ C)	-24.1ppm/ $^{\circ}$ C (0~110 $^{\circ}$ C)	+5.1ppm/ $^{\circ}$ C (110~130 $^{\circ}$ C)
8V	1.942V \pm 3.61mV	23.2ppm/ $^{\circ}$ C (-30~130 $^{\circ}$ C)	+38.4ppm/ $^{\circ}$ C (-30~0 $^{\circ}$ C)	-31.0ppm/ $^{\circ}$ C (0~120 $^{\circ}$ C)	+0.7ppm/ $^{\circ}$ C (120~130 $^{\circ}$ C)
12V	1.956V \pm 4.76mV	30.4ppm/ $^{\circ}$ C (-30~130 $^{\circ}$ C)	+39.8ppm/ $^{\circ}$ C (-30~10 $^{\circ}$ C)	-34.7ppm/ $^{\circ}$ C (10~130 $^{\circ}$ C)	

의 온도 범위와 3V~12V의 V_{DD} 범위에서의 기준전압의 온도계수는 48ppm/°C보다 작으며, V_{DD} 에 대한 변화율은 0.21%/V보다 작다. 표 3은 다양한 온도와 V_{DD} 값에서 전력소모를 보여준다. 30°C의 온도와 5V의 공급전압에서 전력소모는 27 μ W로 상당히 작으며, 온도가 감소할수록 V_{DD} 가 증가할수록 전력소모가 증가하는 것을 알 수 있다.

표 2. 전압모드 기준전압 회로의 공급전압에 대한 V_{REF} 변화율 (시뮬레이션)

Table 2. V_{REF} variation versus V_{DD} of the voltage-mode reference circuit (simulation)

온도 \ V_{DD}	3V~12V
-30°C	0.207%/V
30°C	0.189%/V
100°C	0.173%/V
130°C	0.168%/V

표 3. 전압모드 기준전압 회로의 공급전압과 온도에 따른 전력소모 (시뮬레이션)

Table 3. Power versus V_{DD} and temperature of the voltage-mode reference circuit (simulation)

온도 \ V_{DD}	3V	5V	8V	12V
-30°C	20 μ W	33 μ W	54 μ W	82 μ W
30°C	16 μ W	27 μ W	44 μ W	67 μ W
100°C	14 μ W	23 μ W	37 μ W	56 μ W
130°C	13 μ W	22 μ W	35 μ W	53 μ W

전류모드 기준전압 발생회로에 대한 시뮬레이션 결과를 표 4~6과 그림 6~8에 보였다. 4V~12V의 공급전압 범위와 -30°C~130°C의 온도범위에서 전류모드 기준전압의 온도계수는 38.2ppm/°C 이하이고, 공급전압에 대한 변화율은 0.08%/V 이하로 전압모드 경우와 유사한 특성을 보인다. 30°C의 온도와 5V의 공급전압에서 전력소모는 65 μ W로 전압모드 경우에 비해 약간 증가하나 여전히 저전력 특성을 보임을 알 수

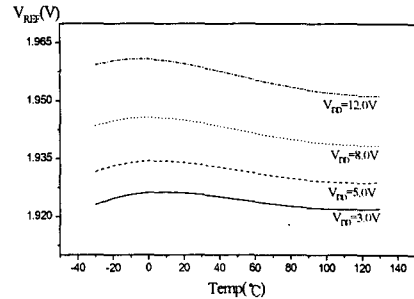


그림 4 전압모드 기준전압 회로의 온도에 따른 V_{REF} 특성 (시뮬레이션)

Fig. 4 V_{REF} versus temperature of the voltage-mode reference circuit (simulation)

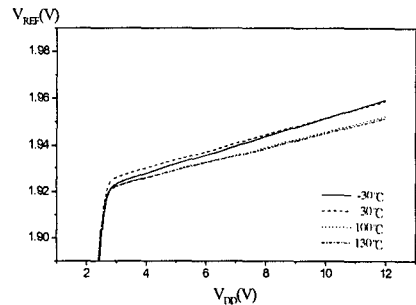


그림 5 전압모드 기준전압 회로의 공급전압에 따른 V_{REF} 특성 (시뮬레이션)

Fig. 5 V_{REF} versus V_{DD} of the voltage-mode reference circuit (simulation)

있다.

제한된 전류모드 기준전압 회로는 단지 출력단 전류복사 회로의 트랜지스터 크기비 (Z_{12}/Z_{11})나 출력단 저항 R_3 의 값을 변화시켜서 다양한 기준전압을 얻을 수 있다. 30°C의 온도에서, Z_{12}/Z_{11} 를 변화시켰을 때 발생하는 기준전압 값들을 그림 8에 나타내었다. 그림 6과 7의 결과는 Z_{12}/Z_{11} 이 2.5일 때 얻어진 결과이다. 출력단 저항 R_3 의 값을 변화시킨 경우에도 그림 8과 거의 유사한 특성을 보였다. V_{DD} 가 5V일 때 발생 가능한 기준전압 범위는 대략 0V에서 4V까지이다.

표 4. 전류모드 기준전압 회로의 온도에 대한 VREF 변화율 (시뮬레이션)

Table 4. VREF variation versus temperature of the current-mode reference circuit (simulation)

V _{DD}	V _{REF}	온도계수 (평균치)	온도계수	온도계수	온도계수
4V	838.10mV ±0.51mV	7.6ppm/°C (-30~130°C)	+38.2ppm/°C (-30~0°C)	-11.5ppm/°C (0~80°C)	+14.4ppm/°C (80~130°C)
5V	838.87mV ±0.45mV	6.7ppm/°C (-30~130°C)	+35.8ppm/°C (-30~0°C)	-11.9ppm/°C (0~80°C)	+16.1ppm/°C (80~130°C)
8V	840.65mV ±0.46mV	6.9ppm/°C (-30~130°C)	+33.3ppm/°C (-30~0°C)	-13.8ppm/°C (0~80°C)	+15.3ppm/°C (80~130°C)
12V	843.15mV ±0.53mV	7.8ppm/°C (-30~130°C)	+30.5ppm/°C (-30~0°C)	-15.6ppm/°C (0~80°C)	+15.0ppm/°C (80~130°C)

표 5. 전류모드 기준전압 회로의 공급전압에 대한 VREF 변화율 (시뮬레이션)

Table 5. VREF variation versus VDD of the current-mode reference circuit (simulation)

온도 \ V _{DD}	4V~12V
-30°C	0.079%/V
30°C	0.074%/V
100°C	0.070%/V
130°C	0.069%/V

표 6. 전류모드 기준전압 회로의 공급전압과 온도에 따른 전력소모 (시뮬레이션)

Table 6. Power versus VDD and temperature of the current-mode reference circuit (simulation)

온도 \ VDD	4V	5V	8V	12V
-30°C	57 μ W	73 μ W	132 μ W	234 μ W
30°C	51 μ W	65 μ W	116 μ W	205 μ W
100°C	45 μ W	57 μ W	101 μ W	181 μ W
130°C	42 μ W	54 μ W	96 μ W	174 μ W

설계된 전압모드 회로와 전류모드 회로의 레이아웃을 그림 9와 10에 각각 나타내었다. 면적은 각각 445 μ m \times 212 μ m, 582 μ m \times 488 μ m 이다. 전압모드 기준전압 회로는 0.65 μ m n-well 2-poly 2-metal CMOS 공정으로

제작되었으며, 전류모드 기준전압 회로는 현재 제작 중에 있다. 제작된 전압모드 기준전압 회로를 HP4145B와 Hot Chuck을 사용하여 측정한 결과를 표 7, 8, 9와 그림 11, 12에 보였다. V_{DD}가 5V인 경우 30°C~100°C의 온도 범위에서 측정된 기준전압은 1.994V \pm 33.5mV로 평균값은 시뮬레이션 결과와 유사하나 변화량은 크게 증가했음을 알 수 있다. 30°C~100°C의 온도범위와 3V~6V의 V_{DD} 범위에서의 측정된 기준전압의 온도계수는 490ppm/°C보다 작으며, V_{DD}에 대한 변화율은 0.63%/V보다 작다. 반면 전력 소모의 경우는 30°C의 온도와 5V의 공급전압에서 전력소모는 19.5 μ W로 측정 시 더 작은 전력 소모를 나타낸다

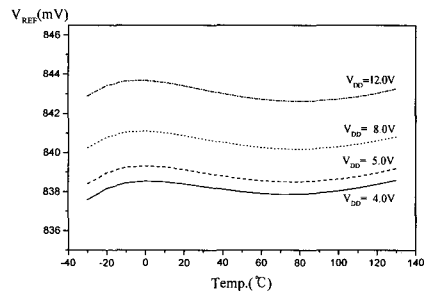


그림 6 전류모드 기준전압 회로의 온도에 따른 VREF 특성 (시뮬레이션)

Fig. 6 VREF versus temperature of the current-mode reference circuit (simulation)

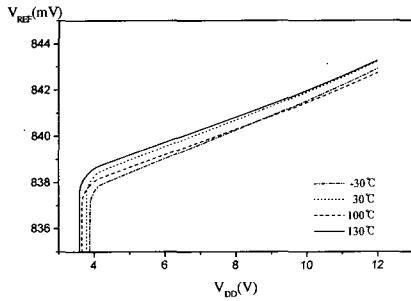


그림 7 전류모드 기준전압 회로의 공급전압에 따른 VREF 특성 (시뮬레이션)

Fig. 7 VREF versus VDD of the current-mode reference circuit (simulation)

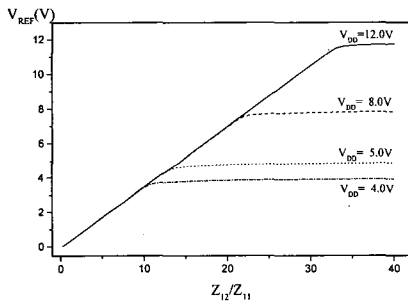


그림 8 전류모드 기준전압 회로의 Z12/Z11에 따른 VREF 특성 (시뮬레이션)

Fig. 8 VREF versus Z12/Z11 of the current-mode reference circuit (simulation)

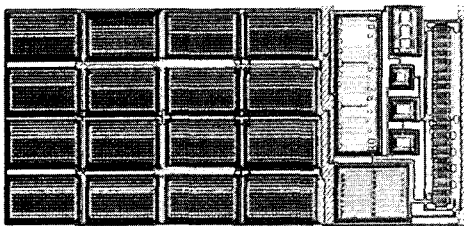


그림 9 설계된 전압모드 기준전압 회로의 레이아웃

Fig. 9 Layout of the designed voltage-mode reference circuit

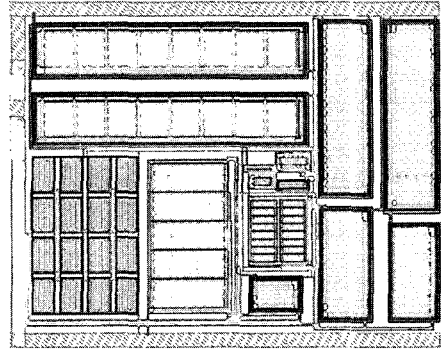


그림 10 설계된 전류모드 기준전압 회로의 레이아웃

Fig. 10 Layout of the designed current-mode reference circuit

표 7. 전압모드 기준전압 회로의 온도에 대한 VREF 변화율 (측정)

Table 7. VREF variation versus temperature of the voltage-mode reference circuit (measurement)

V_{DD}	V_{REF}	온도계수 (30°C ~ 100°C)
3V	1.982V ± 34.0mV	-490ppm/°C
4V	1.988V ± 33.5mV	-482ppm/°C
5V	1.994V ± 33.5mV	-480ppm/°C
6V	2.017V ± 33.0mV	-467ppm/°C

표 8. 전압모드 기준전압 회로의 공급전압에 대한 VREF 변화율 (측정)

Table 8. VREF variation versus VDD of the voltage-mode reference circuit (measurement)

온도 \ V_{DD}	3V ~ 6V
30°C	0.56%/V
50°C	0.55%/V
70°C	0.57%/V
90°C	0.63%/V
100°C	0.61%/V

표 9. 전압모드 기준전압 회로의 공급전압과 온도에 따른 전력소모 (측정)

Table 9. Power versus VDD and temperature of the voltage-mode reference circuit (measurement)

V _{DD} 온도	3V	4V	5V	6V
30℃	11.64 μ W	15.56 μ W	19.51 μ W	23.79 μ W
50℃	10.81 μ W	14.46 μ W	18.13 μ W	22.16 μ W
70℃	10.13 μ W	13.54 μ W	17.03 μ W	20.79 μ W
80℃	9.55 μ W	12.79 μ W	16.08 μ W	19.68 μ W
100℃	9.33 μ W	12.48 μ W	15.70 μ W	19.20 μ W

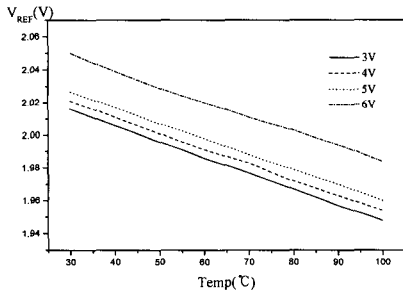


그림 11 전압모드 기준전압 회로의 온도에 따른 VREF 특성 (측정)

Fig. 11 VREF versus temperature of the voltage-mode reference circuit (measurement)

위의 결과에서 알 수 있듯이 측정 결과와 시뮬레이션 결과는 많은 차이를 나타낸다. 이는 HSPICE 패러미터와 공정 패러미터 간의 오차에 기인하는 것으로 추측된다. 특히 문턱전압의 온도계수가 측정값과 시뮬레이션 값이 그림 13에서와 같이 많은 차이를 나타내었다. 측정된 문턱전압의 온도계수는 $-1.51\text{mV}/\text{C} \sim -1.54\text{mV}/\text{C}$ 인 반면 시뮬레이션 결과는 $-1.35\text{mV}/\text{C}$ 이다. 또한, subthreshold 영역에서 동작하는 MOS 트랜지스터의 전류특성에 대한 HSPICE 모델이 아직 완벽하지 않다는 이유도 있는 것으로 생각된다. 기존의 증식형 MOS 트랜지스터와 저항만을 사용한 기준전압 회로들과 제안된 회로와의 성능 비교를 표 10에 보였다.

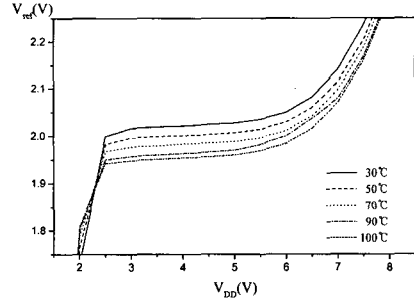
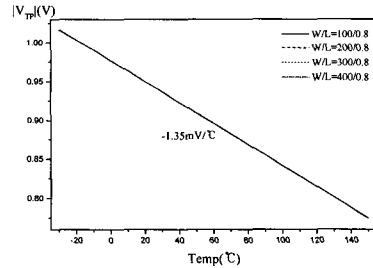
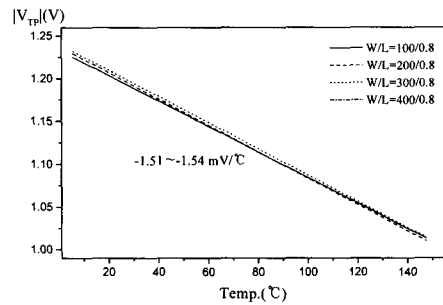


그림 12 전압모드 기준전압 회로의 공급전압에 따른 VREF 특성 (측정)

Fig. 12 VREF versus VDD of the voltage-mode reference circuit (measurement)



(a)



(b)

그림 13 온도에 따른 문턱전압 특성 (a) 시뮬레이션 결과 (b) 측정 결과

Fig. 13 Threshold voltage versus temperature (a) simulation results (b) measurement results

표 10. 증식형 MOS 트랜지스터와 저항만을 사용한 기준전압 발생 회로들의 성능 비교

Table 10. Performance comparison of the voltage reference circuits using enhancement-mode MOS transistors and resistors

	참고문헌[7]	참고문헌[9]	참고문헌[10]	제안된 회로		
				(전압모드)	(전압모드)	(전류모드)
온도 범위	-25~75℃	0~100℃	0~100℃	-30~130℃	30~100℃	-30~130℃
V _{DD} 범위	2.5~5.5V	3~7V	3~7V	3~12V	3~6V	4~12V
기준 전압 @ 5V	0.97V ±0.4mV			1.932V ±2.79mV	1.994V ±33.5mV	838.87mV ±0.45mV
온도 계수 (ppm/℃)	8.2(평균치)	-50(평균치)	-47.1(평균치)	30.4(평균치) 48.0(최대치)	-490 (최대치)	7.8(평균치) 38.2(최대치)
V _{DD} 에 대한 변화율(%/V)	±0.32		0.3125	0.207	0.63	0.079
전력 소모	1.8mW	8μA (총전류)	50.3μW	27μW @5V	19.5μW @5V	65μW @5V
온도 보상에 사용된 변수	μ, V _T , R	V _t , V _T	μ, V _T , R	V _t , V _T	V _t , V _T	V _t , V _T
모드	전류	전압	전류	전압	전압	전류
비고	측정 결과	시뮬레이션 결과	시뮬레이션 결과	시뮬레이션 결과	측정 결과	시뮬레이션 결과

VI. 결 론

본 논문에서는 증식형 MOS 트랜지스터와 저항만을 사용한 간단한 구조의 저전력 CMOS 기준전압 발생 회로를 제안하였다. 온도에 따라 비례적으로 증가하는 성분(V_t 에 비례하는 항)과 온도에 따라 비례적으로 감소하는 성분(V_T 에 비례하는 항)을 합하여 온도에 대한 보상을 얻었다. 설계된 회로를 시뮬레이션한 결과, 전압모드 기준전압 발생회로의 경우 공급전원이 3V에서 12V까지 변하며, 온도가 -30℃에서 130℃까지 변할 때, 기준전압의 온도계수는 48.0ppm/℃보다 작으며 V_{DD} 에 대한 변화율은 0.21%/V보다 작다. 전류 모드의 경우는 공급전원이 4V에서 12V까지 변하며, 온도가 -30℃에서 130℃까지 변할 때, 기준전압의 온도계수는 38.2ppm/℃보다 작으며 V_{DD} 에 대한 변화율은

0.08%/V보다 작다. 제작된 전압모드 기준전압 발생회로를 측정한 결과, 온도계수와 V_{DD} 에 대한 변화율은 각각 -490ppm/℃와 0.63%/V로 시뮬레이션 결과와 많은 차이를 보이는데, 이는 SPICE 패러미터와 공정 패러미터 간의 오차와 subthreshold 영역에서 SPICE 모델의 부정확성에 기인하는 것으로 추측된다. 제안된 기준전압 발생 회로는 구조가 간단하여 설계가 용이하다. 또한 작은 전력소모로 넓은 온도 범위와 공급전원 전압 범위에서 안정된 기준전압을 발생하기 때문에 저전력 응용 분야에 유용하게 사용될 수 있다.

참고문헌

- [1] R. J. Widlar, "NEW developments in IC voltage

regulators," IEEE J. Solid-State Circuits, vol. sc-6, pp. 2-7 Feb. 1971.

[2] A. P. Brokaw, "A simple three-terminal IC bandgap reference," IEEE J. Solid-State Circuits, vol. sc-9, pp. 388-393, Dec. 1974.

[3] Bang-sup Song and Paul R. Gray, "A low-power differential CMOS bandgap reference," IEEE J. Solid-State Circuits, vol. sc-18, pp. 634-643 Dec. 1983.

[4] Khong-Meng Tham and Knishnaswamj Nagarj, "Low supply voltage high PSRR voltage reference in CMOS process," IEEE J. Solid-State Circuits, vol. 30, pp. 586-690, May 1995.

[5] R. A. Blauschild, P. A. Tucci, R. S, Muller, and R. G. Meyer, "A new NMOS temperature-stable voltage reference," IEEE J. Solid-State Circuits, vol. sc-13, pp. 767-773, Dec. 1978.

[6] H. J. Song and C. K. Kim, "Temperature-stabilized SOI voltage reference based on threshold voltage difference between enhancement depletion NMOSFET's," IEEE J. Solid-State Circuits, vol. sc-28, pp.671-677, Jun. 1993.

[7] 김민정, 이승훈, "저전압용 CMOS 온-칩 기준전압 및 전류 회로," 대한전자공학회 논문지, 제34권, C편 제 14호, pp. 1-8 1997.

[8] 이철희, 손영수, 박홍준, "제공근 회로를 이용한 온도와 공급전압에 둔감한 CMOS 정전류원," 대한전자공학회 논문지, 제34권, C편 제 12호, pp. 37-42, 1997.

[9] 김재준, 서윤득, 김범섭, "CMOS enhancement-mode 기준 전압 발생기 설계," 제 2회 IDEC MPW 발표회 논문집, pp. 119-125, 1998.

[10] 최용, 김명식, "CMOS 기준 전압 발생기," 대한전자공학회 추계종합학술대회 논문집, pp. 655-658, 1998.

[11] R. Jacob Baker, Harry W. Li David, E. Boyce CMOS Circuit Design, Layout and Simulation pp. 469~470

저 자 소 개

權 德 起 (會 員 申 請 中)



1998년 인천대학교 전자공학과 졸업(공학사), 2000년 인천대학교 대학원 전자공학과 졸업(공학석사), 2000년 현재 인천대학교 집적회로 설계연구실 인턴 연구원.

주관심 분야는 CMOS 아날로그 및 혼성모드 집적 시스템 설계, CMOS RF IC 설계

劉 宗 根 (正 會 員)



1985년 연세대학교 전자공학과 졸업(공학사), 1987년 연세대학교 대학원 전자공학과 졸업(공학석사), 1993년 아이오와 주립 대학 electrical and computer engineering 공학박사 취득, 1994~현재 인천대학교 전자공학과

교수.

주관심 분야는 CMOS 아날로그 및 혼성모드 집적 시스템 설계, CMOS RF IC 설계

朴 鍾 泰 (正 會 員)



1981년 경북대학교 전자공학과 졸업(공학사), 1983년 연세대학교 대학원 전자공학과 졸업(공학석사), 1987년 연세대학교 대학원 전자공학과 공학박사 취득, 1987~현재 인천대학교 전자공학과 교수.

주관심 분야는 CMOS 소자, 플래쉬 메모리, RF-CMOS, neuron-MOSFET.