반도체 웨이퍼 가공(FAD) 공정에서의 교육용 컴퓨터 모델 구축

(Construction of an Educational Computer Model for FAB of Semiconductor Manufacturing)

전 동 훈 † 이 칠 기 ††

(Donghoon Jeon) (Chilgee Lee)

요 약 본 연구는 복잡하고 다양한 반도체 웨이퍼 가공 (FAB) 공정의 전체적인 흐름을 컴퓨터 모델로 구축하고 이를 Device 단면도를 나타내는 프리젠테이션 툴과 연동시키는 교육 모델의 개발을 목적으로 하였다. 급변하는 세계 반도체 시장에서 국내 반도체 업체는 지속적인 기술 개발과 더불어 효율적인 생산 관리에 대응할 수 있도록 하여 국제 경쟁력을 키워야 할 것이다. 따라서 본 연구에서 다루어진 공정의 흐름과 각 단위공정의 특성을 바탕으로 설립된 모델은 서울대학교 반도체 공동 연구소를 대상으로 구현되었으나 앞으로 생산 관리를 담당할 국내 반도체 업체들의 신입사원과 현장기술자의 질적 향상을 위한 시청각 교육용 자료로의 활용 시 상당한 효과를 거둘 것이라 예상된다. 이는 생산업체에 국한되어지는 것만은 아니며 반도체 공정에 관련된 대학 학과목에서도 활용되어지리라 생각된다. 또한 확장성과 변화에 유연한 모델을 개발함으로써 반도체 생산 업체들은 구성된 표준 모델을 이용하여 각 회사의 실정에 맞추어 자사에 대한 시뮬레이션을 손쉽게 수행함으로써 많은 교육 효과와 이에 따른 원가 절감의 효과까지 거둘 수 있을 것이다.

Abstract The importance of the semiconductor industry in Korea has been growing, but the manufacturers are experiencing two major problems: poor optimization of production and low localization ratio of production equipments. Due to the complex manufacturing processes and special features such as OTD (On Time Delivery) and LIPAS (Line Item Performance Against Schedule) possibilities, several attempts to apply MRP or spreadsheet have been failed to meet the expectations. This paper describes the computer modeling technique as the solutions to analyze the problem, to formalize the semiconductor manufacturing process, and to build an advanced manufacturing environments. The computer simulation models are built referring the FAB facilities of the National Inter - University Semiconductor Research Center to show the FAB processes and the functions of each process.

1. 서 론

1990년대 후반기에 들어서 정보산업사회의 핵심인 반도체의 세계시장은 급격한 변화를 겪고 있다. 윈도우와 인터넷 등 멀티미디어 환경으로의 전환에 기인한 반도체의 수요증가가 예측보다 떨어지는 반면, 기존 업체들의 대규모 설비 증설과 생산 기지의 다변화 및 신규 업체들의 연이은 시장 진입에 의한 생산과잉으로 더욱 치열한 가격경쟁을 벌이게 되는 등 위기의식이 고조되고 있는 현실이다. 이런 상황에서 국내 반도체 제조업체들은 그 동안의 물량 위주 생산체제로 인하여 공정 개선 및 생산 최적화 등에 대한 투자가 외국의 경쟁 업체에 비해 부족하여 다중 시스템간의 호환성 결여, 비합리적인 용량 (Capacity) 산정 등의 문제를 심각하게 겪고 있다. 이런 문제점들을 해결하기 위해서는 반도체 전공

· 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호 : ISRC 97-E-1039)에 의해 수행되었습니다.

† 학생회원 : 성균관대학교 전기전자및컴퓨터공학과
smallovc@ece.skku.ac.kr
†† 정 회 원 : 성균관대학교 전기전자및컴퓨터공학부 교수
cslee@yurim.skku.ac.kr

논문접수 : 1999년 9월 13일
심사완료 : 2000년 1월 28일

정의 흐름과 절차를 완벽하게 숙지하고 있는 전문가가 필요한데도 이런 인력양성에는 소홀히 하였으며 또한 전체를 파악해 볼 수 있는 Process Model도 없는 실정이다. 장비별, 공장별, 라인별, 주요 공정 부서별 자료만으로는 전체적으로 균형 잡힌 반도체 분야의 발전이 어려움으로 상호 관계까지 구현시킨 컴퓨터 모델은 필수적이라 할 수 있다.

현재 반도체 라인이나 공정에 대한 연구를 살펴보면 구평회[1]에서는 반도체 생산 공정의 자동화에 대한 생산 자동화/통합화와 제조 생산성과의 관계에 대해 기술하고 반도체 공장의 설계/운영의 합리화를 위한 노력이 필요하다고 하였다. 한편, 조광현[2]은 반도체 생산시스템에 이산사건 모델을 이용한 공정 모델링, 고장 진단 기법 등의 공정 운영에 관한 연구를 진행하였고, 이근영[3]에서는 반도체 공정 정보 관리 시스템에 대하여 연구하였다.

이렇게 현재 반도체 공정에 대하여 진행되고 있는 연구는 생산 자동화에 따른 고장 진단, 공정 정보 관리 시스템 개발 등에 국한되어 있다. 그러나 이와 같은 연구는 반도체 생산라인의 이해가 선행되어야 보다 효과적인 결과를 도출해 낼 수 있다. 또한 구평회[1]에서도 언급하였듯이 라인 당 1조가 상회하고 대 당 20억이 넘는 고가의 설비투자가 전제되는 반도체 생산 환경에서 설비 및 이의 운용이 경쟁력을 좌우하지만 이런 복잡한 반도체 공정의 단계를 완전히 숙지하고 구현하기 위한 요소기술까지 갖춘 현장기술자는 부족한 것이 현실이다.

이에 본 연구에서는 국가 기반 산업으로서 지대한 비중을 차지하는 반도체 분야에서 치열한 국제 경쟁을 이겨내어 메모리 분야에서의 최선두 유지와 비메모리분야에서의 선두권 진입을 이루기 위해 꼭 필요한 반도체 웨이퍼 가공 (FAB) 공정의 흐름을 컴퓨터 모델로 구현하고 이것을 해당 공정의 Device 단면도 (Cross - sectional view) 와 공정/장비의 특성을 나타내는 프리젠테이션 툴 (Presentation Tool) 과 연동시켜 반도체 FAB 공정의 전체 흐름과 함께 단위 공정의 특성을 설명하여줌으로써 생산라인의 이해를 필요로 하는 반도체 분야의 학부 교육과 반도체 산업현장의 실무 입문 교육에 활용하고자 하는 것이 목적이다.

본 논문의 구성은 2장과 3장에서 반도체 생산의 특성과 이에 대한 현재까지의 상황과 문제점을 분석하며 4장에서는 이 분석을 기초로 어떻게 반도체 FAB 공정 모델에 접근할 것인지에 대해 알아보겠다. 5장과 6장은 구현에 관련된 사항을 설명하고 마지막으로 7장에서 본 연구의 결론 및 향후 연구 방향에 대해 제시한다.

2. 반도체 생산의 특성

2.1 생산 특성

반도체 생산공정은 256M DRAM의 경우 생산기일이 4-6주정도 걸리는 데다 주요 공정만도 400여 개가 넘는 복잡한 과정을 거치며, 제품의 종류도 다양하고 생산라인 당 1조원을 상회하는 시설투자가 들어가는 장치산업으로 성격 지울 수 있다[4][5]. 다른 장치산업이나 조립산업과는 달리 반도체에서는 <표 1>에서와 같이 몇 가지 특수한 상황을 가지고 있다. 이중 대표적인 것이 특성분류 (Binning) 와 대체특성 (Substitution) 인데 특성분류란 신호 처리 속도 (Memory Access Time) 와 소모전력 (Power Consumption) 에 따라 등급이 결정되는 것을 의미하며 대체특성은 상위등급은 하위등급으로 대체될 수 있지만 하위등급으로는 상위등급을 대체할 수 없다는 것이다.

표 1 반도체 생산 특성

1. Binning
2. Substitution
3. Random Yield
4. 복잡한 공정
5. 기술 및 제품의 급속한 변화

이런 반도체의 생산경쟁력은 수율 (Yield) 에 의해 결정지어지며 일정한 주기를 갖는 시장 동향에 따라 생산환경도 적절히 변화 및 대응시켜 나가야 한다.

2.2 반도체 공정

반도체의 주요 공정으로는 <그림 1>에 나타났듯이 웨이퍼 가공으로 시작되는 FAB (Fabrication) 공정, VLSI 회로가 내장된 각 Die별 전기적 특성검사인 EDS (Electrical Die Sort) 공정, Die에 Lead Frame을 장착시키고 보호재를 덮어씌우는 조립 (Assembly) 공정, 그리고 최종적인 검사 (Test) 공정을 들 수 있는데 이 가운데 가장 복잡하고 시간도 오래 걸리는 FAB 공정이 기술적 난이도와 아울러 부가가치도 제일 높은 부분이다[4][5]. 따라서 본 연구에서도 FAB 공정에 초점을 맞추었다. 이런 FAB 공정을 좀 더 자세히 알아보면 웨이퍼에 산화막을 형성하는 산화공정, 웨이퍼 위에 만들고자 하는 형태의 특정 지역을 드러나게 하는 사진공정 (Photo), 화학반응으로 특정 지역의 물질을 제거하는 식각공정 (Etching) 과 불순물을 주입하여 주는 산화/확산공정 (Implantation or Diffusion) 등 주요 단위공정을 웨이퍼가 반복적으로 거치면서 (<그림 2>) 진행되는

것이다.

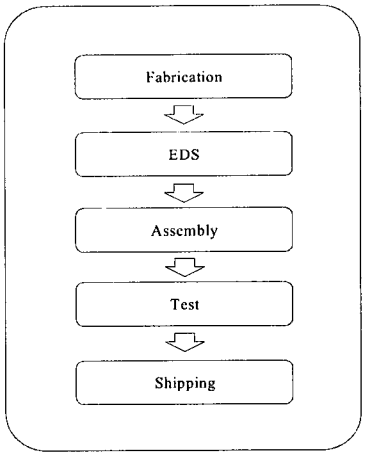

그림 1 반도체 제조 공정

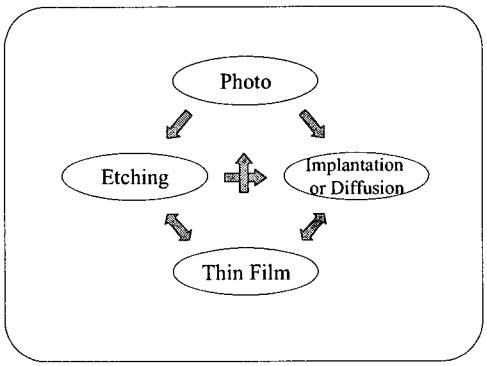

그림 2 FAB 주요 단위 공정

3. 반도체 교육 및 산업체의 현황과 문제점

3.1 교육의 현황과 문제점

현재 국내 반도체 공정에 관련된 대학의 학부과정에서 개설되는 학과목, 예를 들면 전기·전자 공학과나 금속·재료공학과에서 개설되는 반도체 물리, 물리전자, 반도체 공학, 반도체 재료 등의 교과목에서는 물성의 특성에 비중을 많이 두고 있는 까닭에 공정의 상호 연관성 등 공정흐름에는 취약한 편이다[4][5][6]. 한편 대학원 과정에서는 식각이나 화학증착 등 전공에 따른 단위공정을 깊게 교육함으로 전체 공정 흐름에 적용시키기에는 문제점이 많이 노출되고 있다.

한편 시청각 교육 자료로는 일부 대학에서 국제 반도체 협회인 SEMI (Semiconductor Equipment and Materials International) 에서 나온 비디오 테이프를 활용하고 있지만 이 역시 반도체의 특성 및 제조공정에 대한 전반적인 소개에 그친 까닭에 부족한 점이 많다[7]. 즉 반도체 공정의 큰 흐름을 나타낼 수 있는 교육자료의 부재가 현실이다.

3.2 산업체 현황과 문제점

1990년대의 폭증하는 반도체 수요와 이에 따른 시장점유율을 높이기 위하여 경쟁적으로 설비 증설에 힘을 쏟아온 국내업체들의 생산 용량은 획기적으로 늘어났다. 이러한 과정에서 공정개선 및 최적화 노력은 외국 경쟁사들에 비하여 상대적으로 부족하여 생산장비를 국내 생산 여건에 맞게 개선 및 현지화한 실력이 저조하며, 고객 만족의 척도라 할 수 있는 적기출하 (OTD : On Time Delivery) 와 생산실적의 관리 척도인 계획대비 생산 (LIPAS : Line Item Performance Against Schedule) 에서 저조한 수치를 기록하고 있으며 생산공정에서의 과다한 재공 (WIP : Work in Process) 과 영업 현장에서의 무리한 재고 부담이 수익성 측면에서 심각한 악재로 나타나고 있다.

또한 공정 측면에서 점검해 본다면 DRAM 등 메모리 분야에서 기술수준 및 시장점유율 측면에서는 선두에 서있는 국내 업체들이지만 새로운 공정의 개발 및 채택과 자동화의 확대 등 생산여건의 변화에 효과적으로 대응하고 있지 못하다는 지적이 많다.

4. 반도체 FAB 공정의 모델

4.1 컴퓨터 시뮬레이션 모델의 필요성

고가의 설비투자가 전제되는 생산 환경에서 현재 국내 반도체 업체의 현실은 설비의 운영을 맡고 있는 장비운용자 또는 기능공은 외국 경쟁사에 비해 성실하고 우수한 인력을 확보하고 있으나 현장기술자의 양성에는 소홀하였다. 즉 반도체 전 공정을 숙지하고 구현하기 위해 필요한 전문기술까지 갖춘 현장기술자는 매우 부족한 현실이다.

이렇듯 반도체 산업의 특성상 전체 공정의 흐름과 절차를 완벽하게 숙지하고 있는 전문가가 매우 부족한데도 전체를 쉽게 파악해 볼 수 있는 Business Process Model이 없는 실정이다. 각 부서별로 분리되어 있는 자료와 지식만을 갖고서는 전체적으로 균형 잡힌 발전이 어렵기 때문에 상호간의 연관관계까지 구현시킨 컴퓨터 모델은 필수적이다.

이런 반도체 공정에서는 Analytic (Queueing) 모델

을 채택하기에는 제약이 많아 컴퓨터 모델에 의한 접근이 합리적이며[8][9], 선형 프로그램 (LP : Linear Program) 기법을 전체적인 시스템 범위로 시도한 사례가 국내에서도 있으나 아직 효과를 보지 못하고 있다[10][11].

반면 외국의 경우는 생산계획 (Planning), Layout, 물류관리, 일정관리 (Scheduling), 긴급수요 (Hot Lot) 등 반도체 전반에 걸쳐 컴퓨터 모델을 통한 시뮬레이션을 적극적으로 활용하고 있는 실정이다[12][13][14][15]. 국내에서도 발전소나 항공기 운항사에서 이미 1970년대부터 실시간 시뮬레이터 (Simulator) 를 교육 및 훈련에 적극적으로 활용하고 있는 실정에 비추어 볼 때 국내 반도체 분야에서도 시스템 범위의 컴퓨터 시뮬레이션이 조속히 개발되어야 할 것이다[16].

4.2 Abstract 모델

컴퓨터 모델의 관건은 Flow 및 Procedure를 정확히 구현하고 입력 데이타 (Input Data) 의 정확도를 유지함에 달려있다. 256M DRAM의 경우 FAB에서만 약 400여개의 단위공정으로 구성되어 있으며 관련장비는 약 80여개가 된다. 따라서 <표 2>와 같이 단순히 각 단계에 따른 공정 명으로 이루어져 있는 공정순서표만으로는 FAB의 주요공정을 이해하기에 부족하며 이를 개선하기 위해 주요 공정과 목적에 대한 공정흐름도 (Process Flow Diagram) 를 작성해야 되는데 이는 아직 국내 반도체 제조업체에서 채택되지 못하고 있는 실정이다. 따라서 본 연구에서는 <표 2>의 공정순서표를 기반으로 <그림 3>과 같은 공정순서도를 작성하였다. 공정순서도의 가로축에 나타난 내용은 Well Formation 등 64M DRAM 이나 256 M DRAM과 같은 Device 중심의 목적을 나타낸 것이고 세로축은 산화, 사진 공정 등 장비중심의 주요공정을 나타낸 것이다. 즉 공정순서도에 나타난 번호를 따라가면서 한 Device가 진행되는 전체 공정 흐름을 알 수 있다.

표 2 공정순서표

SEQ	STEP	DESCRIPTION	PHOTO	ETCH	CVD	DIFF	IMP	SPUTTER	ENDFAB
1	U0005	DIFFUSIONPAD OX CLN						U0005	
2	U0010	DIFFUSIONPAD OX 산화						U0010	
3	U0015	DIFFUSIONPAD Tox CHECK						U0015	
⋮									
60	U0348	DIFFUSION4.0 G-POLY DEPO						U0348	
61	U0350	DIFFUSION4.0 Tpoly CHECK						U0350	
62	U0352	DIFFUSION4.0 G-POLY P/C CHECK						U0352	
63	U0357	DIFFUSION4.0 G-POLY POCl3				U0357			
64	U0360	DIFFUSION4.0 G-POLY DEGLAZE						U0360	
65	U0364	DIFFUSION4.0 Rs CHECK						U0364	
66	U0370	CVD 4.0 WSi PRE CLN				U0370			
67	U0371	CVD 4.0 WSi DEPO				U0371			
68	U0378	CVD 4.0 WSi Rs CHECK				U0378			
69	U0383	CVD 4.0 P/C CHECK				U0383			
⋮									

공정순서도를 구축한 다음 단계로는 <그림 4>와 같은 서울대 반도체 공동 연구소의 Layout을 가지고 각 영역 (Area) 별 장비배치를 파악한 뒤 <그림 3>의 공정순서도 각각의 단계에 해당된 장비를 <그림 4>의 Layout과 매핑 (Mapping) 시켜 모델을 구현함으로써 FAB 공정에서의 웨이퍼 흐름을 한 눈에 알 수 있다.

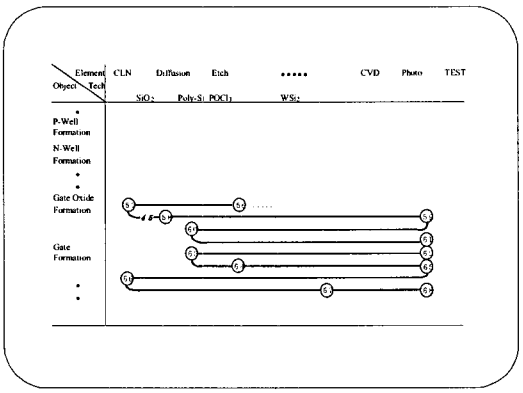

그림 3 공정순서도

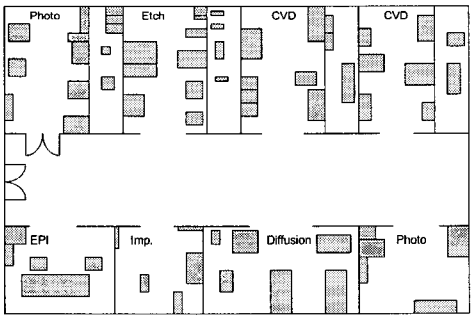

그림 4 Layout

4.3 사건 (Event) 의 종류와 처리

<그림 3>의 공정순서도를 자세히 살펴보면 몇 개의 단위공정들이 반복해서 수행되는 것을 확인할 수 있다. 결국 <그림 4>처럼 이루어진 Layout의 각 Bay (영역) 를 웨이퍼가 순환하면서 칩이 만들어진다.

이 모델에서는 식각공정, 사진공정 등 각각의 단위공

정을 사건 (Event) 으로 잡아 사건들의 진행시간 (Processing-time) 과 웨이퍼들의 다음 사건 도착 간격 (Interarrival -time) 등을 고려하여 모델링/시뮬레이션 툴에 적용한다.

5. 컴퓨터 모델과 프리젠테이션 구현 방안

5.1 시스템 구성

본 연구에서는 장비운용자와 현장기술자의 질적 하락으로 인한 교육문제 해결과 라인 전체의 공정 흐름을 구현하기 위하여 모델링/시뮬레이션 툴과 프리젠테이션 툴을 연동하려고 한다. 각각의 툴은 인텔사의 Pentium-II가 탑재된 컴퓨터 상에서 작동하며 각각의 컴퓨터는 네트워크 카드를 통해 이더넷 (Ethernet) 으로 연결된다. 이 시스템의 구성은 <그림 5>와 같다.

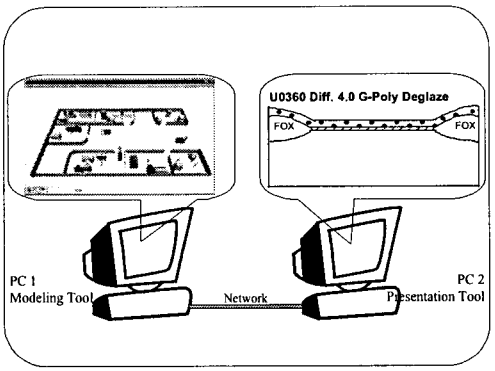

그림 5 시스템 구성도

이는 시뮬레이션이 각 공정을 따라 실행되는 동시에 각각의 해당 공정에서 수행되어지는 단면도와 공정/장비의 특성 설명 등을 프리젠테이션 툴로 보여줌으로써 공정의 이해와 흐름을 증진시키는데 목적이 있다. 장비의 배치와 단위공정간의 연속흐름은 모델링/시뮬레이션 툴을 이용하여 <그림 5>의 왼쪽 컴퓨터에서 해당 공정의 위치와 동작을 보여주며, 왼쪽 컴퓨터에서 사건이 발생할 때마다 오른쪽 컴퓨터에서는 자동으로 해당 공정의 단면도 등의 정보를 프리젠테이션 툴을 이용하여 보여줌으로써 공정과 Device의 상호관계를 쉽게 이해시킬 수 있다.

5.2 모델링/시뮬레이션 툴과 프리젠테이션 툴의 선정

모델을 구축하기 위해 모델링/시뮬레이션 툴의 선정이 중요한데 개발기간 동안과 개발이 완료된 후에도 생산여건은 변하므로 모델의 유지보수까지 고려하여야 한다.

시스템 수준의 설비 모델용은 각각의 움직임을 가시화시켜 분석이 용이한 Arena, Factor/AIM, AutoMod, G2 등이 적합한데 3차원의 입체화면이 지원되면 효과적일 것이다. 이중 많이 사용되어지고 반도체 환경의 상하위 개념을 모두 나타낼 수 있는 모델링/시뮬레이션 툴은 AutoMod가 가장 적합하며 프리젠테이션 툴로는 슬라이드쇼 등 여러 가지 기능이 있고 다른 프로그램과 호환성이 강한 Powerpoint를 이용하였다 [17].

5.3 개발 환경 및 구현 방안

앞에서 알아보았듯이 최종적인 개발환경은 AutoMod와 Powerpoint를 Windows NT 환경에서 실행시키는 것이다. AutoMod는 3차원 그래픽이 지원되는 모델링/시뮬레이션 툴로 기본적으로 반도체 공정에 쓰이는 장비 중 일부를 라이브러리로 제공하며, 제공하지 않는 장비는 내부 그래픽 툴을 이용해 나타 낼 수 있다. 또한 내부에서 지원하는 파일을 코딩함으로써 공정의 흐름을 원하는 데로 바꿀 수 있다.

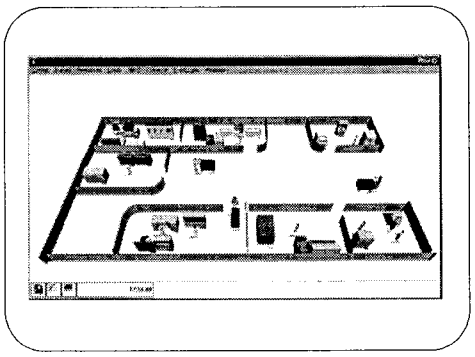

그림 6 AutoMod 화면

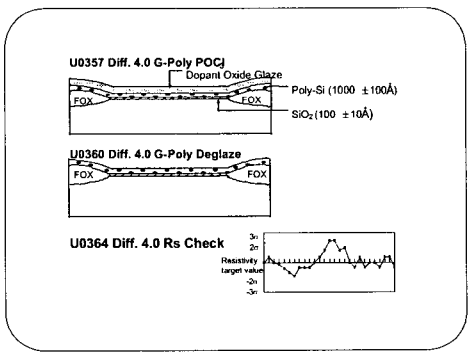

그림 7 단면도

이번 연구에서는 각 공정 순서에 따라 순차적으로 진행되는 것에 초점을 맞추었다. <그림 6>은 AutoMod로 구현한 서울대 반도체 공동 연구소 Layout으로 웨이퍼의 흐름을 알 수 있다.

또 프리젠테이션 툴로 쓰이는 Powerpoint의 슬라이드쇼에서는 Device의 단면도 (<그림 7>) 뿐만 아니라 공정/장비의 특성 설명도 구현되나 본 모델에서는 단면도에 초점을 맞추고 나머지 기능은 확장이 용이하게 구현한다. 즉, 본 모델에서는 이 두 환경이 연동되어 한 공정이 진행된 후에 바로 Device의 단면도 변화를 알 수 있는 전체 공정 흐름을 중심으로 구축한다.

5.4 네트워크 연동방안

AutoMod는 자체적으로 메시지 파일을 발생시킬 수 있는데 이것은 시뮬레이션을 하는 동안 Load나 Queue들의 상황을 알려주는 역할을 한다[17]. 또 어떤 특정 파일을 지정하면 그 파일로 메시지를 보내므로 각 공정이 시작될 때 메시지 파일은 프리젠테이션 툴이 동작하는 컴퓨터로 전해지게 된다. 네트워크 프로그램은 이 메시지를 감시 (Polling) 하다 메시지가 도착하면 Powerpoint의 윈도우로 Pagedown 메시지를 전달하는 역할을 한다.

6. 컴퓨터 통신 구축

모델링/시뮬레이션 툴과 프리젠테이션 툴이 서로 통신을 하기 위해서는 소켓이 필요하다[18]. 여기서 소켓이란 네트워크를 통해 다른 윈도우 응용 프로그램과 자신의 프로그램이 서로 통신할 수 있는 문의 역할을 한다. 따라서 모델링/시뮬레이션 툴이 동작하는 서버 컴퓨터와 프리젠테이션 툴이 동작하는 클라이언트 컴퓨터 상호간의 메시지를 주고받을 수 있도록 하는 것이다.

6.1 서버용 통신 프로그램

대부분의 모델링/시뮬레이션 툴에서는 이산사건 (Discrete Event) 을 중심으로 상황을 전개하는 점을 이용하여 AutoMod의 모델에서 단위공정의 종료가 발생하는 사건을 분류한 뒤 사건 검사 (Event Check) 를 사용한다. 이 통신 프로그램은 항상 클라이언트의 접속을 기다리다가 클라이언트가 접속에 성공하면 고유의 소켓을 생성하고 프로그램을 종료하기 전까지 사건이 발생할 때마다 메시지를 전달한다. <그림 8>은 서버 통신 프로그램의 알고리듬이다.

6.2 클라이언트용 통신 프로그램

클라이언트 프로그램은 서버 프로그램이 탑재되어 있는 컴퓨터의 IP 주소를 입력받아 서버가 존재하는 컴퓨터를 찾는다. 그리고 서버와 같은 포트 번호를 통해 접속을 하게 되고 접속이 성공적으로 완료되면 서버로부터 메시지를 받을 준비를 하게 된다.

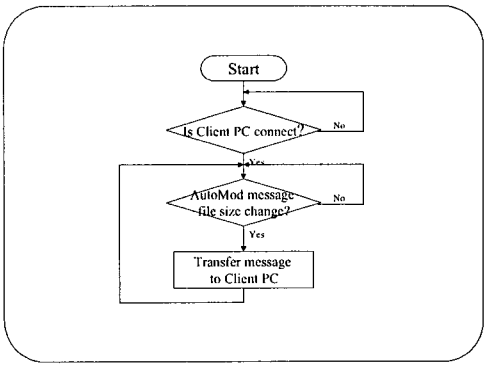

그림 8 서버 프로그램

서버로부터 메시지가 도착하면 Hooking 프로그램이 동작하여 Powerpoint의 윈도우로 Pagedown 메시지를 보낸다.

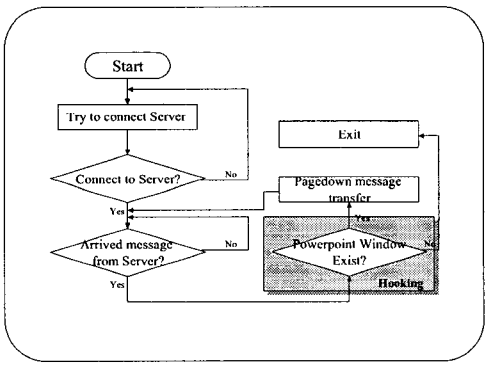

그림 9 클라이언트 프로그램

6.3 Hooking의 필요성 및 내용

Hooking을 해야하는 이유는 서버 컴퓨터에서 하나의 공정을 시작할 때마다 메시지를 발생시켜 그 메시지를 통신 프로그램을 통해 프리젠테이션 툴이 동작하는 클라이언트 컴퓨터로 전해지게 된다. 이 때 Hooking 프로그램은 메시지를 기다리다가 도착하면 Powerpoint의 윈도우로 Pagedown 메시지를 전달하는 역할을 한다.

Windows NT 환경은 모든 동작이 사건으로 처리되므로 사건 발생 시마다 원하는 곳으로 메시지를 전달한다[19]. <그림 10>은 메시지의 흐름을 간단하게 그림으로 표현한 것이다. 메시지가 발생하면 시스템이 관리

하는 메시지 큐로 가서 어느 윈도우에서 발생했는지 확인한 후 그 윈도우의 프로시저로 다시 이동한다. 예를 들어 <그림 10>의 윈도우 B에서 마우스 오른쪽 버튼을 눌렀다고 가정하면 WM_RBUTTONDOWN 메시지가 발생해 시스템이 관리하는 메시지 큐로 들어가서 윈도우 B에서 메시지가 발생했다는 것을 알아낸 후 윈도우 B의 프로시저로 WM_RBUTTONDOWN 메시지가 이동하는 것이다. 이 때 오른쪽 마우스 버튼 메시지를 가로채 원하는 작업을 할 수 있도록 하는 것이 Hooking 이다.

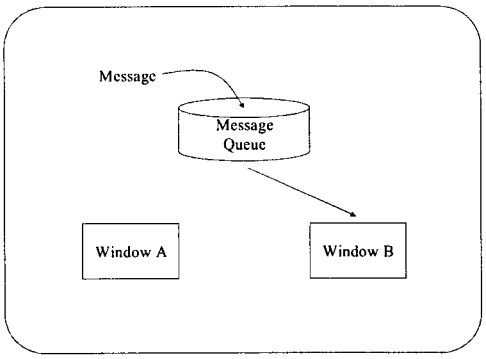

그림 10 메시지 흐름

7. 결론 및 향후 연구 방향

이번 과제의 목표는 반도체 공정의 순서대로 공정의 흐름을 따라가며, 각 공정이 어느 장비에서 이루어지며, 그 공정으로 인한 Device의 변화를 단면도로 보여줌으로써 현장기술자와 장비운용자의 질적 향상을 위한 교육용 자료로의 활용이다. 이렇게 프리젠테이션 툴과의 연동을 이용한 본 모델을 사용하여 시청각 교육을 진행하면 개인마다 FAB 공정의 전체 흐름과 각 공정의 특성을 보다 쉽게 이해할 수 있고 이를 바탕으로 단위공정들의 세부내용 교육을 받는다면 기존의 단위공정 중심의 교육과는 다르게 서로 연관된 기술을 쉽게 습득할 수 있으므로 현재 국내 반도체 업체들의 신입 사원 교육 시 상당한 효과를 거둘 것이라 예상된다. 이는 생산업체에 국한되어지는 것만은 아니며 반도체 공정에 관련된 대학 학과목의 교육에서도 활용될 수 있다. 또한 본 모델은 각 단위공정/장비의 주요 문제점 및 특성 등을 쉽게 보충할 수 있어 현장 교육 특성에 맞게 모델을 재구성함으로써 교육자는 원하는 교육효과를 얻을 수 있으며, 이를 교육받은 사원이나 학생이 후에 생산라인에 투입되면 자신의 지식인 전체 공정의 흐름과 각 공정/장비의 특성 등의 요소기술을 갖추고 생산 계획을 수립함으로써 현재 문제점으로 지적되고 있고 현장 기술자 능력에 크게 좌우되는 적기출하와 계획 대비 생산도 많이 향상되어지리라 생각된다.

한편, 서울대 반도체 공동 연구소의 경우와는 달리 양산 시스템에서는 장비 가동률, TAT (Turn Around Time), Throughput 등이 중요한 관점이므로 양산 라인을 대상으로는 FAB Layout 시뮬레이션을 통한 Bottleneck 분석과 Intra-bay 자동 반송 설비 (Rail Guided Vehicle, Auto Guided Vehicle, Over Head Transport 등) 의 성능 비교, 특정 설비의 집중과 분산에 따른 효율 비교 등이 반영된 시뮬레이션을 통하여 공정의 최적화를 이루어 경비 절감을 실현함으로 어려운 현실에 대처하는 것이 향후 연구과제이다.

참 고 문 헌

[1] 구평회, "반도체 생산공정의 제조생산성 및 자동화", 제어자동화시스템 공학회지, Vol. 4, No. 4, 1998
[2] 조광현, "반도체 생산시스템의 공정운영 분석 및 관리제어", 제어자동화시스템 공학회지, Vol. 4, No. 4, 1998
[3] 이근영, "반도체 공정정보 관리 시스템 개발", 한국자동제어학술대회, Vol. 1, 1988
[4] Atherton, Linda F & Atherton, Robert W., *Wafer Fabrication : Factory Performance and Analysis*, Kluwer Academic Press, Boston, MA, 1995
[5] Stephen A. Campbell, *The Science and Engineering of Microelectronic Fabrication*, Oxford University Press, New York, 1996
[6] Ben G. Streetman, *Solid State Electronic Devices*, Prentice Hall, 1995
[7] The Complete Silicon Run (VTR), Semiconductor Equipment and Materials International, 1997
[8] Law, Averill M., Kelton, W. David, *Simulation Modeling & Analysis*, McGraw-Hill, 1991
[9] Zeigler, B. P., *Object-Oriented Simulation with Hierarchical, Modular Models*, Academic Press, 1990
[10] Liu, Chihwei, *"A Modular Production Planning System for Semiconductor Manufacturing,"* Ph. D. Dissetation, University of California, Berkeley, 1992
[11] R. C. Leachman, *Modeling Techniques for Automated Production Planning in the Semiconductor Industry*, Wiley, 1993
[12] W. Chou and J. Everton, "Capacity Planning for Development Wafer Fab Extension," *IEEE/SEMI*, 1996, Advanced Semiconductor Manufacturing Conference Proceedings, MA, pp 17-22, 1996
[13] C. D. Geiger, R. Hase, C. G. Takoudis, and R. Uzsoy,

"Alternative Facility Layouts for Semiconductor Wafer Fabrication Facilities," *IEEE Transactions on Components, Packaging, and Manufacturing Technologies. Part C : Manufacturing*, Vol. 20, No. 2, pp 152-163, 1997

[14] B. A. Peters and T. Yang, "Integrated Facility Layout and Material Handing System Design in Semiconductor Fabrication Facilities," *IEEE Transactions on Semiconductor Manufacturing*, Vol. 10, No. 3, pp 360-369, 1997

[15] Y. Narahari and L. M. Khan, "Modeling the Effect of Hot Lots in Semiconductor Manufacturing Systems," *IEEE Transactions on Semiconductor Manufacturing*, Vol. 10, No. 1, pp 185-188, 1997

[16] 이칠기, "실시간 모의제어시스템 (Simulator) 국산화 개발 - 발전소 운전원 훈련용을 중심으로", 정보과학회지, 제13권 제4호, pp.76-80, 1995

[17] AutoMod Manual, Ver. 8.2, AutoSimulation, 1997

[18] Charles A. Mirho, Andre Terrisse, *Communications Programming For Windows 95*, Microsoft Press, 1997

[19] Mark Minasi, *Windows NT Workstation 4*, SYBEX, 1997

전 동 훈

1997년 성균관대학교 제어계측공학과 졸업(학사). 1999년 성균관대학교 전기전자 및 컴퓨터 공학과 졸업(석사). 1999년 ~ 현재 성균관대학교 전기전자 및 컴퓨터 공학과 박사과정. 관심분야는 컴퓨터 시뮬레이션, 지능형 시스템, 물류자동화.

이 칠 기

1980년 성균관대학교 전자공학과 졸업(학사). 1985년 Arizona State Univ. 전기 및 컴퓨터공학과 졸업(석사). 1990년 Univ. of Arizona 전기 및 컴퓨터공학과 졸업(박사). 1979년 ~ 1983년 한국방송공사 기술요원. 1990년 ~ 1995년 삼성전자 응용소프트웨어 개발실 수석연구원. 1995년 ~ 현재 성균관대학교 전기전자 및 컴퓨터공학부 교수. 관심분야는 컴퓨터 시뮬레이션, 객체지향모델링, 공장자동화, 전문가시스템.