

論文2000-37SD-11-12

정적 CMOS 회로의 단락 소모 전력 예측 기법 (Estimation of Short Circuit Power in Static CMOS Circuits)

白宗欽*, 鄭承鎬*, 金錫潤*

(Jong-Humn Baek, Seung-Ho Jung, and Seok-Yoon Kim)

요 약

본 논문은 정적 CMOS 회로의 단락전류로 인한 전력 소모를 구하기 위한 간단한 방법을 제시한다. 단락 전류식은 게이트와 드레인 사이에 존재하는 커플링 커패시턴스의 영향을 고려하여 실제 전류 파형의 극점을 정확하게 보간함으로써 유도하였다. 트랜지스터의 출력 파형을 조사한 후 모형화한 전류 수식을 기반으로 CMOS 회로의 지연 시간을 예측하기 위한 거시모형과 수식들을 제안하였다. 제안된 방법은 시뮬레이션을 통하여 현재의 기술 동향 특성인 신호 천이시간과 부하 커패시턴스가 감소하는 경우에 대해 이전의 연구보다 더욱 정확하고 신속히 예측할 수 있음을 보였다. 또한 제안된 거시모형은 전류식이 변할지라도 전력 소모를 계산하는데 쉽게 적용이 가능하다.

Abstract

This paper presents a simple method to estimate short-circuit power dissipation for static CMOS logic circuits. Short-circuit current expression is derived by accurately interpolating peak points of actual current curves which is influenced by the gate-to-drain coupling capacitance. It is shown through simulations that the proposed technique yields better accuracy than previous methods when signal transition time and/or load capacitance decreases, which is a characteristic of the present technological evolution. The proposed analytical expressions can be easily applied in such applications as power estimation even when the current expression is changed.

I. 서 론

반도체 기술의 발전으로 인해 칩의 클럭 속도와 집적도가 증가함에 따라 전력소모는 칩의 성능을 제한하는 중요한 요소가 되었다. 따라서, 반도체 설계과정에서 CMOS 게이트의 전력소모를 정확하게 추정하는 일은 칩의 신뢰도 보장 및 설계 시간의 단축뿐만 아니라 설계 목표 달성과 직결된다.

* 正會員, 崇實大學校 컴퓨터學科

(Department of Computing, Soongsil University)

※ 본 연구는 1998년 핵심전문 지원과제(과제 번호:

981-0909-035-2)에 의하여 연구되었음.

接受日字:1999年10月11日, 수정완료일:2000年10月31日

일반적인 정적(static) CMOS 회로는 전력 공급원과 그라운드 사이에 PMOS 블록과 NMOS 블록으로 구성되어 있고 이들의 역할은 상보적이다. 즉, 이상적인 CMOS 회로에서는 입력 신호의 천이가 발생하지 않는 한 전원에서 그라운드로 흐르는 전류(dc current)가 발생할 수 없다. 물론, MOS 트랜지스터의 문턱 전압 이하에서 흐르는 전류와 PN 접합의 역방향 전류로 구성된 누설 전류(leakage current)가 있으며, 이는 반도체 공정의 스케일링이 가속화될수록 무시하기 어려워지겠지만 현 기술 수준에서 이 양은 매우 작다^[1].

입력단에 천이가 발생하면 동적 전력소모와 단락전류로 인한 전력 소모가 발생된다. 동적 전력소모는 출력단의 부하와 입력단의 천이횟수에 비례하고 동작 전압의 제곱에 비례한다. 이 소모량은 입력 천이 시간과

MOSFET의 크기에 거의 독립적이다^[2]. 단락 전력 소모(short-circuit power dissipation)란 입력신호가 천이하는 동안 PMOS와 NMOS가 동시에 도통되어 전원과 그라운드 사이에 전류가 흘러 발생하는 전력 소모를 일컫는다. 전체 전력 소모 중에서 가장 큰 부분을 차지하는 요소는 동적 전류로 인한 성분이지만 단락 전류로 인한 전력소모가 20% 이상인 경우가 빈번하므로, 이 성분을 무시할 수는 없다^[3]. 천이 시간이 감소할수록 단락 전력 소모 성분은 작아지지만 동작 주파수가 증가함에 따라 회로 내에서 발생하는 천이수도 증가하므로 전체적으로 볼 때 이 양을 간과해서는 안될 것이다. 더욱이 [4]에 의하면 단락 전류가 CMOS의 지연(propagation delay)에 상당한 영향을 미치므로 이 성분은 정확히 예측되고 제어되어야 한다.

단락 전류 성분을 예측하기 위한 첫 번째 연구는 [5]에 발표되었으며, [5]에서는 부하가 없고, 입력 전압의 절반 지점에서 두 MOS 트랜지스터가 정확히 포화된다고 가정함으로써 비교적 간단한 수식을 유도하였다. [6]과 [7]에서는 게이트와 드레인 결합 커패시턴스(gate-to-drain coupling capacitance)와 단락 전류를 고려하지 않고 인버터의 동작 특성식을 유도하였다. [2]에서는 α -power MOS 모형에 기반하여 short channel 효과를 반영하여 전류식을 유도했지만 게이트-드레인 결합 커패시턴스와 단락 전류를 고려하지 않았다. [8]에서는 n-th power MOS 모형을 이용해 앞의 논문들에서 무시했던 두 성분을 고려하여 단락 전류의 파형을 piecewise linear 함수로 나누어 근사화하였으나, 결합 커패시턴스의 영향을 정확히 반영하지는 못했다. 또한, 최근에 [9]는 입력 파형의 기울기와 부하 커패시턴스에 따라 영역을 나누어 단락 전력 소모를 계산하기 위한 수식을 발표하였다. [9]는 수식 전개를 위해 멱급수 전개(power-series expansion) 방법을 사용함으로써 유도된 식들이 재귀적으로 이루어져 있으며, 정확도를 보장하기 위해서는 상당한 반복 계산이 요구된다.

현대의 반도체 기술발전 추세를 고려할 때 칩의 용량은 점점 증가하므로 거대한 칩에 적용하기 위해서는 주어진 정확도내에서 좀 더 간략하고 효율적인 예측 기법이 요구된다. 위에서 살펴본 논문들에서 이용한 단락전류의 양을 구하는 방법은 크게 두 가지로 분류할 수 있다. 첫 번째는 직접적인 방법으로서 출력단에서의 전압(V_{out})을 구한 후 단락 전류식을 유도하는

방법이고, 두 번째는 간접적인 방법으로서 먼저 단락 전류를 모형화 한 후 역으로 평균 단락 전류의 양을 구하는 방법이다. 본 논문에서는 두 번째 방법을 사용하여 단락 전류를 적절한 함수로 모형화 한 후 그 함수의 매개변수를 유도하였다. 제안된 방법은 여러 형태의 단락 전류 모형을 가능하도록 하여 모형이 바뀌었을 때 결과 수식을 전체적으로 바꾸는 것이 아니고 일부 매개변수만 수정하면 결과를 얻을 수 있도록 수식을 유도하였다. 본 논문의 전반부에서는 단락 전류의 수식으로서 세 모형을 제안하고, 그에 대한 실험 결과를 제시한다.

본 논문의 서론 이후는 다음과 같이 구성된다. 먼저 2장에서는 인버터에서 발생하는 단락 전류 파형을 분석한다. 3장에서는 단락 전류의 모형화 방법을 기술하고, 단락 전류 함수의 매개변수를 유도하는 방법을 제시한다. 4장에서는 HSPICE를 이용한 시뮬레이션 결과를 이용하여 제안된 기법의 정확도를 보이며, 마지막으로 결론을 맺는다.

II. CMOS 인버터의 단락 전류 파형 분석

그림 1에 인버터 회로와 입력 파형을 도시하였다. 인버터의 입력 파형은 그림 1의 (b)에서 보듯이 일정 기울기를 갖는 램프 입력으로 식 (1)과 같이 가정한다.

$$V_{in} = \begin{cases} \frac{V_{DD}}{t_T} t, & 0 \leq t \leq t_T \\ V_{DD}, & t < t_T \end{cases} \quad (1)$$

식 (1)에서 V_{DD} 는 공급 전압이고, t_T 는 입력 신호의 상승시간이다. 게이트-드레인 커패시턴스로서 입력단과 출력단 사이에 C_M 을 고려하였고, C_L 은 출력단의 부하 커패시턴스이다. C_M 은

$$C_M = C_{gdo_{NMOS}} + C_{gdo_{PMOS}} + C_{g_{NMOS}} + C_{g_{PMOS}} \quad (2)$$

이다. 식 (2)에서 C_{gdo} 는 게이트와 드레인 사이의 중첩 커패시턴스(overlap capacitance)로서 PMOS 및 NMOS 트랜지스터의 중첩 커패시턴스의 합이다. gate-to-channel 커패시턴스, C_g 는

$$C_g = C_{gs} + C_{gd} \quad (3)$$

이며, C_{gs} 는 게이트와 소스 쪽에 생성되는 채널 커패시턴스, C_{gd} 는 게이트와 드레인 쪽에 생성되는 채널

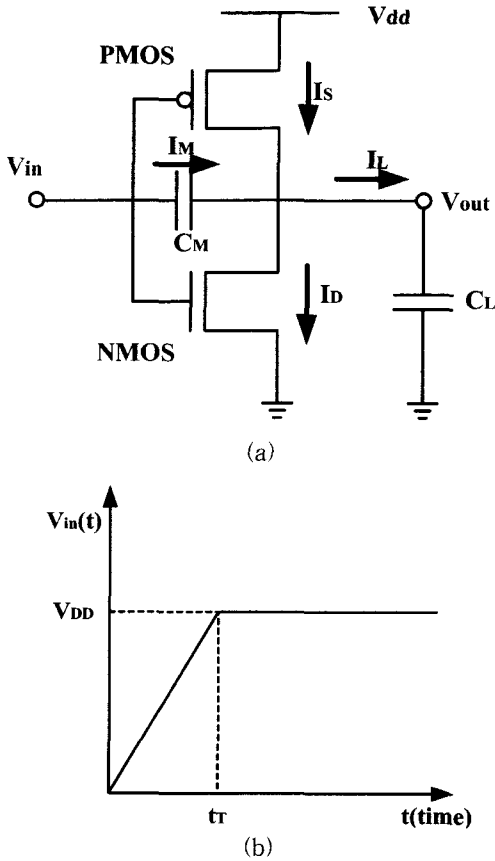


그림 1. (a) 인버터 회로 (b) 인버터를 위한 입력 파형
Fig. 1. (a) Inverter circuit (b) ramp input wave-form.

커패시턴스이다. 이 커패시턴스 값들은 MOS 트랜지스터의 동작 영역에 따라 다르며, C_{gd} 는 $\frac{1}{2} C_{ox}WL$ 이고, C_{ox} 는 중첩된 커패시턴스를 제외하곤 게이트-옥사이드 커패시턴스, W 와 L 은 유효채널(effective channel)의 폭과 길이를 나타낸다^[10].

본 논문의 MOS 트랜지스터의 드레인 전류를 위한 모형은 simplified bulk-charge MOS model^[11]을 사용하였다. 동작 영역에 따른 NMOS 드레인 전류는

$$I_n = 0, \quad V_{in} < V_{thn} \quad (4)$$

$$I_n = \beta_n \left[(V_{in} - V_{thn})V_{out} - \frac{(1 + \delta_n)}{2} V_{out}^2 \right], \quad V_{out} \leq V_{satn} \quad (5)$$

$$I_n = \frac{\beta_n}{2(1 + \delta_n)} (V_{in} - V_{thn})^2, \quad V_{out} > V_{satn} \quad (6)$$

이고, β_n 은 NMOS 소자의 gain factor, V_{thn} 은 NMOS 트랜지스터의 문턱전압, δ_n 은 NMOS

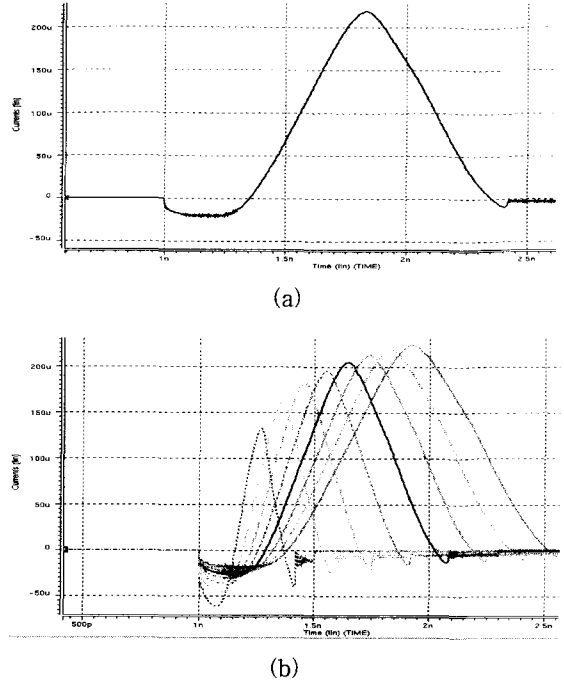


그림 2. (a) 전형적 인버터의 단락 전류 파형(HSPICE 결과, $t_r=1.7n$, $C_L=30fF$) (b) CMOS 인버터의 입력 천이 시간의 변화에 따른 단락 소모 전류의 변화($C_L=10fF$, $t_r:0.5ns \sim 1.9ns$)
Fig. 2. (a) HSPICE simulation result($t_r=1.7ns$, $C_L=30fF$) (b) Short-circuit current wave-forms for the varying transition times ($C_L=30fF$, $t_r=0.5ns \sim 1.9ns$).

bulk-charge 식의 Taylor 급수 전개 첫 번째 항의 기울기, $V_{satn} = \frac{V_{in} - V_{thn}}{1 + \delta_n}$ 은 NMOS 포화 전압이다. 동작 영역에 따른 PMOS 드레인 전류는

$$I_p = 0, \quad V_{in} > V_{DD} - |V_{thp}| \quad (7)$$

$$I_p = \beta_p \left[(V_{DD} - V_{in} - |V_{thp}|)(V_{DD} - V_{out}) - \frac{(1 + \delta_p)}{2} (V_{DD} - V_{out})^2 \right], \quad V_{out} \geq V_{satp} \quad (8)$$

$$I_p = \frac{\beta_p}{2(1 + \delta_p)} (V_{DD} - V_{in} - |V_{thp}|)^2, \quad V_{out} < V_{satp} \quad (9)$$

이고, β_p 는 PMOS 소자의 gain factor, V_{thp} 는 PMOS 트랜지스터의 문턱 전압, δ_p 는 PMOS bulk-charge equation의 Taylor 급수 전개 첫 번째 항의 기울기, $V_{satp} = V_{DD} - \frac{(V_{DD} - V_{in} - |V_{thpRIGHT}|)}{1 + \delta_p}$

는 PMOS 포화 전압이다. 위의 수식들은 [9]에 잘 정리되어 있고, 본 논문에서는 이를 인용하였다.

그림 2는 CMOS 트랜지스터에서 gate-drain capacitance의 영향을 잘 나타내주는 그림이다. 여기서 볼 수 있듯이 이 커패시턴스(Miller capacitance라고도 부름)를 무시하고서 추정한 소모전력은 실제 값보다 더 크게된다. 특히 (b)에서 보듯이 천이 시간이 감소할수록 이 영향이 커짐을 볼 수 있다. 다음 장에서는 단락 전류를 모형화 하기 위한 세 방법을 제시 한다.

Ⅲ. 단락 전류의 모형화

그림 2의 단락 전류 파형을 모형화하는 방법을 그림 3에 도식화하였다. 그림 3(a)는 전류 파형을 비선형 함수로 모형화하는 방법이며, 그림 3(b)는 선형함수로 근사화하는 방법이다.

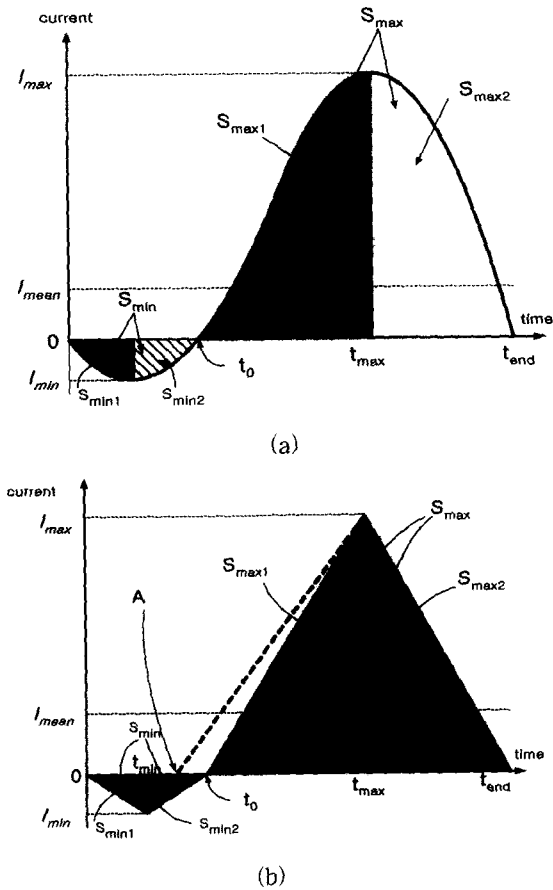


그림 3. 단락 전류의 모형화 방법 (a) 비선형 (b)선형
Fig. 3. Modeling of Short circuit current. (a) piecewise non-linear (b) piecewise linear

단락 전력 소모는

$$P_{sc} = I_{mean} V_{DD} \tag{10}$$

로 나타낼 수 있다. 식 (10)에서, I_{mean} 은 평균 전류이고, 이는 다음과 같이 구할 수 있다. 먼저 전류의 시간적(time-product)을 S_{total} 로 나타내면,

$$S_{total} = S_{max} + S_{min} \tag{11}$$

S_{max} 는 그림 3(a), (b)에서 윗 부분의 전류 면적이고, S_{min} 은 음의 값을 갖는 아래 부분의 전류 면적이다. S_{min} 은 S_{min1} 과 S_{min2} 로 나누어 계산할 수 있다. 이렇게 하면, I_{mean} 은 S_{total}/t_{end} 로 주어진다. 본 논문에서는 S_{min} 과 S_{max} 를 구하기 위해 단락 전류 I_S 를 세 가지 형태로 모형화하는 방법을 다룬다. 첫 두 방법(방법 A와 방법 B)은 piecewise nonlinear 방식으로 모형화하며, 세 번째(방법 C)는 piecewise linear 방식으로 모형화하기로 한다.

●방법 A : I_S 를

$$I_S(t) = \alpha_1 t \cdot \beta_1^{-\gamma_1 t} \tag{12}$$

의 꼴로 모형화한다. 만약, S_{min1} 을 구할 경우에 식 (12)에서 α_1 와 β_1 는 극대점을 이용하여 구할 수 있고, 이는 다음과 같다(β_1 는 1을 제외한 양의 실수).

$$\alpha_1 = \frac{I_{min} \beta_1^{\frac{1}{\log \beta_1}}}{t_{min}} \quad , \quad \gamma_1 = \frac{1}{t_{min} \log \beta_1} \tag{13}$$

따라서, S_{total} 은

$$S_{total} = (e-2) (t_0 I_{min} + (t_{end} - t_0) I_{max}) \tag{14}$$

이 된다.

●방법 B : I_S 를 Rayleigh density 함수^[12]와 유사한 형태로 모형화한다.

$$I_S(t) = a_2 t \cdot \beta_2^{-\frac{t}{\gamma_2}} \tag{15}$$

만약, S_{min1} 을 구할 경우에 식 (15)에서 a_2 와 γ_2 는 방법 A와 같이 극대점을 이용하여 구할 수 있고 다음과 같이 유도된다(β_2 는 1을 제외한 양의 실수).

$$a_2 = \frac{I_{min} \beta_2^{\frac{1}{2 \log \beta_2}}}{t_{min}} \quad , \quad \gamma_2 = \frac{1}{t_{min} \log \beta_2} \tag{16}$$

따라서, S_{total} 은

$$S_{total} = (\sqrt{e}-1)\{t_0 I_{min} + (t_{end} - t_0) I_{max}\} \quad (17)$$

이 된다.

이 되므로, 값을 가지면 된다.

● **방법 C** : I_S 를 1차 직선으로 모형화한다.

$$I_S(t) = \alpha_3 t \quad (18)$$

만약, S_{min} 을 구할 경우에 식 (18)에서 $\alpha_3 = \frac{I_{min}}{t_{min}}$ 이 된다. 따라서, S_{total} 은

$$S_{total} = 0.5\{t_0 I_{min} + (t_{end} - t_0) I_{max}\} \quad (19)$$

이 된다.

방법 C는 4개의 선형식을 사용하므로 3개의 선형식 (그림 3(b)의 점선 포함)을 사용한 것[8]과는 다르다. [8]의 방법을 이용하여 HSPICE에서 그림 3 (b)에 표시한 I_{min} , t_0 , I_{max} , t_{end} 값들을 추출하고, 이 수치들을 이용해 I_S 의 면적을 선형적으로 계산했을 때 발생하는 오차율은 실제 HSPICE의 시뮬레이션 결과와 비교하여 평균 상대 오차가 대략 20%정도이다($CL=10fF$, $tT=0.5ns \sim 1.9ns$). 하지만, 이 경우는 I_{min} , t_0 , I_{max} , t_{end} 수치들을 HSPICE를 통해 정확히 추출할 수 있다고 가정할 경우이므로 모형화 오차가 더 커진다. 또한, 주목할 점은 천이 시간이 감소할수록 오차가 큰 쪽으로 증가한다는 점이다. 천이 시간이 0.5ns일 때의 상대 오차가 70%정도이다. 따라서, 본 논문에서는 선형화 방법의 정확성을 향상시키기 위해 그림 3(b)에서 굵은 실선으로 표시된 4개의 선형식을 사용하였다.

이상의 논의를 종합하면, I_{mean} 을 구하는 문제는 t_0 , I_{min} , t_{max} , I_{max} 를 구하는 문제로 귀결되며, 각각에 대한 유도는 아래의 소절에서 다룬다.

1. I_{min} 의 유도

$0 \leq t \leq t_{min}$ 에서 NMOS 트랜지스터는 절단(cut-off) 영역에 있고, PMOS 트랜지스터는 선형 영역에 있으므로 t_{min} 은 NMOS가 문턱 전압에 도달하는 시간인 t_{thn} 값을 갖는다. 따라서, I_{min}

$$I_{min} = \beta_p \left[\left(V_{DD} - \frac{V_{DD}}{t_T} t_{thn} - |V_{thp}| \right) (V_{DD} - V_{out}(t_{thn})) - \frac{1 + \delta_p}{2} (V_{DD} - V_{out}(t_{thn}))^2 \right] \quad (20)$$

이 된다. 식 (20)을 살펴보면, I_{min} 을 구하기 위해서는 먼저 $V_{out}(t_{thn})$ 값을 찾아야 한다. 이 값을 구하기 위해 그림 1(a)의 V_{out} 단에서 KCL을 적용하면 아래와 같은 식을 얻을 수 있다.

$$I_S = \frac{dV_{out}}{dt} (C_L + C_M) - \frac{V_{DD}}{t_T} C_M \quad (21)$$

앞에서 모형화한 단락 전류식 (12), (15), (18)을 식 (21)에 각각 대입한 후 정리하면 $V_{out}(t_{thn})$ 은 식 (22)와 같은 형태가 된다. 여기서, S_{min} 은 위의 방법 A, B, C에서 언급하였듯이, I_{min} 에 대한 일차 방정식이므로, 식 (22)는 I_{min} 에 대한 일차 방정식이 된다.

$$V_{out}(t_{min}) = V_{DD} + \frac{C_M V_{DD} t_{thn}}{(C_L + C_M) t_T} + \frac{S_{min}}{(C_L + C_M)} \quad (22)$$

따라서, 식 (22)를 식 (20)에 대입하면 I_{min} 에 대한 2차 방정식을 얻으므로 I_{min} 은

$$I_{min} = \frac{-a_2 - \sqrt{a_2^2 - 4a_1 a_3}}{2a_1} \quad (23)$$

이 된다. 식 (23)에서 근호 안의 값은 항상 양수 값만 갖는다. 식 (23)에서 a_1 은 방법 A, B, C에 대하여 각각 a_{1A} , a_{1B} , a_{1C} 라 할 때, a_{1A} , a_{1B} , a_{1C} 는

$$a_{1A} = \frac{(1 + \delta_p)(e-2)^2 t_{thn}^2}{2(C_L + C_M)^2} \quad (24-A)$$

$$a_{1B} = \frac{(1 + \delta_p)(\sqrt{e}-1)^2 t_{thn}^2}{2(C_L + C_M)^2} \quad (24-B)$$

$$a_{1C} = \frac{t_{thn}^2 (1 + \delta_p)}{8(C_L + C_M)^2} \quad (24-C)$$

이고, a_2 는 방법 A, B, C에 대하여 각각 a_{2A} , a_{2B} , a_{2C} 라 할 때, a_{2A} , a_{2B} , a_{2C} 는

$$a_{2A} = \frac{1}{\beta_p} + \frac{t_{thn}(e-2)}{(C_L + C_M)} \left\{ V_{DD} - V_{thn} - |V_{thp}| + \frac{C_M V_{thn}(1 + \delta_p)}{C_L + C_M} \right\} \quad (25-A)$$

$$a_{2B} = \frac{1}{\beta_p} + \frac{t_{thn}(\sqrt{e}-1)}{(C_L + C_M)} \left\{ V_{DD} - V_{thn} - |V_{thp}| + \frac{C_M V_{thn}(1 + \delta_p)}{C_L + C_M} \right\} \quad (25-B)$$

$$a_{2C} = \frac{1}{\beta_p} + \frac{t_{thn}}{2(C_L + C_M)} \left\{ V_{DD} - V_{thn} - |V_{thp}| + \frac{C_M V_{thn}(1 + \delta_p)}{C_L + C_M} \right\} \quad (25-C)$$

이고, a_3 는

$$a_3 = \frac{C_M V_{thn}}{C_L + C_M} \left\{ V_{DD} - V_{thn} - |V_{thp}| + \frac{C_M V_{thn}(1 + \delta_p)}{2(C_L + C_M)} \right\} \quad (26)$$

이 된다.

2. I_{max} 의 유도

본 절에서는 I_{max} 를 두 가지 경우에 대하여 유도한다. 즉, PMOS 트랜지스터가 선형 영역에 남아 있는 경우와 포화(saturation) 영역에 남아 있는 경우이다. 두 경우를 나누는 기준은 [9]에서 제안한 방법을 사용한다. 즉, k ($k = t_T \beta V_{DD} / C_L$) 값이 5보다 작거나 같으면 t_{max} 시점에서 PMOS 트랜지스터는 선형 영역에 있고, k 값이 5보다 크면 t_{max} 시점에서 PMOS 트랜지스터는 포화 영역에 있다. 아래의 소절에서는 각 경우에 대한 I_{max} 유도 방법을 자세히 논할 것이다.

(1) PMOS 트랜지스터가 linear 영역에 있는 경우

입력 신호의 천이 시간이 빠른 경우에는 NMOS 트랜지스터가 포화 영역에 있을 때 PMOS 트랜지스터는 여전히 선형 영역에 남아있다. 이 경우의 I_{max} 는

$$I_{max} = \beta_p \left[(V_{DD} - V_{thn} - |V_{thp}|)(V_{DD} - V_{out}(t_{max})) - \frac{1 + \delta_p}{2} (V_{DD} - V_{out}(t_{max}))^2 \right] \quad (27)$$

가 된다. I_{max} 값을 얻기 위해서는 3.1절과 유사하게 $V_{out}(t_{max})$ 를 먼저 구해야 하며, 그러기 위해서는 t_0 를 알아야 한다. [8]에서는 t_0 를 선형적인 기법으로 근사화하였고(그림 3(b)의 A점), 이 값은 실제 값과 비교하여 항상 작게 예측되었고, 평균 상대 오차가 26% 정도이다. 본 논문에서는 그림 2(b)와 같이 단락 전류가 t_0 와 t_{max} 에 대하여 거의 대칭적이라는 가정을 이용하였고, 이 경우 t_0 에 대한 평균 상대 오차가 6% 정도이고, t_{max} 에 대한 평균 상대 오차는 대략 3.7% 정도이다. 이 가정을 이용하여 3.1절에서 설명한 방법과 동일하게 방식으로 $V_{out}(t_{max})$ 을 구할 수 있다. 즉, 그림 1(a)의 V_{out} 단에서 KCL을 적용하면, 식 (28)을 얻을 수 있다.

$$V_{out}(t_{max}) = V_{DD} - \frac{\beta_n t_T}{6 V_{DD}(1 + \delta_n)(C_M + C_L)} \left(\frac{V_{DD} t_{max}}{t_T} - V_{thn} \right)^3 + \frac{C_M V_{DD} t_{max}}{(C_L + C_M) t_T} + \frac{S_{min} + S_{max}}{(C_M + C_L)} \quad (28)$$

식 (28)의 S_{min} 과 S_{max} 에 방법 A, B, C에서 모형화

한 단락 전류식을 대입하면, $V_{out}(t_{max})$ 는 I_{max} 에 대한 일차 방정식이 된다. 이 일차 방정식을 식 (27)에 대입하면, 식 (27)은 I_{max} 에 대한 이차 방정식이 되므로, I_{max} 는

$$I_{max} = \frac{-b_2 - \sqrt{b_2^2 - 4b_1 b_3}}{2b_1}, \quad b_2^2 - 4b_1 b_3 > 0 \quad (29)$$

이 된다. 여기서, b_1 , b_2 , b_3 는

$$b_1 = \frac{t_1(1 + \delta_p)^2}{4} \quad (30)$$

$$b_2 = t_1 t_2 (1 + \delta_p) + \frac{1}{\beta_p} + t_1 \left(V_{DD} - \frac{V_{DD} t_{max}}{t_T} - |V_{thp}| \right) \quad (31)$$

$$b_3 = t_2 \left\{ \frac{(1 + \delta_p)^2}{4} + V_{DD} - \frac{V_{DD} t_{max}}{t_T} - |V_{thp}| \right\} \quad (32)$$

$$t_1 = \frac{S_{max}}{(C_L + C_M) I_{max}} \quad (33)$$

$$t_2 = t_3 \left(\frac{V_{DD} t_{max}}{t_T} - V_{thn} \right)^3 + \frac{S_{min}}{C_M + C_L} + \frac{C_M V_{DD} t_{max}}{(C_M + C_L) t_T} \quad (34)$$

$$t_3 = - \frac{\beta_n t_T}{6 V_{DD}(1 + \delta_n)(C_M + C_L)} \quad (35)$$

이다. 식 (33)과 (34)에 보이는 S_{max} 과 S_{min} 에 방법 A, B, C를 적용하면 t_1 과 t_2 를 구할 수 있다. 식 (29)에서 근호내의 값이 영보다 작은 경우는 PMOS 트랜지스터가 포화된 경우이므로, I_{max} 는 3.2.2절의 방법으로 구할 수 있다.

(2) PMOS 트랜지스터가 saturation 영역에 있는 경우

NMOS 트랜지스터와 PMOS 트랜지스터가 동시에 포화 영역에 있을 경우, 그림 1(a)의 V_{out} 단에서 KCL을 적용한 후 V_{out} 에 대하여 정리하면 아래의 식을 얻을 수 있다.

$$V_{out}(t) = V_{DD} - \frac{\beta_n t_T (V_{in}(t) - V_{thn})^3}{6 V_{DD}(C_M + C_L)(1 + \delta_n)} + \frac{(I_{max} - I_{min})(t - t_{min})^2}{2(t_{max} - t_{min})(C_M + C_L)} + \frac{I_{min}(t - t_{min})}{C_M + C_L} + \frac{C_M V_{in}(t)}{C_M + C_L} + \frac{S_{min}}{C_M + C_L} \quad (36)$$

또한, PMOS 트랜지스터가 포화 영역에 있으므로 식 (9)에 의해 I_{max} 는

$$I_{max} = \frac{\beta_p}{2(1 + \delta_p)} (V_{DD} - V_{in}(t_{max}) - |V_{thp}|)^2 \quad (37)$$

이 되고, t_{max} 는 logic threshold 전압^[14]인 지점이므로 아래 식이 성립한다.

$$V_{out}(t_{max}) = V_{in}(t_{max}) = V_{INV} \quad (38)$$

따라서, 식(36)에 t_{max} 를 대입한 후 그 결과 식에 식 (37)와 (38)을 대입하면 식(36)은 아래와 같이 V_{INV} 에 대한 3차 다항식이 되고,

$$c_1 V_{INV}^3 + c_2 V_{INV}^2 + c_3 V_{INV} + c_4 = 0 \quad (39)$$

여기서, c_1, c_2, c_3, c_4 는

$$c_1 = \frac{t_T}{2V_{DD}} \left\{ \frac{\beta_n}{3(1+\delta_n)} - \frac{\beta_p}{2(1+\delta_p)} \right\} \quad (40)$$

$$c_2 = -\frac{\beta_n t_{thn}}{2(1+\delta_n)} + \frac{\beta_p}{2(1+\delta_p)} \left\{ \frac{t_T(V_{DD} - |V_{thpRIGHT}|)}{V_{DD}} + \frac{t_{thn}}{2} \right\} \quad (41)$$

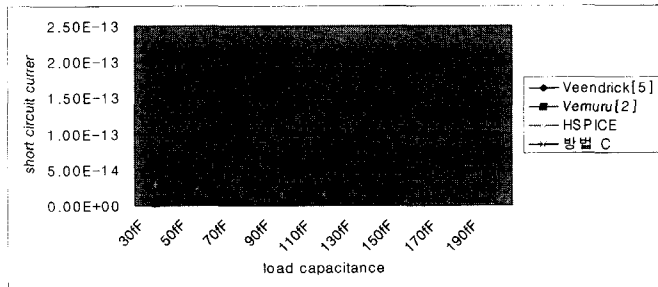
$$c_3 = \frac{\beta_n t_T V_{thn}^2}{2V_{DD}(1+\delta_n)} - \frac{I_{min} t_T}{2V_{DD}} + C_L - \frac{\beta_p(V_{DD} - |V_{thp}|)}{4(1+\delta_p)} \left\{ \frac{t_T(V_{DD} - |V_{thp}|)}{V_{DD}} + 2t_{thn} \right\} \quad (42)$$

$$c_4 = -\frac{\beta_n t_T V_{thn}^3}{6V_{DD}(1+\delta_n)} + \frac{\beta_p t_{thn}(V_{DD} - |V_{thp}|)^2}{4(1+\delta_p)} - V_{DD}(C_L + C_M) \quad (43)$$

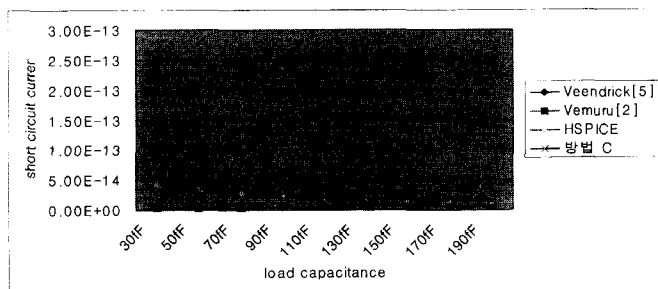
이다. 따라서, I_{max} 는 식 (39)의 근을 구한 후, 그 값을 식 (37)에 대입하면 얻을 수 있다. c_1 의 값이 영이 아니라면, V_{INV} 는 closed form으로 주어진다^[16]. 만약, PMOS와 NMOS 트랜지스터의 parameter에 의해 c_1 의 값이 영이라면, V_{INV} 는 2차 다항식이므로 쉽게 구할 수 있다.

IV. 실험 결과

본 장에서는 제안된 방법을 사용하여 예측한 평균 단락 전류를 HSPICE 시뮬레이션 결과와 두 가지 각도에서 비교한다. 첫 번째 비교는 부하 커패시턴스를 10fF로 고정하고 천이 시간을 0.5ns에서 1.9ns까지 변화시키며 실험하였다. 이때, 방법 A는 평균 43%, 방법 B는 평균 29%의 상대오차를 보였으며 방법 C의 평균 상대 오차가 6.5%이고, 최대 상대오차는 39% 정도였다. 따라서, 본 논문에서는 C방법으로 모형화하는 방법을 선택하였고, 이 방식의 정확성을 파악하기 위해 천이 시간을 0.9ns로 고정하고 부하 커패시턴스를 30fF에서 190fF까지 변화시키면서 수행한 두 번째 결과를 그림 5에 나타냈다. 부하 커패시턴스(C_L)가 감소할수록 HSPICE 결과와의 상대 오차가 증가하였



(a)



(b)

그림 5. 단락 전류의 비교 (a) 천이 시간 : 0.9ns (b) 천이 시간 : 1.1ns

Fig. 5. Comparison of short circuit current estimation.(a) transition time : 0.9ns (b) transition time : 1.1ns

으며 (a)의 경우 평균 상대오차는 13%, 최대 상대오차는 20%이고 (b)의 경우 평균 상대오차가 11%이다. 그림 5에서 [5]의 결과는 HSPICE 결과에 비해 102 차수의 오차를 보였으며(그래프 상의 수치는 결과치에 10-1을 곱한 수치임), 부하 커패시턴스 값에 따른 변화가 없음을 볼 수 있다.

HSPICE(0.5 μ m 공정 parameter 사용)에서의 단락 전류 측정 방법은 HSPICE의 .meas-int-명령문(적분 명령문)을 사용하여 쉽게 얻을 수 있다. 기존의 논문에서는 [15]에 기반한 powermeter를 사용하였지만, 본 논문에서는 측정하고자 하는 회로에 전혀 영향을 주지 않기 위해서 이 방법을 택하였다. 계산을 위해 사용된 MOSFET parameter는 다음과 같다. PMOS의 게이트 길이는 0.5 μ m, 폭은 3.66 μ m, $|V_{thp}|$ 는 826.92 mV, β_p 는 2.0mA/V², δ_p 는 0.24이고, NMOS의 게이트 길이는 0.5 μ m, 폭은 2 μ m, V_{thn} 은 697.82mV, β_n 는 2.0mA/V², δ_n 는 0.326이다.

V. 결 론

본 논문에서는 CMOS 인버터에서 단락 전류로 인한 소모 전력을 측정하기 위하여 필요한, 평균 단락 전류의 양을 예측할 수 있는 수식을 제시하였다. 이 모형화 방법의 특징은 전류 파형을 여러 가지 형태로 모형화 할 수 있으며, 전류 모형화 함수의 선택에 따라 평균 전류식의 매개 변수만 변한다는 점이다. 또한, 게이트-드레인 결합 커패시턴스의 영향을 좀더 정확하게 반영하기 위하여 PMOS 트랜지스터의 동작 영역을 두 구간으로 나누어 수식을 유도하였다.

참 고 문 헌

- [1] Mark C. Johnson, Dinesh Somasekhar, and Kaushik Roy, "Models and algorithm for bounds on leakage in CMOS circuits," IEEE Trans. Computer-Aided Design, vol. 18, no. 6, June 1999, pp. 714-725.
- [2] S. R. Vemuru and N. Scheinberg, "Short-circuit power dissipation estimation for CMOS logic gates," IEEE Trans. Circuits Syst. I, vol. 41, Nov. 1994, pp. 762-765.
- [3] 이재훈, 김택수, 공정택, 이상훈, "Low power VLSI 설계를 위한 Circuit-level Power 해석 환경 개발," ASIC Design Workshop 신진박사 논문 발표대회 및 공개토론회 논문집, 1997년 7월 10일 -11일
- [4] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of propagation delay considering short-circuit current for static CMOS gates," IEEE Trans. Circuits Syst. I, vol. 45, no. 11, Nov. 1998, pp. 1194-1198.
- [5] H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits," IEEE J. Solid-State Circuits, vol. SC-19, Aug. 1984, pp. 468-473.
- [6] N. Hedenstierna and K. O. Jeppson, "CMOS circuit speed and buffer optimization," IEEE Trans. Computer-Aided Design, vol. CAD-6, Mar. 1987, pp. 270-281.
- [7] N. Hedenstierna and K. O. Jeppson, "Comments on 'A module generator for optimized CMOS buffers'," IEEE Trans. VLSI Syst., vol. 3, no. 3, Mar. 1995, pp. 99- 111.
- [8] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of short-circuit power dissipation and its influence on propagation delay for static CMOS gates," in Proc. IEEE Int. Symp. on Circuits and Systems, vol. 4, May 1996, pp. 751-754.
- [9] L. Bisdounis, S. Nikolaidis, and O. Koufopavlou, "Propagation delay and short-circuit power dissipation modeling of the CMOS inverter," IEEE Trans. Circuits Syst. I, vol. 45, no. 3, Mar. 1998, pp. 259- 270.
- [10] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design A Systems Perspective*. New York: McGraw-Hill, 1993. pp. 183-191.
- [11] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*, New York: McGraw-Hill, 1988. pp. 123-130.
- [12] A. Papoulis, *Probability, Random Variables,*

- and Stochastic Processes., International Student Edition, McGraw-hill, pp. 102-105.
- [13] S. Turgis and D. Auvergne, "A novel macromodel for power estimation in CMOS structures," IEEE Trans. Computer-Aided Design, vol. 17, no. 11, Nov. 1998, pp. 1090-1098.
- [14] T. Sakurai and A. R. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas," IEEE J. Solid-State Circuits, vol. 25, Apr. 1990, pp. 584-594.
- [15] S. M. Kang, "Accurate simulation of power dissipation in VLSI circuits," IEEE J. Solid-State Circuits, vol. SC-21, Oct. 1986, pp. 889-891.
- [16] William H. Press, Brian P. Flannery, Saul A. Teukolsky, William T. Vetterling, Numerical Recipes in C, Cambridge University Press, 1990. pp. 156-157.

 저 자 소 개

白宗欽(正會員)

1996년 2월 수원대학교 전자계산학과 학사. 1998년 2월 숭실대학교 전자계산학과 석사. 1998년 2월~현재 숭실대학교 컴퓨터학과 박사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계

鄭承鎬(正會員)

1999년 2월 숭실대학교 컴퓨터학부 학사. 1999년 3월~현재 숭실대학교 컴퓨터학과 석사과정. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계

金錫潤(正會員)

1980년 서울대 공대 전기공학과 학사. 1990년 University of Texas at Austin 전기, 컴퓨터공학과 석사. 1993년 University of Texas at Austin 전기, 컴퓨터공학과 박사. 1982년~1987년 한국 전자통신 연구소 연구원. 1993년~1995년 Motorola Inc., Senior Staff Engineer. 1995년~현재 숭실대학교 컴퓨터학부 교수. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계, 통신 시스템