

論文2000-37SD-11-4

전자주입에 의해 야기되는 MOS 소자의 전류-전압 특성 분석 (Analysis of Current-Voltage Characteristics Caused by Electron Injection in Metal-Oxide-Semiconductor Devices)

全賢求*, 崔成佑*, 安昞澈*, 盧用翰*

(Hyungoo Jeon, Sungwoo Choi, Byungchul Ahn, and Yonghan Roh)

요 약

금속-산화막-반도체 소자의 산화막에 존재하는 느린 준위에 의한 전류반응 특성을 양방향 전류-전압 측정 기술을 적용하여 분석하였다. 게이트 바이어스에 따라 나타나는 충전 및 방전시의 순간전류를 유지시간, 지연시간, 전자주입 방향 및 전자주입량, 그리고 전자 주입 후 상온 방치시간의 함수로서 조사하였다. 느린 준위의 전하교환에 따른 전류 성분을 게이트 전압에 따라 실리콘 내 캐리어의 이동에 의해 나타나는 변위전류와 분리하여 해석하였다. 충전 및 방전시 나타나는 전하교환 전류는 산화막내 정전하 밀도뿐만 아니라 계면준위 밀도에도 크게 의존이 되며, 본 연구에서는 느린 준위의 전하교환 메커니즘을 제시하였다.

Abstract

A simple two-terminal cyclic current-voltage(I-V) technique was used to measure the current-transients in metal-oxide-semiconductor capacitors. Distinct charging/discharging currents were measured and analyzed as a function of the hold time, the delay time, the gate polarity during the FNT electron injection, the injection fluence and the annealing time after the injection had stopped. The charge-exchange current was distinguished from total current-transients containing the displacement current components. Charging/discharging current caused by the charge exchange was strongly dependent not only on the density of positive charges in the SiO₂, but also on the density of interface traps generated during the FNT electron injection. Several tentative mechanisms were suggested.

I. 서 론

실리콘 표면과 산화막간 계면 근처는 구조적으로 급격히 변화되는 영역으로써, 국부적으로 강한 응력(stress)의 존재로 인해 상대적으로 취약한 원자간 결합(Si-O, Si-Si 등)을 가지게 됨으로써 실리콘과 산화막의 경계 영역에 존재하는 계면준위(interface state)와 계면 근처의 산화막 내에 다양한 트랩들(traps)을 함유하게 된다. 이러한 산화막내 불안정한

결합에 의한 결함 및 실리콘 기판과 산화막의 경계에 존재하는 계면 준위들은 게이트 전압의 변화에 따라 실리콘 기판과 전하를 교환할 수 있게 되어 중성과 정전하를 왕복하는 도너형 준위 및 중성과 음의 전하를 왕복하는 억셉터형 준위의 가변전하 특성을 갖게 되는 것으로 알려져 있다^[1,2]. 이러한 트랩 혹은 계면준위들은 전하를 교환함에 있어 수 ns부터 수초에 이르기까지 다양한 시간대에 걸쳐 응답특성이 나타나는 시간 의존성이 관측되어 왔다^[3-6]. 따라서, 개념적으로는 응답속도에 따라 빠른 준위(fast state)와 느린 준위(slow state)로 분류할 수 있으며, 소자의 응용분야에 따라 이들 준위의 시간응답 속도의 개념을 정의할 수 있다. 전하교환에 의한 전류성분에서의 기여가 얼마나 빠르냐 하는 것은 전하교환이 가능한 트랩 혹은 준위

* 正會員, 成均館大學校 電氣電子 및 컴퓨터 工學部
(Sungkyunkwan University, School of Electrical and Computer Engineering)
接受日字:2000年2月15日, 수정완료일:2000年10月31日

의 위치가 캐리어를 공급하는 실리콘 표면으로부터 얼마나 떨어져 있느냐 하는 거리의 함수로 특성 지어 질 수 있기 때문에 일반적으로 계면준위는 빠른 준위, 산화막내 계면 가까이 존재하는 경계영역 내 트랩들은 느린 준위로 작용한다.

특히 계면 가까이에 존재하는 이상정전하(anomalous positive charge)는 느린 준위의 대표적인 것으로, 그의 실체가 아직 명확하게 밝혀지지는 않았지만 Si/SiO₂ 계면으로부터 약 30Å 정도 이내의 산화막내 경계영역에 존재하여 실리콘 기판과 전자를 주고 받음으로써 그때마다 정전하와 중성을 띄게되는 성질을 가지고 있어 도너형의 느린 준위로 불리며, 플랫폼(flatband) 전압의 변화를 초래하고, 소자 동작시 발생하는 1/f noise의 원인이 되고 있다고 알려지고 있다^[1,7,8].

본 논문에서는 이와 같은 이상정전하를 포함한 느린 준위들의 전하교환 특성을 분석하기 위하여 유지시간(hold time), 지연시간(delay time), 전자주입 방향 및 전자주입량, 그리고 전자주입 후 방치시간의 함수로써 조사하였다. 특히 게이트 전압에 의해 유도되는 실리콘내 캐리어의 이동 때문에 발생하는 변위전류(displacement current) 성분과 실제 느린 준위들에 의한 전하교환 전류 성분의 구분을 통해 이상정전하 밀도의 정확한 산출을 시도하였다. 또한 방치시간에 따른 계면준위 밀도의 변화와 반응전류의 경향을 분석함으로써 어닐링 효과를 검토하였고, 아울러 전하교환이 이루어짐에 있어 계면 준위의 역할을 파악함으로써 전하교환 메커니즘을 규명코자 하였다.

II. 소자 제작 및 측정 방식

금속-산화막-반도체(MOS) 캐패시터의 제작은(100) 결정성장 방향 및 4~6Ω·cm의 비저항을 갖는 n형 웨이퍼를 이용하였으며, HF용액으로 웨이퍼 표면에 성장된 자연산화막을 제거한 후 확산로를 이용해 800℃에서 80Å 두께의 전식 실리콘 열산화막(SiO₂)을 성장하였고, 질소 분위기에서 열처리를 실시하였다. 게이트 전극은 세도우 마스크를 이용하여 2000Å 두께의 알루미늄으로 형성하였으며, 웨이퍼 뒷면은 산화막을 제거한 후 약 1500Å 두께의 알루미늄을 증착함으로써 측정시 영향을 줄 수있는 접촉저항을 최소화하였다. 캐패시터의 면적은 1~2×10⁻³cm²을 기준으로 평가하였다.

시간 응답특성의 측정은 HP4140BpA 및 직류 전압원 등을 조합하여 자체 구성한 벤치탑(benchtop) 시스템을 이용하여 전압 변화에 따른 정전용량의 변화 및 전류응답 특성을 동시에 측정하였다. 전압 인가 및 전류 측정 방식을 그림 1에 나타내었는데, 음의 최소 전압 하에서 일정한 시간동안 유지시간(t_h)을 갖게 함으로써 산화막 혹은 계면으로부터 전자가 방출될 수 있도록 한 후, 단계적으로 양의 최대 전압까지 증가시켜 가면서 반응전류를 측정하였다. 같은 방법으로 양의 최대 전압에서도 동일하게 유지시간을 줌으로써 정전하가 방전될 수 있도록 한 후, 단계적으로 음의 최소 전압까지 감소시켜 가면서 반응전류를 측정하였다^[9]. 반응전류 중 빠른 준위 및 느린 준위에 의해 나타나는 전류성분의 구분을 위해 일정한 지연시간(t_d)

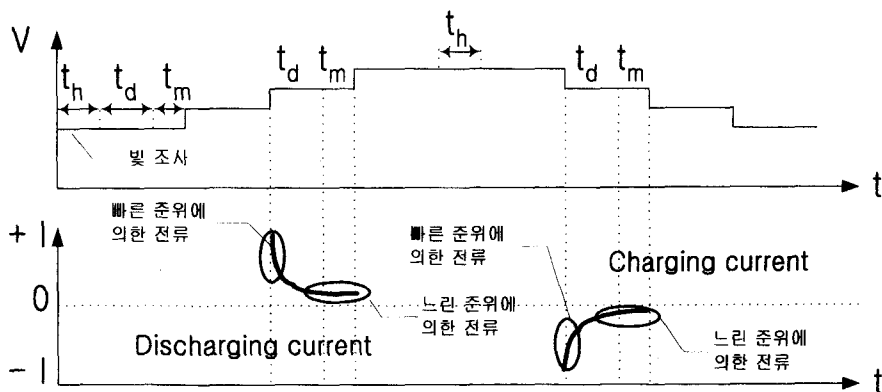


그림 1. 양방향 전압인가 및 전류 측정방식

Fig. 1. A technique for cyclic current-voltage measurement.

이후에 측정을 하였으며, 계측기의 전류 측정을 위한 샘플링 시간(t_m)은 80ms로 설정되었다.

전류-전압 특성의 측정과정에서 게이트 전압은 $\pm 4.5\text{MV/cm}$ 이내로 유지함으로써 Folwer-Nordheim 터널링(tunneling)에 의한 전자주입 및 새로운 트랩의 생성이 더 이상 진행되지 않도록 하였다. 유지시간 및 지연시간에 따른 전류응답 특성의 측정을 제외하고는 느린 준위에 의한 시간 응답 특성의 측정을 위한 유지시간은 5초, 지연시간은 100~400ms, 단계별 전압의 증감(voltage step size, V_s)은 $\pm 40\text{mV}$ 로 설정하였다. 산화막내 정전하가 강화될 때를 충전(charging), 반대로 전자와의 결합에 의해 중성으로 될 때를 방전(discharging)으로 정의하였다. 즉, 게이트 전압이 더욱 음의 방향으로 갈 때를 충전, 반대로 양의 방향으로 이동할 때를 방전으로 하였다. 또한, 게이트 전극으로부터 실리콘 기판 쪽으로의 전류 흐름을 양의 방향으로 정의하였다.

양방향 전류-전압 특성곡선의 전형적인 예를 그림 2에 나타내었다. 게이트 전압을 음의 최소전압에서 양의 방향으로 점점 증가시키면 초기에 음의 전류(①)가 발생하게 되며, 이 음의 전류는 게이트 전압의 증가에 따라 점차 작아지다가 아직 음의 게이트 전압임에도 양의 순간전류(②)가 발생하며, 이후 전류의 반응은 거의 나타나지 않는다. 반대로 양의 최대전압으로부터 전압을 점차 감소시키에 따라 특정 전압에서부터 음의 전류(③)가 미세하게 발생한다. 그림 2에 나타난 전류성분의 해석은 산화막내 결합과 실리콘 기판간의 전하교환에 의한 전류^[3] 또는 게이트 전압 변동에 따른 변위전류 성분^[6]으로 보고된 바 있다.

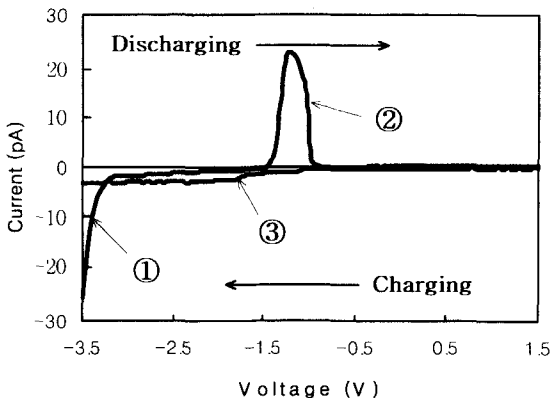


그림 2. 전형적인 양방향 전류(I)-전압(V) 특성곡선
Fig. 2. A typical I-V characteristics.

본 연구에서는 이와 같이 상충된 결과에 대한 새로운 해석을 FNT 전자주입 전과 후로 구분하여 실시하였다. 즉, 일정 전류를 유지하는 FNT 전자주입 방식에 의해 느린 준위 및 빠른 준위 밀도를 전자 주입량의 함수로 조절하면서 전류-전압 특성의 변화를 관측 및 해석하였다.

III. 결과 및 토의

1. 지연시간(t_d)과 유지시간(t_h)에 따른 전류-전압 특성

전압 증가(혹은 감소)후 초기의 짧은 시간동안에는 빠른 준위에 기인한, 상대적으로 매우 큰 순간 전류가 관측된다. 따라서, 느린 준위에 의한 전하교환 전류를 관측하기 위해서 임의의 지연시간을 설정, 일정한 시간이 경과된 후에 전류를 측정하게 되며, 이 결과를 그림 3(a)에 나타내었다. 지연시간이 길어질 수록 반응 전류의 크기는 작아지게 되는데, 이는 그림 1에 나타나 있듯이 시간이 지남에 따라 더욱 느리고 크기가 작은 응답특성을 갖는 전류성분을 측정하기 때문이다. 반응전류 측정을 시작하기 전에 음의 최소 전압을 유지하는 시간(t_h)을 증가시킬 수록 실리콘 표면에 반전층의 형성(소수 캐리어의 축적)이 용이해 지는 특성을 보이는데, 이를 그림 3(b)에 나타내었다. 유지시간이 길어질 수록 양의 반응전류는 더욱 음의 게이트 전압에서 일찍 발생하였으며, 이는 결국 실리콘 기판의 표면에 소수 캐리어들의 축적(반전층 형성)을 더욱 촉진시켜 주는 효과로 해석된다. 즉, 유지시간을 충분히 길게 하여 강한 반전층을 측정 초기에 형성시켜주게 되면 반응전류는 측정이 시작되는 순간부터 나타나게 된다.

이와 동일한 효과를 얻을 수 있는 방법이 유지시간 중 빛을 조사(white-light illumination)하는 방법이다. 빛을 조사하게 되면 실리콘 기판에는 다량의 소수 캐리어(n형의 경우는 정공)가 생성되어 강한 반전층의 형성이 용이하게 된다. 이후 빛을 차단한 후에 게이트 전압을 단계적으로 양의 방향 쪽으로 증가시켜가며 반응 전류를 측정하게 되면, 실리콘 표면에 축적되어 반전층을 형성하고 있던 정공이 점차 실리콘 기판 쪽으로 소멸되면서 양의 전류를 발생하게 된다. 빛을 조사하지 않은 경우와 조사한 경우의 반응전류 특성을 그림 4에 비교하여 나타내었다. 두 곡선의 전류발생 시

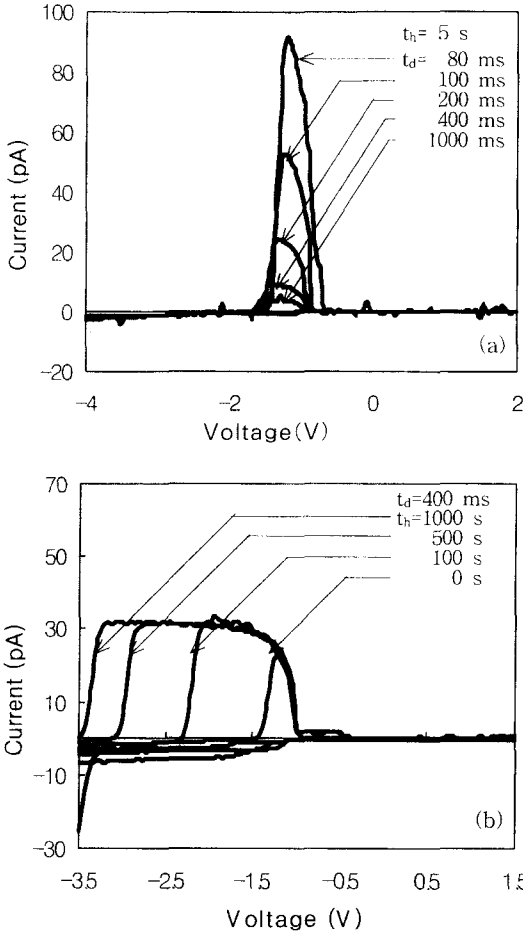


그림 3. 지연시간 (a) 및 유지시간 (b)에 따른 I-V 특성곡선
 Fig. 3. I-V characteristics as a function of delay time (a) and hold time (b).

점은 다르지만 반응전류의 종료시점이 일치하는 것으로 보아, 결국 그림 2의 순간반응전류(②)는 반전층의 형성 후 이의 소멸에 따른 소수캐리어의 기판으로의 이동에 의한 전류성분임을 짐작케 한다. 또한, I-V 특성을 QS(Quasi-static) C-V곡선과 일치시켜 볼 때, 반전층이 소멸되고 공핍층만이 존재하려는 순간(약반전층 영역)에 발생되고 있음을 알 수 있다.

그림 4의 측정시료는 FNT 전자주입이 이루어지기 전의 시료로써, 방전전류만이 관측되고, 충전전류는 거의 관측되지 않았다. 결국 안정한 공정을 거쳐 제작된 소자의 경우라면 별도의 전자주입을 실시하지 않는 한, 방전방향에서의 순간전류는 관측되겠지만 충전방향 전류성분은 거의 관측되지 않을 것이다. 이를 바탕으로 하여 그림 3(a)에서 지연시간이 길어질 수록 좀더

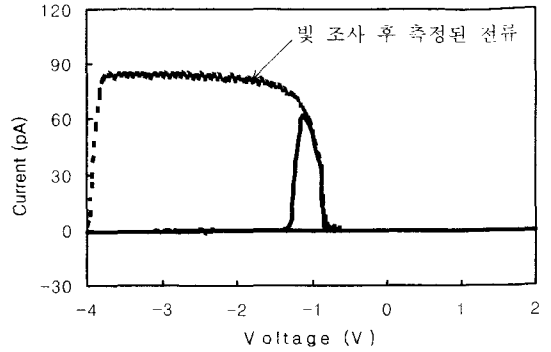


그림 4. 전자주입 전 빛의 조사 유무에 따른 I-V 특성곡선의 비교
 Fig. 4. Effect of light-illumination on I-V characteristics.

음의 전압에서부터 일찍 전류반응이 나타나고 있는 현상을 쉽게 해석할 수 있다. 즉, 지연시간 증가에 따른 상대적 유지시간의 증가 효과로 그만큼 빨리 실리콘 기판의 표면에 반전층이 형성되는 것을 지원해 주기 때문이다. 또한, 그림 2의 방전방향 전류성분(①, ②)과 충전방향 전류성분(③)은 반전층의 형성 및 소멸과 관련된 변위전류 성분임을 알 수 있으며, 식 (1)과 같이 표현될 수 있다.

$$I_d = C_{LF}(V_g) \cdot dV_g/dt \quad (1)$$

2. 전자 주입의 극성 의존성

지금까지 서술된 내용을 토대로 게이트 및 실리콘 기판으로부터 전자를 각각 주입한 후, 전자주입 극성 및 전자 주입량에 따른 반응전류 특성을 연구하였다. 전자의 주입은 각각 0.05C/cm²까지 진행이 되었고, 그 사이에 특성변화의 경향을 파악하기 위하여 전자주입을 중지한 후 QS C-V 특성을 모니터 하였으며, 이의 결과를 그림 5에 나타내었다. 실리콘 기판 대비 게이트 전극으로부터 전자주입시 더욱 심한 QS C-V 특성의 변화가 관측되었다. 특히 반전층에서 공핍층으로 전환되는 순간에 전자주입 전에는 관측되지 않았던 QS C-V 곡선상의 왜곡이 관측되었는데 실리콘 기판으로부터의 전자주입시에는 이러한 현상이 관측되지 않았다.

전자 주입량이 증가함에 따라 이러한 왜곡 발생지점은 더욱 음의 게이트 전압 쪽으로 이동되는 경향이 관측되었으며, 이는 플랫밴드 전압의 이동과 일치하였다. 또한, 게이트로부터 전자주입시 공핍 영역에서의 정전

용량 증가현상이 더욱 뚜렷하게 보이고 있어 상대적으로 계면 준위 밀도가 증가되어 나타남을 알 수 있으며, 실제로 게이트로부터 $0.05\text{C}/\text{cm}^2$ 의 전자주입시 에너지 갭내 중간영역(midgap)에서 $\sim 5.0 \times 10^{13}/\text{cm}^2 \cdot \text{eV}$ 정도의 계면준위 밀도를 나타내었는데, 이는 실리콘 기판으로부터 전자를 주입했을 경우보다 2배 정도 높은 수준이었다.

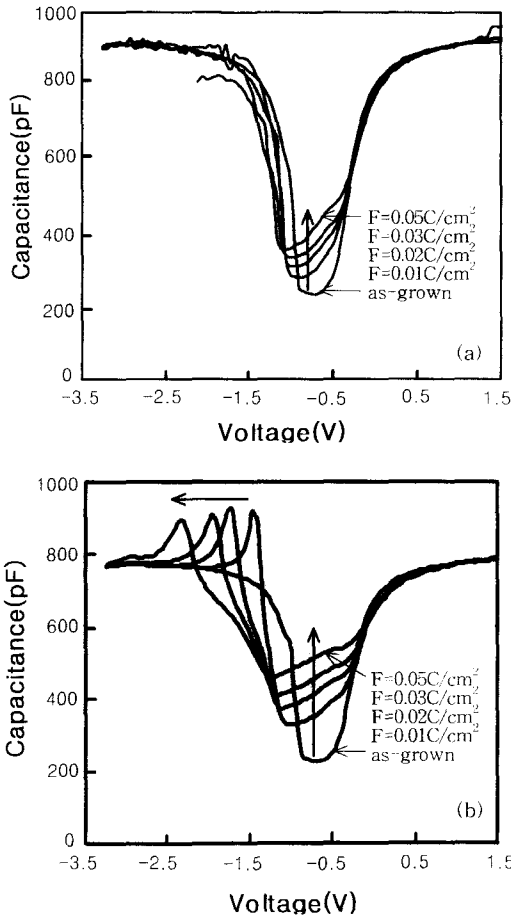


그림 5. 전자주입 극성에 따른 QS C-V 특성곡선($0 \sim 0.05\text{C}/\text{cm}^2$) : (a) 실리콘 기판으로부터의 전자주입 (b) 게이트 전극으로부터의 전자주입

Fig. 5. QS C-V curves measured as a function of gate polarity during electron injection ; (a) electron injection from the Si substrate, (b) electron injection from the gate electrode.

QS C-V 특성곡선에서와 같이 동일 전자주입량에 따른 전류-전압 특성곡선을 그림 6에 나타내었다. 전자주입의 방향에 관계없이 공허 반응전류의 증가 및 반응위치의 이동(음의 방향)이 관측되었으나, 게이트로

부터의 전자주입시 보다 심한 변화의 양상을 보이고 있다. 즉, 전자주입 전에 비해 전자주입 후에 발생전류의 크기가 더욱 증가하고, 전자 주입량이 증가함에 따라 반응전류의 위치가 더욱 음의 방향으로 이동되는 현상이 그것이다. 전자주입량에 따른 플랫폼 전압의 측정결과도 반응전류의 위치 이동과 일치하여 나타났으며, 실리콘 기판 대비 게이트 전극으로부터 전자를 주입할 경우에 더욱 음의 방향으로 이동되고 있는 것으로 미루어 상대적으로 게이트 전극으로부터 전자를 주입할 경우 더욱 많은 양의 정전하가 산화막내에 생성되고 있음을 의미한다. 이러한 이동현상은 QS C-V 곡선에서의 왜곡, 즉 정전용량의 이상 증가 현상($C \propto dQ/dt$)이 나타나는 순간의 게이트 전압과 일치됨을 확인하였다. 특히, 충전방향의 경우에는 전자 주입량에 따라 반응전류의 크기도 비례하여 증가되는 현상을 나타낸 반면, 방전방향의 경우에는 전자주입($0.01\text{C}/\text{cm}^2$) 초기에는 반응전류의 크기가 증가되었으나 그 이후에는 전자 주입량이 증가하여도 더 이상 증가됨이 없이 포화되는 경향을 보였다. 이는 전하교환의 메커니즘과 매우 관련이 깊은 것으로 보이며, 5절에서 자세히 다루었다.

3. 느린 준위에 의한 전하교환 전류의 구분 및 밀도의 계산

그림 6에 나타낸 전류의 반응에서 특기할 만한 것은, 전자주입 전에는 충전방향의 전류가 거의 발생하지 않았으나 전자주입 후에는 반응전류가 관측되며, 이후 전자 주입량이 증가함에 따라 크기가 더욱 증가되고 있다는 것이다. 이러한 결과가 전하교환에 의한 것이라면 전하교환 메커니즘에 의존해 그 크기는 다를 수 있더라도 방전방향과 충전방향에서 대칭적으로 나타날 것이 기대된다. 따라서, 전자 주입 전에 나타나는 방전방향의 반응전류는 전하교환에 의한 전류라고 보기가 어렵다고 판단, 이의 식별을 위해 빛의 조사를 통한 변위전류와의 구분을 시도하였다. 그림 7은 $1 \times 10^{-3}\text{cm}^2$ 의 면적을 갖는 캐패시터에 게이트로부터 $0.3\text{C}/\text{cm}^2$ 의 전자주입 전·후 및 빛의 조사 유무에 따른 전류-전압 특성곡선을 서로 비교한 것이다. 그림 4에서처럼 유지시간 중에 빛을 조사(2~3초)하여 반전층을 충분히 형성시키고 난 후, 다시 빛을 차단한 상태에서 게이트 전압을 단계적으로 증가시켜 가며 반응전류를 측정하면, 실리콘 기판의 표면에 축적되었던 소수 캐리어인 정공이 상대적으로 약화되는 게이트 전위

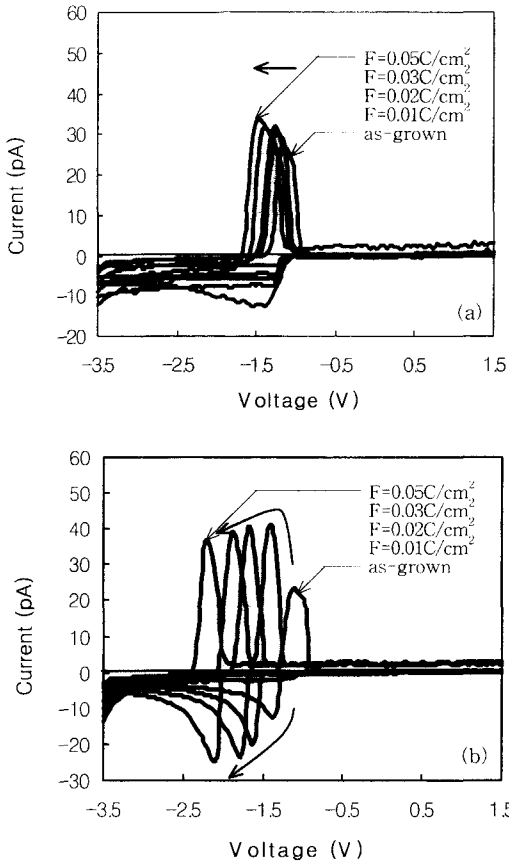


그림 6. 전자 주입량에 따른 I-V 특성곡선($t_h = 5s$, $t_d = 200ms$): (a) 실리콘 기판으로부터의 전자주입 (b) 게이트 전극으로부터의 전자주입

Fig. 6. I-V characteristics as a function of injection fluences ; (a) electron injection from the Si substrate, (b) electron injection from the gate electrode.

(potential)에 의해 기판 쪽으로 소멸됨에 따라 변위전류 성분인 양의 전류가 발생하게 된다. 그러나 전자주입 후 방전전류가 오른쪽 끝에서 왜곡되는 현상을 보이고 있다. 빛 조사시 나타나는 이 왜곡된 부분은 전자주입 전에 나타났던 반응전류 대비 증가되어 나타나는 데(그림 7의 A, B 부분), 이 증가 분이 바로 느린 준위의 전하교환에 의한 전류(I_{ex} , charge-exchange current) 성분으로, 다음과 같이 변위전류와 구분하여 나타낼 수 있다.

$$I_{total} = I_d + I_{ex} \quad (2)$$

$$I_{ex} = \int_{V_1}^{V_2} I'_{L} dx - \int_{V_1}^{V_2} I_L dx = \int_{V_1}^{V_2} (I'_{L} - I_L) dx \quad (3)$$

여기서, I_{total} 은 총 반응전류, I_d 는 변위전류 성분,

I_{ex} 는 전하교환에 의한 전류성분, V_1 은 빛 조사시 측정 시작점의 게이트 전압, V_2 는 전자주입 전·후에 빛 조사시 나타나는 반응전류 교차점에서의 게이트 전압, I_L 은 전자주입 전에 빛 조사시 전류, I'_{L} 은 전자주입 후에 빛 조사시 전류를 각각 의미한다. 따라서, 전자주입 전에 나타나는 반응전류는 대부분 변위전류 성분이며, 이때의 계면준위 밀도(D_{it})는 midgap에서 $1 \times 10^{12}/cm^2$ -eV이하의 수준을 나타내었다.

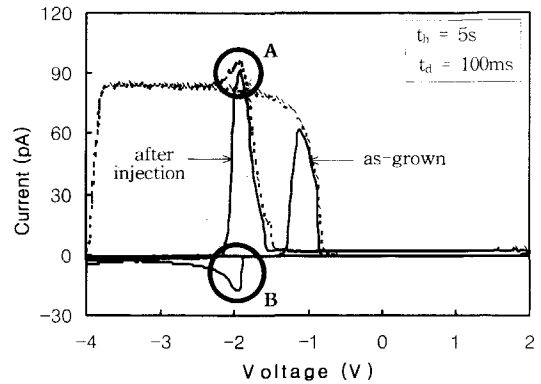


그림 7. 게이트로부터 $0.3C/cm^2$ 의 전자주입 전후, 빛의 조사 유무에 따른 I-V 특성 곡선의 비교(실선: 빛을 조사하지 않은 경우, 점선: 빛을 조사한 경우). 여기서, A는 방전시 전하교환 전류를, B는 충전시 전하교환 전류를 나타낸다.

Fig. 7. I-V characteristics measured with/without light-illumination after gate FNT electron injection with $Flu = 0.3C/cm^2$. (solid line: without illumination, dotted line: with illumination)

전하교환에 의해 전류 발생에 기여하는 산화막내 느린 준위의 밀도는 식 (4)와 같이 나타낼 수 있고^[9], QS C-V 곡선으로부터 게이트 전압의 변화에 따른 실리콘 표면에서의 표면전위(surface potential)는 Berglund에 의해서 제안된 방법^[10]을 이용하면 식 (5)와 같이 표현될 수 있다.

$$D_{ss} = \frac{J}{q\Delta E} \quad (4)$$

$$\psi_s = \psi_{so} + \int_{V_{so}}^{V_s} \left[1 - \frac{C_{LF}(V_g)}{C_{ox}} \right] dV_g \quad (5)$$

여기서, D_{ss} 는 느린 준위 밀도($cm^{-2}eV^{-1}s^{-1}$), J 는 전류밀도(A/cm^2), q 는 전자의 전하량, ΔE 는 실리콘 표면에서의 Fermi 준위 변화, ψ_s 는 표면전위를 각각 나타낸다.

따라서, 실리콘 표면전위로부터 주어진 게이트 전압에 대응되는 실리콘 표면에서의 Fermi 에너지를 구할 수 있고, 결국 산화막내 느린 준위의 밀도를 실리콘 표면에서의 Fermi 에너지의 함수로써 나타낼 수 있는데, 이 결과를 그림 8 및 그림 9에 각각 나타내었다.

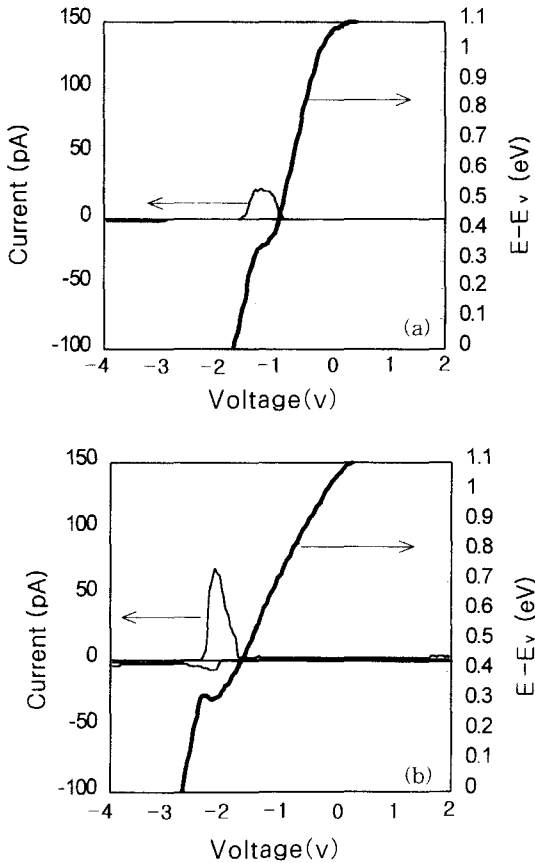


그림 8. 게이트 전압에 따른 실리콘 표면에서의 Fermi 에너지 분포(n형) 및 반응 전류 분포(면적: $1 \times 10^{-3} \text{cm}^2$, $t_h = 5\text{s}$, $t_d = 200\text{ms}$): (a) 전자주입 전 (b) 게이트로부터 $0.1\text{C}/\text{cm}^2$ 의 전자주입 후
 Fig. 8. Fluctuation of Fermi energy at the Si surface and currents ; (a) before electron injection, (b) after electron injection with $\text{Flu} = 0.1\text{C}/\text{cm}^2$.

게이트 전압이 증가되면서 에너지 밴드갭(bandgap) 내 에너지 준위의 위치($E-E_v$)가 증가하다가 일시적으로 감소하는 파동(fluctuation) 현상이 발생하고 있음을 확인할 수 있었다. 반응전류는 바로 이 왜곡된 부분에서 발생하고 있으며, QS C-V곡선에서의 왜곡현상이 이부분과 일치하고 있다. 즉, 계면준위에 채워져 있던 전자들이 특정 에너지 대역이 되면 산화막내 느

린 준위와 관련된 결합으로의 터널링에 의해 소멸됨으로써 일시적으로 실리콘 표면에서의 에너지 준위 ($E-E_v$)가 파동치는 현상을 보이는 것으로 사료된다. 측정된 시료들은 전반적으로 실리콘 표면에서의 Fermi 에너지가 가전자대로부터 약 $0.35 \sim 0.40\text{eV}$ 정도 높은 영역에서 전하교환 전류가 관측되었다. 방전과 충전시 기여하는 느린 준위 밀도의 분포를 비교할 때, 방전시 반응밀도는 지연시간에 따른 의존성이 큰 반면, 충전시에는 의존성이 거의 관측되지 않았다. 이는 반응 메커니즘과 밀접한 관련이 있는 것으로 보이며, 5절에서 자세히 다루었다.

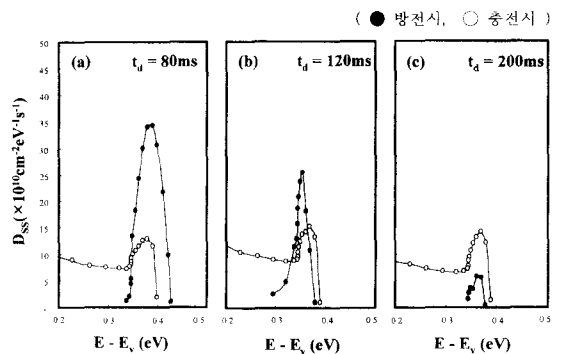


그림 9. 실리콘 표면에서의 Fermi 에너지($E-E_v$)의 함수로 본 지연시간별 느린 준위 밀도 (게이트로부터 전자주입량: $0.1\text{C}/\text{cm}^2$, 면적: $1 \times 10^{-3} \text{cm}^2$, $t_h = 5\text{s}$)
 Fig. 9. Density of slow states as a function of $E-E_v$ at the Si surface.

4. 전자주입 후 방치시간에 따른 C-V 곡선 및 I-V 특성 변화

게이트 전극으로부터 $0.1\text{C}/\text{cm}^2$ 의 전자주입후, 게이트 전압을 인가하지 않은 상태에서 상온 방치시간에 따른 C-V 곡선 및 I-V 특성의 변화를 관측하였다. 이 결과를 그림 10에 나타내었는데, 시간이 지날수록 전자주입 전에 관측된 C-V 및 I-V 값의 방향으로 이동되는 것이 확인되었다. 즉, I-V 특성 곡선에서 나타나는 반응전류 발생 지점의 점진적 양의 방향 이동현상 및 QS C-V 곡선상의 공핍영역 부근에서의 정전용량 감소현상이 관측되었다. 특히, I-V 특성곡선의 경우는 전자 주입량의 증가에 따른 반응 전류의 경향을 정확히 거슬러 나타나고 있음을 확인할 수 있었다. 전반적으로 반응 전류의 위치가 양의 방향으로 회복되고 있는 것은 산화막내 생성되었던 양의 전하밀도가 상온 방치에 따라 감소(anneal)되고 있음을 의미하

며, 이는 플랫밴드 전압의 감소경향과 일치하였다. 동시에, 충전방향의 전류는 방치시간이 지남에 따라 크기가 계면준위 밀도와 비례하여 점차 감소되고 있음을 확인할 수 있었다. 이는 느린 준위와 실리콘 기판 내 전자와의 상호작용(전하교환)에 있어 계면준위가 주된 통로 역할을 하고 있기 때문인 것으로 사료된다.

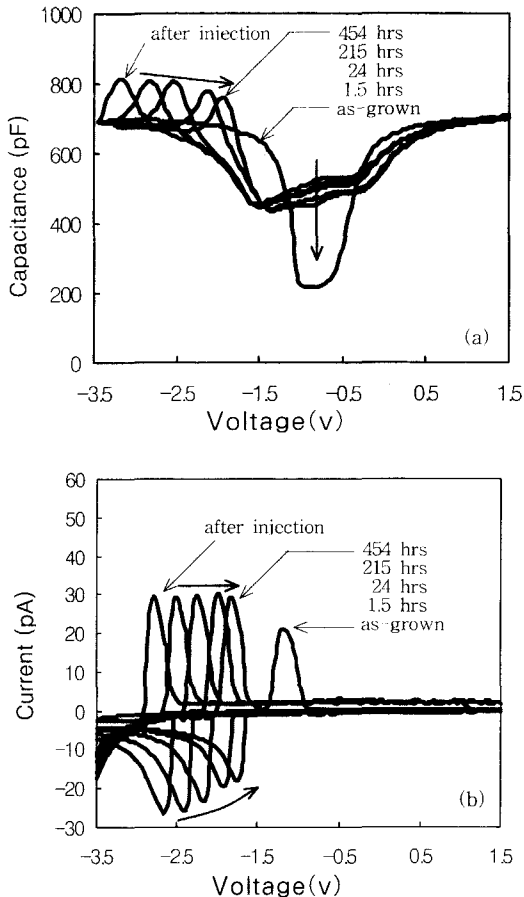


그림 10. 게이트 전극으로부터 $0.1C/cm^2$ 의 전자주입 후 상온 방치에 따른 C-V 특성 및 I-V 특성의 변화($t_h = 5s$, $t_d = 200ms$)

Fig. 10. Time-dependent C-V and I-V characteristics after gate electron injection with fluence of $0.1C/cm^2$ had stopped.

5. 전하교환 전류의 발생 메카니즘

이상의 결과를 토대로 할 때, FNT 전자 주입을 실시한 경우 게이트 전압의 변화에 따라 산화막내 느린 준위는 충전과 방전을 반복하면서 이에 상응하는 전류(전하교환 전류)를 발생시키는 것으로 사료된다. 이러한 산화막내 느린 준위와 실리콘 기판간에 이루어지는 전하교환은 반전층(inversion layer)으로부터 소수 캐

리어가 소멸되어 공핍층 만이 존재하게 되는 순간의 게이트 전압 지점에서 발생되고 있음을 확인할 수 있었고, 이때 실리콘 표면에서의 Fermi 에너지 준위(E_{fs})는 $0.35 \sim 0.40eV$ 범위에 분포하였다.

그림 11은 방전과 충전시의 전하 분포와 움직임을 에너지 밴드 다이어그램으로 나타낸 것이다. 그림 11(a)에 나타낸 방전 과정에서는 게이트 전압을 음의 최소전압에서 일정 시간동안 유지하여 표면에서의 Fermi 에너지를 가전자대(E_v) 근처에 위치시키므로써 산화막내에 포획된 전자를 실리콘 기판 쪽으로 방출시킨 후, 양의 방향으로 점차 증가시키면서 반응전류를 측정하게 된다. 게이트 전압이 점차 양의 방향으로 증가되면 실리콘 표면에서의 Fermi 에너지 준위도 전도대역 쪽으로 이동(그림 9 참조)하게 되며, 이는 곧 밴드갭 내에 존재하는 계면준위들이 전자들로 채워진다는 것을 의미한다. 게이트 전압이 점차 증가하여 실리콘 표면에서의 Fermi 에너지 준위가 일정 수준이 되면(그림 9의 $\sim 0.35eV$) 계면준위에 채워져 있던 전자들은 산화막내 계면 근처에 존재하는 이상정전하를 포함한 트랩으로의 터널링이 일어나게 되는 것으로 보인다. 따라서, 방전 과정에서의 반응은 전자들로 채워져 있는 계면준위로부터 이미 유지시간 등에 의해 비워져 있는 산화막내 느린 준위와 관련된 벌크트랩(bulk traps)으로의 터널링이 되는 것이므로, 상대적으로 반응속도가 충전과정에 비해 빠를 것으로 예상된다.

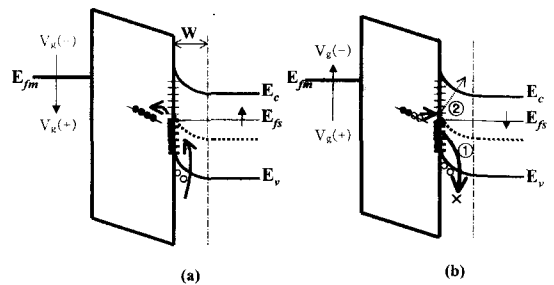


그림 11. 전하교환 메카니즘 및 경로: (a) 방전 (b) 충전 Fig. 11. Charge-transfer mechanism; (a) discharging and (b) charging.

반면 충전의 경우에는, 양의 최대 게이트 전압조건에서 일정한 유지시간을 가짐으로써 산화막내 느린 준위와 관련된 벌크트랩은 거의 전자들로 채워진 상태(filled states)를 가지게 되고, 이후 게이트 전압을 점차 음의 전압 방향으로 감소시켜 가며 반응전류를 관

측하는 과정이 된다. 실리콘 표면에서의 Fermi 에너지 준위가 방전 반응이 있었던 동일 에너지 준위가 되면, 이때는 전자로 채워져 있는 산화막내 벌크트랩으로부터 비워져 있는 계면준위(empty interface states)로의 터널링 과정이 될 것이므로, 선행조건으로서 계면준위가 비워져 있어야만 한다. 계면준위는 일시에 비워질 수는 없고, 게이트 바이어스의 변화에 따라 단계적으로 비워질 것이므로 비어 있는 계면준위 밀도는 제한적이 될 수밖에 없어 상대적으로 방전 과정에 비해 반응 속도가 느려질 것으로 예상이 되며, 실제로 그림 6, 그림 7, 그림 9 및 그림 10에서 충전 전류의 꼬리부분이 상대적으로 길게 나타남을 관측할 수 있다.

이와 같이 산화막으로부터 터널링되어 온 전자들 중 일부는 공핍층 전계에 의해 가속되어 높은 에너지를 얻게 됨으로써 그림 11의 경로 ②와 같이 전도대의 자유전자로 될 가능성도 있었지만^[11], 이 순간에 실리콘 표면준위는 매우 낮아져 있는 상태로 그 가능성이 희박하며, 설사 무시할 수 없을 정도로 하더라도 다수 캐리어인 전자에 의한 반응전류는 매우 빠르므로 본 실험에서 설정한 지연시간 후에는 검출되지 않을 것이다. 따라서, 대부분의 터널링되어 온 전자들은 이제 막 실리콘 표면으로 반전층 형성을 위해 축적되는 소수 캐리어인 정공과의 재결합(recombination)에 의해 상대적으로 게이트 바이어스에 상응하는 실리콘 표면에서의 정공농도 저하를 초래하게 되고, 정상상태(steady state)의 유지를 위한 소수 캐리어의 생성(generation) 및 기판으로부터의 이동에 의한 전류성분이므로 느린 전류의 반응이 나타나는 것으로 보인다. 따라서, 일정한 지연시간 후에 나타나는 반응전류는 그림 11의 경로 ①에 의한 성분이 지배적일 것으로 사료된다.

그림 6 및 그림 10에서와 같이 전자 주입량이 증가함에도 방전 방향에서의 최대 반응전류가 충전전류의 경우처럼 더 이상 증가하지 않고 포화되는 경향을 나타내는 것은 전자주입에 의해 산화막내 이상정전하 밀도가 증가하여 계면에서의 국부 전계(localized electric field)가 강화되는 것과 더불어, 계면준위 밀도도 증가하게 됨으로써 전자의 공급도 상대적으로 원활해 지기 때문에 더욱 빠른 반응 속도를 갖는 것으로 사료된다^[12]. 즉, 그림 9에 나타난 지연시간별(80~200ms) 전류반응에 기여한 느린 준위 밀도를 비교해

보면, 충전전류에 기여한 밀도의 변화는 거의 없는 반면, 방전전류에 기여하는 밀도는 200ms 대비 80ms에서 약 7배 정도 높게 나타나고 있어 상대적으로 지연시간에 대한 민감도가 매우 높아 이의 가능성을 확인시켜 주고 있다. 반면, 충전방향에서의 반응전류는 전자 주입량의 증가에 따라 최대 전류의 크기가 점차 증가하고 있어 방전방향 전류와는 차별화 되고 있음을 알 수 있다. 이는 전술한 바와 같이, 계면준위 밀도의 증가와 매우 밀접한 관계를 가지고 있다. 전자 주입량에 비례하여 산화막내 생성되는 이상정전하 밀도는 증가하게 되므로, 터널링 되어 나올 수 있는 빈 준위(empty states)의 밀도, 즉 계면준위 밀도만 높다면 반응전류의 크기는 이에 비례해서 증가하게 될 것이다. 이러한 충전전류 크기와 계면준위 밀도의 상관관계는 그림 10에 나타난 전자주입 후 상온 방치시간에 따른 QS C-V 특성곡선과 I-V 특성곡선에서도 잘 일치됨을 확인할 수 있었다.

결론적으로 산화막내 이상정전하의 충전과 방전에 있어서 계면준위의 역할이 매우 중요하고, 실제로 전하교환이 일어나는 과정에서 중간 경로 역할을 하고 있으므로^[13] 느린 준위에 의한 영향을 최소화하기 위해서는 느린 준위와 관련된 산화막내 결함을 감소시키는 것 이외에도 적절한 계면준위 밀도의 관리가 요구된다.

IV. 결 론

산화막내 계면 가까이에 존재하는 이상정전하(느린 준위)의 충방전시 나타나는 전류를 양방향 전류-전압 측정법을 이용해 반응시간(t_a , t_b), 전자주입 방향, 전자주입량 및 상온 방치시간 등의 함수로써 분석하였다. 유지시간 중 빛의 조사를 통해 총반응전류중 변위전류 성분을 제외한 순수 전하교환전류 성분을 분리해낼 수 있었으며, 지연시간별 느린 준위 밀도를 실리콘 표면에서의 Fermi 에너지의 함수로써 나타낼 수 있었다. 전자주입의 극성 의존성 관측결과, 실리콘 기판 대비 게이트 전극으로부터의 전자 주입시 산화막내 정전하의 생성을 더욱 증가시키는 방향으로 나타났으며, 이로 인해 플랫밴드 전압이 더욱 음의 값을 갖는 것과 일치하여 반응전류도 더욱 음의 게이트 전압에서 나타났으며, 반응전류의 크기도 아울러 증가되는 경향을 보였다. 전하교환 전류 성분은 충전시와 방전시로 구

분되어 비대칭적으로 관측될 뿐만 아니라 각각의 전하 교환 특성도 차이가 있었다. 즉, 방전시에는 계면준위 밀도 및 산화막내 이상정전하 밀도가 증가함에 따라 더욱 빠른 전하교환 특성을 보이는 반면 반응전류의 크기는 일정 수준을 유지하고, 충전시에는 반응전류의 크기가 계면준위 밀도에 비례하여 증가하는 반면 전하 교환에 기여하는 느린 준위의 밀도는 관측된 범위의 지연시간 내에서 일정한 수준을 유지하였다. 이러한 비대칭적 반응특성의 해석을 토대로 하여 산화막내 이상정전하와 실리콘 기판간에 일어나는 전하교환의 메커니즘을 제시하였다.

참 고 문 헌

- [1] Y. Roh, L. Trombetta, and J. Stathis, "New model of a common origin for trapped holes and anomalous positive charge in MOS capacitors", *Microelectronic Engineering*, vol. 22, no. 1-4, p. 227-230, 1993.
- [2] A. J. Leles, H. E. Boesch, T. R. Oldham and F. B. McLean, "Reversibility of trapped-hole annealing", *IEEE Trans. Nucl. Sci.*, vol.35, no.6, p.1186-1191, 1988.
- [3] Ze-Qiang Yao, S. Dimitrijevic, P. Tanner, and H. B. Harrison, "Slow current transients in metal-oxide-semiconductor capacitors", *Appl. Phys. Lett.*, vol. 66, no. 19, p. 2510-2512, 1995.
- [4] K. G. Druijf, J. M. M. de Nijs, E. van der Drift, E. H. A. Granneman, and P. Balk, "Slow states in vacuum ultraviolet irradiated metal-oxide-silicon systems", *J. Appl. Phys.*, vol. 79, no. 3, p. 1505-1510, 1996.
- [5] K. G. Druijf, J. M. M. de Nijs, E. van der Drift, E. H. A. Granneman, and P. Balk, "Charge exchange mechanisms of slow states in Si/SiO₂", *Microelectronic Engineering*, vol. 22, p. 231-234, 1993.
- [6] Stephen J. Fonash, Milagros Ozaita, and Osama O. Awadelkarim, "Detection and comparison of localized states produced in poly-Si/ultra-thin oxide/silicon, structures by plasma exposure or plasma charging during RIE", *J. Appl. Phys.*, vol. 79, no. 4, p.2091-2096, 1996.
- [7] Joseph F. Stephany, "A theory of 1/f noise", *J. Appl. Phys.*, vol. 83, no. 6, p. 3139-3142, 1998.
- [8] T. L. Meisenheimer and D. M. Fleetwood, "Effect of radiation-induced charge on 1/f noise in MOS devices", *IEEE Trans. Nucl. Sci.*, vol. 37, no. 6, 1990.
- [9] P. Tanner, S. Dimitrijevic and H. B. Harrison, "Technique for monitoring slow interface trap characteristics in MOS capacitors", *Electronics Letters*, vol. 31, no. 21, p. 1880-1881, 1995.
- [10] C. N. Berglund, "Surface states at steam-grown Si/SiO₂ interfaces", *IEEE Trans. Elec. Dev.*, vol. ED-13, p. 701, 1966.
- [11] S. Dimitrijevic, P. Tanner, Ze-Qiang Yao, and H. B. Harrison, "Slow state characterization by measurements of current-voltage characteristics of MOS capacitors", *Microelectronic Reliability*, vol. 37, no. 7, p. 1143-1146, 1997.
- [12] R. E. Paulsen, R. R. Siergiej, M. L. French, and M. H. White, "Observation of near-interface oxide traps with the charge-pumping technique", *IEEE Elec. Dev. Lett.*, vol. 13, no. 12, p. 627-629, 1996.
- [13] K. Yamabe and Y. Miura, "Discharge of trapped electrons from MOS structure", *J. Appl. Phys.*, vol. 51, no. 12, p. 6258-6272, 1980.

저 자 소 개



全 賢 求(正會員)

1958년 12월 21일생. 1984년 2월 경북대학교 전자공학과 학사. 2001년 2월 성균관대학교 전기전자 및 컴퓨터 공학부 석사(예정). 1983년 12월~현재 (주) 삼성전자 System LSI사업부 품질보증팀 재직중(수

석). 주관심분야는 실리콘 반도체 소자 및 공정기술, 소자 신뢰성 기술



崔 成 佑(正會員)

1975년 3월 28일생, 1998년 2월 성균관대학교 전기전자 및 컴퓨터 공학부 학사. 2000년 2월 성균관대학교 전기전자 및 컴퓨터 공학부 석사. 2000년 5월~현재 (주)이수 세라믹 연구소 엔지니어 재직중.

주관심분야는 실리콘 반도체 소자 및 공정기술, RF 회로 및 부품



安 暎 澈(正會員)

1974년 5월 26일생. 1997년 2월 성균관대학교 전기전자 및 컴퓨터 공학부 학사. 1999년 2월 성균관대학교 전기전자 및 컴퓨터 공학부 석사. 주관심 분야는 실리콘 반도체 소자 및 공정기술, 유전체 박막

특성연구

盧 用 翰(正會員)

第 35卷 D編 第 7號 參照

성균관대학교 전기전자 및 컴퓨터 공학부 부교수