

論文2000-37SD-10-10

W-CDMA 응용을 위한 전력과 면적에 효율적인 1:4 보간 저역통과 여파기 설계

(Design of a Power and Area Efficient 1:4 Interpolation FIR Filter for W-CDMA Applications)

柳根壯*, 鄭正和*

(Keun-Jang Ryoo and Jong-Wha Chong)

요 약

본 논문은 분할된 look up table(LUT) 구조를 갖는 전력 소모 및 면적에 효율적인 보간 저역통과 여파기의 설계에 관한 것이다. 제안한 보간 여파기는 계수 대칭성과 LUT 데이터들의 대칭성을 이용하여 면적이 최소화된다. 최소의 면적으로 위상에 따라 분할된 LUT는 두개의 여파기가 공유하고 선택적으로 활성화됨으로써 저 전력 동작을 수행한다. 제안된 여파기는 5.0V 0.6 μ m CMOS 공정으로 설계되었으며 전력 소모 시뮬레이션은 Powermill을 사용하여 수행하였다. 기존에 제안된 여파기들과의 비교 실험 결과를 통하여 제안한 필터의 전력 소모는 26% 감소하였고 게이트 면적은 5% 감소하였음을 보인다.

Abstract

This paper presents the design and simulation of a power and area efficient interpolation FIR filter with partitioned look up table(LUT) structure. Using the symmetry of the filter coefficients and the contents of the LUT, the area of the proposed filter is minimized. The two filters share the partitioned LUT and activate the LUT selectively to realize the low power operation. The proposed filter has been designed in a 5.0 Volts 0.6 μ m CMOS technology. Power consumption results have been obtained from Powermill simulations. Experimental results suggest that the proposed filter reduces both the power consumption by 28% and simultaneously the gate area by 5% simultaneously compared to the previously proposed filters.

1. 서 론

휴대 통신 분야에 있어서, 휴대 단말기의 배터리 수명을 연장하기 위하여 전력 소모를 최소화하는 것은 중요하다. IMT-2000 규격의 하나인 W-CDMA 방식에서 이동 단말기의 변조 방식으로 3개 채널의 QPSK(quadrature phase shift keying)를 사용한다. 펄스 성형용(pulse-shaping) 1:4 보간(interpolated) 여파기(filter)가 심벌(symbol)간의 간섭(interference)

을 줄이기 위하여 각각의 대역제한(bandlimit) QPSK 변조기(modulator)에 사용된다. 채널당 동상성분(I-phase)과 직교성분(Q-phase)에 대한 2개의 여파기를 사용함으로써 전체 6개의 대역제한 여파기가 필요하다^[1]. 그러므로, 송신부의 전력 소모를 감소시키기 위해서는 일반적으로 전체 모듈레이터의 전체 전력 소모 중 많은 부분을 소모하는 보간 여파기의 저 전력화가 요구된다. 많은 전력 소모가 보간 여파기에서 발생하는 이유는 전체 모듈레이터에서 여파기가 차지하는 면적이 크고, 보간 동작으로 인하여 여파기의 출력 발생률이 입력보다 여러 배 높은 주파수로 동작하기 때문이다.

기존의 보간 여파기는 ROM 기반 LUT^[2], 게이트(gate)로 구성된 LUT^[2], 트랜스버설(transversal) 구

* 正會員, 漢陽大學校 電子工學科

(Department of Electronic Engineering, Hanyang University)

接受日:2000年8月8日, 수정완료일:2000年10月4日

간^[5]등을 이용하여 구현되었다. ROM 기반 LUT를 포함하는 여파기를 단일 칩으로 구현하면 큰 면적과, 높은 전력 소모 그리고 공정의 복잡도가 발생한다. 이러한 ROM을 이용한 구조의 여파기에서 LUT는 전체 여파기의 99%까지의 면적을 차지하기도 한다^[1]. 그러므로 저 전력 여파기를 위해서는 최소화된 LUT가 요구되며 이를 위해 단일 구조 2채널 여파기(single-architecture dual-channel)에서는 게이트를 사용하여 LUT를 구성하였다^[2]. 단일 구조 2채널 여파기에서는 4개의 여파기가 길이가 다른 파이프라인 형태의 레지스터를 사용하여 위상에 따라 분리된 4개의 LUT를 공유하면서 여파기 기능을 수행한다. 이 구조는 QPSK방식을 사용하는 변조기에서 2개의 채널에 대한 4개의 여파기를 효과적으로 구현할 수 있으나 3개의 채널을 사용하는 W-CDMA와 같은 시스템에서는 효과적이지 못하다. 다상(poly phase)을 이용하는 트랜스버설 구조에서는 입력 데이터열을 위상에 따른 여파기 계수와 곱하여 중간 값을 연산한다. 연산된 중간 결과 값은 순차적으로 파이프라인 방식의 레지스터로 전파되며 연산이 반복되며 최종 단의 레지스터를 통하여 여파기의 결과 값이 출력된다. 구조상 연산기의 수와 중간 레지스터의 수가 많아 면적 및 전력 소모면에서 효율적이지 않다.

이와 같이 W-CDMA 시스템에 적용되는 송신부의 전력 소모의 효율성을 높이기 위해서는 기존의 여파기를 개선한 저 전력 동작을 수행하는 보간 여파기가 요구된다. 본 논문에서는 전력 소모를 발생시키는 신호선의 천이(transition) 회수를 감소시키기 위하여 여파기 계수의 대칭성 및 LUT 데이터의 부호의 대칭성을 이용하여 최소화된 LUT를 위상에 따라 분할하고, 선택적으로 활성화시켜 저 전력 소모로 동작하는 보간 여파기를 제안한다. 제안한 여파기 및 기존의 4종류의 여파기를 HDL 코딩 및 로직합성을 통하여 설계하고 전력 시뮬레이션을 수행하여 비교 평가를 하였다.

본 논문의 각 부분에 대한 설명은 다음과 같다. 2장에서는 보간 여파기의 동작 및 구조를 설명하고 3장에서는 제안하는 저 전력 소모 여파기의 LUT 구성, 동작 및 구현한 회로를 기술한다. 4장에서는 기존의 여파기와의 전력 소모를 비교 실험한 결과에 대하여 논한다.

II. 보간 여파기

1. 보간 여파기의 동작

식 (1)은 저역통과 여파기의 가장 일반적인 차등 방정식을 나타내며 $y(m)$ 은 m 번째 여파기의 출력, $x(m-k)$ 은 입력, 그리고 $h(k)$ 는 여파기의 계수를 나타낸다.

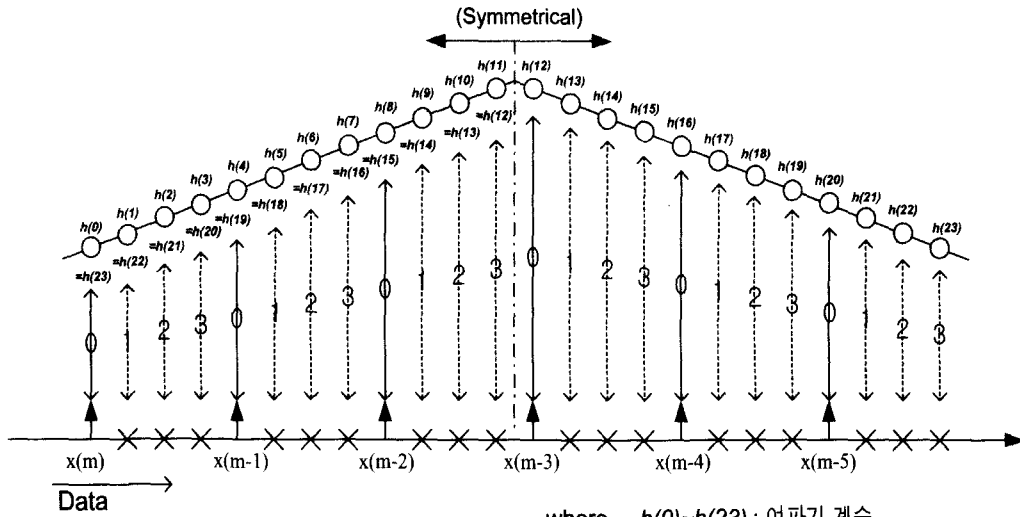
$$y(m) = \sum_{k=0}^{M-1} h(k) x(m-k) \quad (1)$$

식 (1)과 같은 여파기의 표본화된 데이터 열 사이에 '0'을 $N-1$ 개 삽입하여 표본화된 주파수를 N 배 증가시키는 여파기를 보간 여파기라 한다. 그림 1은 $x(m) \sim x(m-5)$ 6개로 구성된 입력 데이터열 사이에 '×'로 표시한 3개의 '0'을 삽입하여 입력 데이터열이 $x(n) \sim x(n-23)$ 이 되어 여파기의 계수가 24차가 된 1:4 보간 여파기의 계수를 나타낸다[4]. 이때 계수와 입력 데이터 사이의 양방향 화살표 위에 표시한 0,1,2,3은 위상을 나타내며 위상이 0일 때의 보간 여파기의 출력은 식 (2)와 같다. 위상이 1일 때의 보간 여파기의 출력은 식 (3)과 같다.

$$\begin{aligned} y(m) = & h(0) \times x(m) + h(1) \cdot 0 + h(2) \cdot 0 + h(3) \cdot 0 \\ & h(4) \times x(m-1) + h(5) \cdot 0 + h(6) \cdot 0 + h(7) \cdot 0 \\ & \dots \\ & h(20) \times x(m-5) + h(21) \cdot 0 + h(22) \cdot 0 + h(23) \cdot 0 \end{aligned} \quad (2)$$

$$\begin{aligned} y(m) = & h(0) \times 0 + h(1) \cdot x(m) + h(2) \cdot 0 + h(3) \cdot 0 \\ & h(4) \times 0 + h(5) \cdot x(m-1) + h(6) \cdot 0 + h(7) \cdot 0 \\ & \dots \\ & h(20) \times 0 + h(21) \cdot h(m-5) + h(22) \cdot 0 + h(23) \cdot 0 \end{aligned} \quad (3)$$

W-CDMA 변조기에서 입력 데이터 $x(m) \sim x(m-5)$ 은 1비트의 데이터 폭(width)을 갖으며 '1'은 +1을 나타내며 '0'은 -1을 나타낸다. 그러므로 입력 데이터 열(stream)이 '110011'이고 위상(phase)이 '0'이면 여파기의 출력은 6개의 여파기의 계수로 구성된 여파기의 출력은 $+h(0)+h(4)-h(8)-h(12)+h(16)+h(20)$ 이 된다. 위상이 '1'일 때는 $x(m) \sim x(m-5)$ 의 값이 시프트되어 $+h(1)+h(5)-h(9)-h(13)+h(17)+h(21)$ 이 여파기의 결과 값이 출력되는 방식으로 4개의 위상에 따라 4개의 여파기 결과 값이 순차적으로 출력된다. 그림 1과 같이 여파기의 계수들은 중심



where, $h(0) \sim h(23)$: 여파기 계수
 $x(m) \sim x(m-5)$: 입력 데이터
 ←————→ 입력 비트열로 입력된 데이터
 ←-----> : '0'로 삽입된 데이터
 0/1/2/3 : 입력 데이터의 위상 표시

그림 1. 24 tap 1:4 보간 여파기의 동작
 Fig. 1. 24 tap 1:4 interpolation operation.

계수를 기준으로 $h(0) = h(23)$ 와 같은 대칭성을 갖는다.

이와 같은 보간법은 표본화 주파수를 증가시켜서 표본화한 데이터를 기본으로 하여 샘플링 전의 아날로그 신호에 가까운 신호를 얻을 수 있으며 또한 신호의 aliasing을 제거하는 역할을 한다^[3]. W-CDMA에서는 확산된 신호를 4배로 보간을 실시하며, 다음의 각각 여파기 계수를 곱하는 과정에서 매 심벌 당 4개의 여파기 출력이 얻어진다. 필터의 계수가 48차 일 때 필터의 4개의 출력은 식 (4)과 같이 주어진다^{[3][5]}.

$$\begin{aligned}
 y(4m-3) &= x(m) \times h(0) + x(m-1) \times h(4) + x(m-2) \\
 &\quad \times h(8) + \dots + x(m-11) \times h(44) \\
 y(4m-2) &= x(m) \times h(1) + x(m-1) \times h(5) + x(m-2) \\
 &\quad \times h(9) + \dots + x(m-11) \times h(45) \\
 y(4m-1) &= x(m) \times h(2) + x(m-1) \times h(6) + x(m-2) \\
 &\quad \times h(10) + \dots + x(m-11) \times h(46) \\
 y(4m-0) &= x(m) \times h(3) + x(m-1) \times h(7) + x(m-2) \\
 &\quad \times h(11) + \dots + x(m-11) \times h(47)
 \end{aligned}
 \tag{4}$$

2. 기존의 보간 여파기의 구조

그림 2는 LUT를 사용하여 2개의 필터링을 수행하는 1:4 보간 FIR 여파기 구조이다^[2]. 두 개의 12-비트 직렬(serial) 데이터를 병렬(parallel) 데이터로 변환하는 시프트 레지스터가 입력 데이터 레지스터로 사용된다. 동상성분(I-phase) 입력과 직교성분(Q-phase) 입력에 대해 각각 4개의 위상의 필터링이 수행되며 하

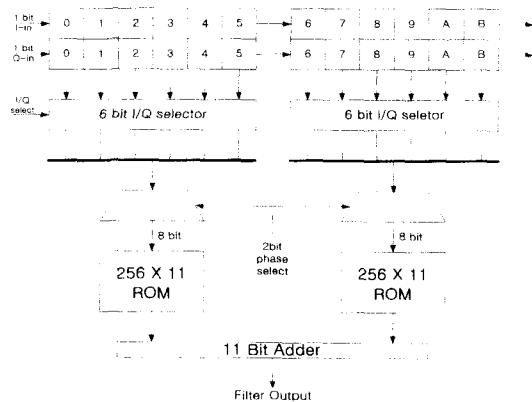


그림 2. 룩업 테이블 1:4 보간 FIR 여파기 구조
 Fig. 2. The architecture of look-up table 1:4 interpolation FIR filter.

당초 LUT G3b의 출력은 식 (5)와 같고, 그림 1과 같은 여파기 계수의 대칭성에 의하여 $h(0)=h(23)$, $h(4)=h(19)$, $h(8)=h(15)$ 와 같이 계수를 치환하면 식 (6)와 같이 된다. 식 (6)의 항의 순서를 바꾸어 식 (7)과 같이 구성하면 LUT G3b는 LUT G0a와 동일하게 된다. 그러므로 당초 상위 3비트 열 $x(n-15)$ $x(n-19)$ $x(n-23)$ 을 $x(n-23)$ $x(n-19)$ $x(n-15)$ 로 변환하여 LUT G0a에 인가하면 LUT G3b와 동일한 결과 값을 얻을 수 있으므로 LUT G0a만으로 LUT를 구성 가능하다. 이와 같이 여파기의 대칭성을 이용하여 LUT G0a, G1a, G2a, G3a만으로 LUT를 구성하여 당초 LUT의 면적을 1/2로 축소한다.

$$y_{G3a} = h(15) \times x(n-15) + h(19) \times x(n-19) + h(23) \times x(n-23) \tag{5}$$

$$y_{G3a} = h(8) \times x(n-15) + h(4) \times x(n-19) + h(0) \times x(n-23) \tag{6}$$

$$y_{G3a} = h(0) \times x(n-23) + h(4) \times x(n-19) + h(8) \times x(n-15) \tag{7}$$

또한 그림 3의 G0a, G1a, G2a, G3a의 각각의 그룹안의 점선을 기준으로 LUT 값은 크기는 동일하고 부호만이 서로 다른 대칭성을 갖는다. 예를 들어 위상 0일 때 입력 비트 열이 '000'인 경우 LUT의 저장내용은 식 (8)과 같이 되어 입력 비트 열이 '111'인 경우의 식 (9)의 음수 값과 동일하게 되어 $-h(0) - h(4) - h(8) = -[h(0) + h(4) + h(8)]$ 이 된다.

$$y_{G0a} = -h(0) - h(4) - h(8) \tag{8}$$

$$y_{G0a} = +h(0) + h(4) + h(8) \tag{9}$$

이와 같이 G0a, G1a, G2a, G3a의 각각의 그룹 안에서 점선을 기준으로 LUT의 결과 값이 크기는 동일하고 부호만이 반대인 대칭성이 존재한다. 이러한 부호의 대칭성을 이용하여 입력 비트 열의 최상위 비트(MSB) '0'일 때 나머지 비트를 반전하여 LUT에 인가하고 출력된 LUT 데이터의 부호를 반전하면 동일한 결과 값을 얻을 수 있으며 입력 비트 열을 1비트 줄일 수 있다. 이러한 부호의 대칭성을 이용하면 LUT의 입력 비트 폭을 1비트 줄여서 각 그룹의 LUT 크기를 1/2로 축소 가능하다. 이와 같이 제안하는 여파기 구조에서는 계수 대칭성 및 LUT 결과 값의 부호의 대칭성을 2가지를 이용하여 최종적으로 기존의

LUT를 1/4로 축소한 음영으로 처리한 부분만으로 여파기의 LUT를 구성한다.

2. 보간 여파기의 구조 및 동작

여파기 계수의 대칭성 및 LUT 데이터 값의 부호의 대칭성을 이용하여 그림 3과 같이 구성한 LUT를 포함하는 제안한 48탭 1:4 보간 여파기의 구조는 그림 4와 같다. W-CDMA의 QPSK 변조기에서 채널별로 동상 성분과 직교 성분이 동일한 FIR 여파기를 공유하여 사용함으로써 그림 4와 같이 공유하여 LUT를 추가로 1/2을 감소시킨다.

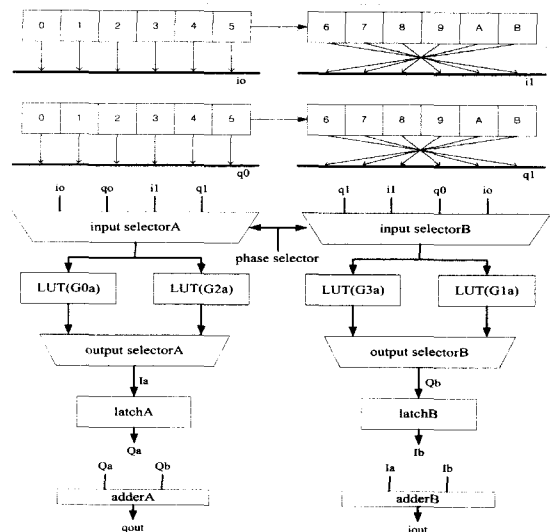


그림 4. 제안한 48 tap 1:4 보간 여파기 구조
Fig. 4. Proposed 48 tap 1:4 interpolation filter architecture.

동상 및 직교 성분 입력은 각각 12비트 시프트 레지스터 칩(chip) 레이트로 입력된다. 그림 1과 같은 여파기의 대칭성을 이용하기 위하여 식 (7)과 같은 방법으로 상위 입력 데이터 6비트를 대칭시켜 $i1$ 및 $q1$ 을 생성한다. 입력 선택(input selector)부는 $i0, i1, q0, q1$ 신호선 중 하나를 4개의 위상에 따라 선택하는 기능을 수행한다. 입력 선택부A(input selectorA)에서는 순차적으로 $i0, q0, i1, q1$ 이 순차적으로 순환되어 입력되고 입력 선택부B(input selectorB)에서는 $q1, i1, q0, i0$ 가 순차적으로 순환되어 입력된다. LUT는 그림 3의 G0a, G1a, G2a, G3a의 음영으로 표시한 내용과 같은 영역에 대하여 6개의 계수가 6비트 입력 데이터열에 의하여 연산되어 출력이

되도록 조합 논리 로직으로 위상에 따라 4개로 분리하여 구성하였다. 4개의 LUT는 위상에 따라 선택적으로 2개만이 활성화된다. 즉 위상이 '0'일 때는 LUT(G0_a)와 LUT(G3_a)가 활성화되고 위상이 '1'일 때는 LUT(G1_a)와 LUT(G2_a)가 활성화된다. 이와 같이 여파기 동작시 전체 LUT중 50% 만이 활성화되어 저 전력 동작을 수행하도록 한다. 출력 선택부는 위상에 따라 활성화되는 LUT의 값을 출력하는 기능을 수행한다. 위상이 '0'일 때 출력 선택부A(output selectorA)는 *i0* 입력에 따라 LUT(G0_a)의 값 $G0_a(i0)$ 를 래치A(latch A)에 저장하고, 출력 선택부B(output selectorB)는 *q1* 입력에 따라 LUT(G3_a)의 값 $G3_a(q1)$ 를 래치B(latch B)에 저장한다. 다음 사이클에서 출력 선택부A에서는 $G0_a(q0)$, 출력 선택부B에서는 $G3_a(i1)$ 가 각각 출력된다. 4개의 LUT 값이 출력되면 가산기A(adderA)와 가산기B(adderB)에서 수식 (10)와 같은 연산을 수행하여 위상 '0'의 동상 성분과 직교 성분에 대한 여파기 값이 동시에 구해진다. 수식 (11)은 이러한 방식으로 계산된 위상이 '1'일 때의 여파기 출력 값이며 동일한 방식으로 위상 '2'와 위상 '3'의 여파기 출력 값도 결정된다.

$$iout0 = G0_a(i0) + G3_a(i1) = \pm h(0) \pm h(4) \cdot \cdot \cdot \pm h(20) \pm h(3) \pm h(7) \cdot \cdot \cdot \pm h(23) \quad (10)$$

$$qout0 = G0_a(q0) + G3_a(q1) = \pm h(0) \pm h(4) \cdot \cdot \cdot \pm h(20) \pm h(3) \pm h(7) \cdot \cdot \cdot \pm h(23)$$

$$iout1 = G1_a(i0) + G2_a(i1) = \pm h(1) \pm h(5) \cdot \cdot \cdot \pm h(21) \pm h(2) \pm h(6) \cdot \cdot \cdot \pm h(22) \quad (11)$$

$$qout1 = G1_a(q0) + G2_a(q1) = \pm h(1) \pm h(5) \cdot \cdot \cdot \pm h(21) \pm h(2) \pm h(6) \cdot \cdot \cdot \pm h(22)$$

3. 보간 여파기의 설계

W-CDMA 응용을 위하여 설계된 보간 여파기는 48 탭(tap)으로 구성하였으며 4.096Mcps의 샘플링 주파수(sampling frequency)로 동작하며 11비트로 여파기 결과 값을 출력한다. 그림 3과 같이 제안한 LUT 구조를 갖는 48 탭 1:4 보간 여파기는 그림 5와 같다. 입력 선택부는 6비트 4×1 MUX 2개로 구성하였다. 제어 신호 생성부(control signal generator)에 출력되는 MUX 제어 신호는 '11', '10', '00', '01' 이 순환 반복하여 발생한다. 제어 신호는 3비트 카운터의 출력의 조합으로 생성한다. 각각의 입

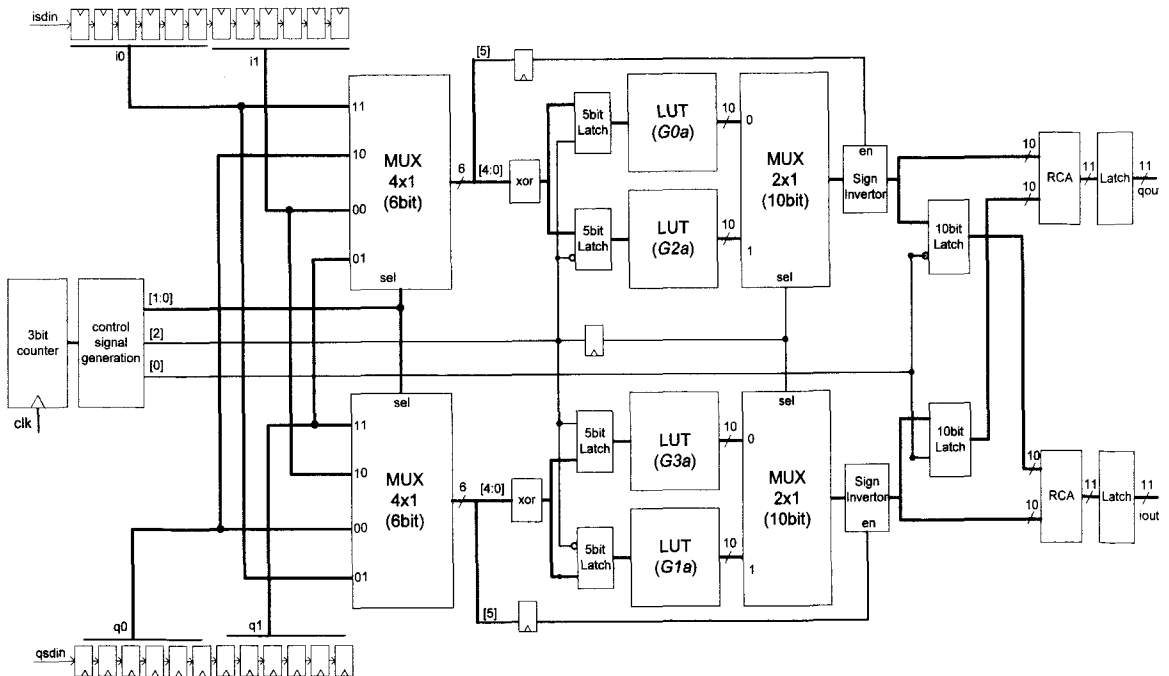


그림 5. 제안한 저 전력 소모 보간 여파기 회로
Fig.5. Proposed low power consumption interpolation circuit.

력 선택부에서 출력되는 6비트의 데이터는 최상위 비트(most significant bit)가 '1'일 경우는 나머지 5비트를 인가하고 '0'일 경우는 나머지 5비트를 반전하는 XOR 동작이 수행된다. 이는 그림 3과 같이 음영으로 처리한 부분으로 구성된 LUT에 필요한 입력 비트 열을 생성하기 위하여 수행된다. LUT 전단의 5비트 래치는 4개의 LUT 중 2개만을 활성화시키는 역할을 한다. 즉 LUT(G0_a), LUT(G3_a) 앞의 2개의 래치는 위상이 '0' 또는 '3'일 경우 활성화되고 LUT(G2_a), LUT(G1_a) 앞의 2개의 래치는 위상이 '2' 또는 '1'일 경우 활성화된다. LUT 다음 단의 출력 선택부는 10비트 2×1 MUX 2개로 구성되어 활성화된 LUT 값을 전파한다. 부호 변환부는(sign inverter) 앞단의 LUT 값의 부호를 변환하는 기능을 수행한다. 즉 비트 열의 최상위 비트가 '0'일 때는 LUT 값의 부호를 반전하여 그림 3의 G0_a, G1_a, G2_a, G3_a의 음영으로 처리하지 않은 값을 생성한다. 2개의 10비트 래치는 전 사이클에 출력된 LUT 값을 저장하여 다음 사이클에 출력되는 LUT 값과 함께 다음 단의 가산기에 인가한다. 2개의 가산기는 시간에 따라 2개로 나뉘어 출력된 LUT 값을 가산하여 최종 여파기 결과 값을 생성한다. 출력단에 위치한 2개의 래치는 2 사이클마다 출력되는 여파기의 결과 값을 저장한다.

IV. 실험 및 결과

본 논문에서 제안된 보간 여파기의 저 전력 소모 특성을 입증하기 위하여 제안한 보간 여파기와 기존의 보간 여파기를 HDL(Hardware Description Language)을 사용 구현 및 합성한 후, 전력 소모 및 면적(area)의 비교 실험을 하였다. 실험을 위하여 상용 EDA(Electronic Design Automation) 툴(tool)을 사용하였으며 하드웨어의 구현은 Cadence사의 Verilog-XL, 로직 합성은 Synopsys사의 Design Compiler, 그리고 전력 소모 시뮬레이션은 Synopsys사의 Powermill을 사용하였다. 전력 소모 시뮬레이션은 회로에 구성에 따라 최대 주파수 클럭을 19.68MHz 또는 39.76MHz 주파수를 갖는 클럭을 사용하였으며 클럭을 포함한 입력 신호선 모두에 상승천이 시간(rise time) 및 하강 천이 시간(fall time)이 2ns인 신호를 인가하였다. 실험에 적용한 반도체 공정은 0.6μm의 Standard Cell, 5V 공정을 사용하였다.

그림 6은 제안한 여파기 및 기존의 여파기들과의 전력 시뮬레이션 결과로서 왼쪽의 세로축의 신호명은 여파기의 입출력 신호선 및 인가 전압(vdd) 노드(node)의 평균 전류(average current)를 나타내고 오른쪽의 세로축은 각각의 수치를 나타낸다. 그림 6에서 위의 6개의 파형은 제안한 여파기의 입출력 신호선을 나타내며 F:I(vdd)는 제안한 여파기의 vdd의 평균 전류이고 A:I(vdd), B:I(vdd) 그리고 C:I(vdd)는 각각 트랜스버설(transversal) 구조 여파기^[3], 분할 LUT(partitioned-LUT)구조 여파기^[1] 그리고 단일 구조 2채널(single-architecture dual-channel) 여파기^[2]의 vdd 노드의 평균 전류를 나타낸다.



그림 6. 제안한 여파기와 기존의 여파기의 전력 시뮬레이션 결과

Fig. 6. Power simulation results of proposed filter and other filters.

시뮬레이션 결과 값인 평균 전류에 인가 전압 5V를 곱하여 얻어지는 평균 전력 소모를 제안한 펄스 성형용 1:4 보간 FIR 여파기와 기존의 구조들과 비교한 결과는 표 1과 같다. 각각의 구조의 보간 여파기 전력 소모 시뮬레이션 결과 값에 3채널 W-CDMA 이동 단말기 변조기를 위한 6개의 FIR 여파기를 구성하기 위한 블록 개수를 곱하여 전체 전력 소모를 비교하였다. 제안한 저역통과 여파기는 기존의 보간 여파기 중에서 전력 특성이 가장 우수한 단일구조 2채널 보간 여파기와 비교하여 약 26%의 전력 소모 절감을 가져왔다. 이러한 저 전력 특성은 일반적인 CMOS 회로에서 다이내믹 전력 소모가 $P_d = \alpha f_c C_L V_{dd}^2$ 와 같을 때^[6] 면적이 최소화된 LUT로 인하여 유효 커패시턴스 C_L 이 감소하였고 4개의 LUT 중 동시에 2개만이 활성화되어 클럭 한 주기 내에서 한 개의 노드 값이 상승천이 할 확률 α 가

최소화되었기 때문이다. 또한 2개의 대칭성을 이용하여 최소화된 LUT가 4개로 분할 구성되어 이를 구현한 조합 논리 로직이 단순화되어 신호선(signal)의 천이(transition)의 전파(propagation)가 감소하여 제안한 여파기는 저 전력 소모 동작을 한다.

표 1. 3-채널 보간 저역통과 여파기의 평균 전력 소모

Table 1. Average power consumption of 3-channel interpolation FIR filter implementations.

Power Measures	최대 클럭 주파수 (MHz)	전력소모 (mW)	사용된 블록수	전체 전력소모 (mW)	상대비
Transversal filter ^[3]	19.68	49.3	6	295.8	4.83
4-bank filter employing ROM-based LUTs ^[2]	19.68	41.9	6	251.4	4.10
Partitioned-LUT filter ^[1]	39.76	29.2	3	87.6	1.43
Single-architecture dual-channel filter ^[2]	19.68	30.6	2	61.2	1.00
Proposed filter	39.76	15.1	3	45.3	0.74

표 2는 기존의 보간 저역통과 여파기들과 제안한 여파기의 회로 면적을 비교한 결과이다. 기존의 여파기중 가장 적은 면적의 분할된 LUT(partitioned-LUT)를 사용한 여파기보다 제안한 여파기가 5% 면적이 감소하였음을 알 수 있다.

표 2. 3-채널 보간 저역통과 여파기의 면적 비교

Table 2. Comparison of the area of the 3-channel interpolation FIR implementations.

Area Measures	게이트 수	사용된 블록수	전체 게이트 수	상대비
Transversal filter ^[3]	4,885.0	6	29,310.0	6.04
4-bank filter employing ROM-based LUTs ^[2]	17,124.0	6	102,744.0	21.16
Partitioned-LUT filter ^[1]	1,618.4	3	4,855.2	1.00
Single-architecture dual-channel filter ^[2]	2,739.6	2	5,479.2	1.13
Proposed filter	1,536.6	3	4,609.8	0.95

V. 결 론

본 논문에서는 여파기 계수의 대칭성 및 LUT 출력 값의 부호의 대칭성을 이용하여 최소화된 LUT를 갖는 W-CDMA 변조기에 응용되는 저 전력 소모 1:4 보간 FIR 여파기를 제안하였다. 제안한 보간 여파기는 LUT의 면적을 1/4로 축소하였으며 위상에 따라 4개의 LUT로 분리하여 여파기 동작시 2개만이 동작하도록 구성하였다. 이러한 LUT를 QPSK 변조기의 동상 성분과 직교성분 FIR 여파기 2개가 공유함으로써 LUT의 면적을 추가적으로 1/2로 축소하였다. 이와 같이 LUT 면적을 감소시킴으로 전력 소모의 인자중 하나인 노드 수를 감소시키고 또한 구성된 LUT 가운데 절반만이 활성화 되도록 하여 노드의 천이 확률을 감소시켜 전체 보간 여파기의 전력 소모를 감소시켰다. 제안한 보간 여파기의 저 전력 소모 동작을 검증하기 위하여 기존의 4가지 종류의 보간 여파기와 전력 시뮬레이션을 수행하여 비교하였다. 제안한 여파기는 기존의 여파기 중 전력 특성이 좋은 단일 구조 2 채널 여파기에 비하여 26%의 전력소모 절감을 가져왔으며 기존의 보간 여파기 중 최소의 면적을 갖는 분할 LUT 구조 여파기에 비하여 5%의 면적이 감소하였다.

앞으로의 연구과제로는 저 전력 특성을 유지하며 회로 면적을 최적화 하기 위한 연구가 필요하다.

참 고 문 헌

[1] Jong-Kwan Choi and Sun-Young Hwang, "Area-efficient pulse-shaping 1:4 interpolated FIR filter based on LUT partitioning," ELECTRONICS LETTERS, vol. 35, no. 18, pp.1504-1505, Sep. 1999.

[2] In Kang et al., "Multiple 1:N interpolation FIR filter design based on a singlearchitecture," Proc. IEEE Int. Symp. CircuitsSystems, pp. 316-319, May. 1998.

[3] Proakis J. and Manolakis D., Digital signal processing: Principles, Algorithms, and Applications, Prentice Hall, Upper Saddle River, New Jersey, 1996.

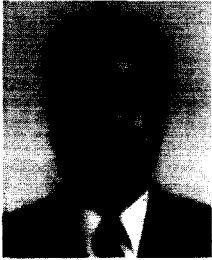
[4] Lim, Y., Evance, J., and Liu, B., "An

efficient bit-serial FIR filter architecture,”
IEEE Trans. Circuits, Syst. Sig. Proc., pp.
639-651, 1995.

[5] 비동기식 W-CDMA 시스템 설계 규격(안) 1권,
SK-Telecom, 1998

[6] N. H. E. Weste, K. Eshraghian, Principles of
CMOS VLSI Design, Second Edition,
Addison-Weseley Publishing Company,
1993.

저 자 소 개



柳 根 壯(正會員)

1962년 7월 14일생. 1985년 서
강대학교 전자공학과(학사). 1994
년 한양대학교 대학원 전자공학
과(석사). 1995년~현재 한양대
학교 대학원 전자공학과 박사과
정. 1984년 12월~1992년 3월
삼성전자 근무. 1994년 11월~2000년 2월 고등기술연
구원 근무. 2000년 3월~현재 (주)웨이투텍 대표이사.
주관심 분야는 저전력 설계, VLSI 테스트, 유무선 통
신용 ASIC 설계

鄭 正 和(正會員) 第 35卷 C編 第 10號 參照

현재 한양대학교 전자공학과 교수