

論文2000-37SD-10-9

## 초기화 스위치를 이용해 오프셋을 감소시킨 고속 다이내믹 래치 비교기 설계

### (Design of High Speed Dynamic Latch Comparator with Reduced Offset using Initialization Switch)

成 桃 洙\*, 玄 裕 振\*, 徐 熙 敦\*

(Kwang-Su Seong, Eugin Hyun, and Hee-Don Seo)

#### 요 약

본 논문에서는 다이내믹 래치 형태의 비교기의 입력 오프셋을 줄이는 효과적인 방법을 제안한다. 기존 논문에서 고려된 원하지 않는 정계환에 의한 오프셋 뿐 아니라, charge injection 부정합에 따른 오프셋을 정확하게 분석하였으며 이를 최소화하기 위하여 샘플링 구간 전에 비교기 양 입력단을 같은 전압으로 초기화하기 위한 스위치를 추가하였다. 제안된 회로는 0.65 $\mu$ m CMOS 공정 파라미터로 모의 실험 되었으며, 5v의 단일 전원 전압으로 동작하고, 200MHz 샘플링 주파수에서 5mV 이하의 오프셋 전압을 가진다. 특히 입력 저항을 5k $\Omega$ 일 때 기존 논문에 비해 약 80%의 입력 오프셋이 개선됨을 모의 실험을 통하여 확인하였다.

#### Abstract

In this paper, we propose an efficient technique to minimize the input offset of a dynamic latch comparator. We analyzed offset due to charge injection mismatching and unwanted positive feedback during sampling phase. The last one was only considered in the previous works. Based on the analysis, we proposed a modified dynamic latch with initialization switch. The proposed circuit was simulated using 0.65 $\mu$ m CMOS process parameter with 5v supply. The simulation results showed that the input offset is less than 5mV at 200MHz sampling frequency and the input offset is improved about 80% compared with previous work in 5k $\Omega$  input resistance.

#### 1. 서 론

최근 통신 기술에 기반이 되는 DSP 기술의 발전으로 인해 아날로그 신호를 디지털 신호로 바꾸어주는 A/D 변환기의 중요성이 점차 증가되고 있다. A/D 변환기에서 아날로그 신호를 정확하게 감지하여 증폭된 디지털 신호로 바꾸어주는 비교기의 설계는 A/D 변환

기의 핵심이 되는 부분이다. 이러한 비교기의 정확도, 속도, 면적, 전력 손실 정도는 A/D 변환기의 성능을 결정하는 중요한 요소가 되고 있다. 최근 VLSI 공정 기술의 발전으로 인해 칩 상의 집적화 되는 소자수가 증가함으로 인해 전력 소모가 점점 증가하고 있다. 특히 고속을 요구하는 경우에는 그 심각성이 더해져가서 이를 위한 해결책의 모색이 불가피하다<sup>[1, 2]</sup>. CMOS 공정을 사용하는 비교기는 고집적도, 저전력 그리고 회로 구현의 간편성 등 여러 장점을 지니고 있어 널리 구현되고 있으나, 바이폴라 공정에 비하여 상대적으로 큰 MOS 소자의 부정합(mismatch)으로 인하여 높은 정확도를 얻기가 쉽지 않다.<sup>[1, 2]</sup>

특히, 이러한 비교기의 실제 시스템 응용시에는 정확도와 면적의 측면을 동시에 만족시키는 것이 어렵다. 예를 들어 제안된 비교기를 저항열(Resistor string)

\* 正會員, 嶺南大學校 電氣電子工學部

(School of Electrical Engineering and Computer Science Yeungnam University)

※ 이 논문은 2000학년도 영남대학교 학술연구 조성비에 의한 지원과 반도체 설계교육센터(IDEC)의 부분적인 지원에 의한 것임.

接受日字:2000年5月19日, 수정완료일:2000年9月29日

을 이용한  $n$  비트의 플래시(Flash) A/D 변환기 시스템에 응용하고자 하는 경우  $2^{n-1}$ 개의 비교기가 필요하게 되므로 큰 칩 면적 및 큰 전력 소비를 수반하게 된다. 이러한 단점을 해결하기 위해 2단 플래시 형태인 서브래인징(subbranging) 방식들을 통해 비교기의 수를 줄여나가는 방법들도 있다<sup>[3]</sup>. 전체 전력소비의 90% 이상을 차지하는 비교기 수의 감소는 저전력 요구에 큰 장점이 된다. 또한 하나의 비교기의 설계에 있어서 MOS 소자의 수를 줄일 수 있다면 저전력 요구에 도움이 된다. 이러한 요구를 충족 시켜 줄 수 있는 비교기 중의 하나가 바로 다이내믹 래치 구조를 가진 센스 앰플리파이어(sense amplifier) 회로이다<sup>[1, 2]</sup>.

이 비교기는 작은 입력 전압의 차이에도 정제환을 통해 짧은 시간 내에 필요한 출력 전압을 발생시킬 수 있다. 또한 비교적 회로가 간단하여 전력손실도 적고 속도도 빨라서, 고속 A/D 변환기에서는 아주 유용하게 사용될 뿐 아니라, DRAM이나 SRAM 같은 메모리 분야에서도 많이 이용되고 있다. 그러나 이 센스 앰플리파이어는 큰 입력 오프셋 전압을 가진다는 단점이 있다<sup>[4]</sup>. 메모리 분야의 경우, 단지 빠른 검출(sensing) 능력을 가진 센스 앰플리파이어보다는 오동작 없이 안정적으로 동작할 수 있는 것이 점점 더 많이 사용되고 있으므로, 보다 뛰어난 검출 능력을 갖는 센스 앰플리파이어가 요구되고 있다<sup>[5]</sup>. 또 이 문제점은 A/D 변환기의 설계에 있어서도 ILSB의 전압을 제한하게 되어 그 분해능을 4-6 bit로 제한하게 된다.<sup>[6, 7]</sup> 이러한 문제점을 해결하기 위하여 다이내믹 래치의 앞단에 선형 증폭기를 두어 오프셋 전압을 충분히 해결할 만큼 전압을 증폭시키는 방법이 있다<sup>[8]</sup>. 이 방법을 통해 직접적으로 오프셋을 직접적인 제거하지 않고 8bit 정도의 분해능을 가지는 고속 A/D 변환기를 설계할 수 있다<sup>[8]</sup>. 그러나 이 방법은 선형증폭기를 두므로 회로가 보다 복잡해질 수 있으므로 고밀도 시스템을 구현하는데 있어서는 단점이 된다. 따라서 본 논문에서는 선형증폭기를 따로 앞단에 두지 않고 다이내믹 래치 오프셋 전압 자체를 감소시키는 방법을 제안하고자 한다.

먼저 II장에서는 이러한 문제점을 해결하기 위해 기존 회로에 대해서 살펴보고, III장에서는 charge injection 부정합에 의한 오프셋을 분석하고, IV장에서는 본 논문에서 제안하고자 하는 회로에 대해 살펴본다. 마지막으로 V장에서는 모의 실험 결과를 요약한다.

## II. 기존 다이내믹 래치 회로

그림 1은 일반적인 다이내믹 래치를 이용한 비교기의 회로이며, 스위치  $S_1$ 과  $S_2$ 는 입력신호를 샘플링하기 위한 것이며 스위치  $S_3$ 와  $S_4$ 는 래치를 동작시켜 두 입력 신호를 비교하기 위한 것이다.

그림 1의 다이내믹 래치에 관해서는 기존의 논문<sup>[9]</sup>에 자세히 해석되어 있으며 입력 오프셋 전압은 식 (1)과 같이 표현된다.

$$V_O = V_{OM} + \frac{\Delta Q_S}{C_z} + V_{OCF} \quad (1)$$

여기서  $V_{OM}$ 은 문턱 전압과 MOS 간의 부정합에 따른 것이고,  $\Delta Q_S$ 는 스위치  $S_1$ 과  $S_2$  사이에 charge injection 부정합 값이다.  $C_{Z1}$ 과  $C_{Z2}$ 는 래치의 입력 캐패시터로 정합(matching)이 이루어진 경우  $C_{Z1} = C_{Z2}$ 와 같으며 이를  $C_z$ 라 표현한다.  $V_{OCF}$ 는 샘플링 구간동안 A와 B단에 존재하는 기생 캐패시터,  $C_A$ 와  $C_B$ 에 충전된 전하에 의해 원하지 않는 정제환이 생겨 나타나는 오차값이다.

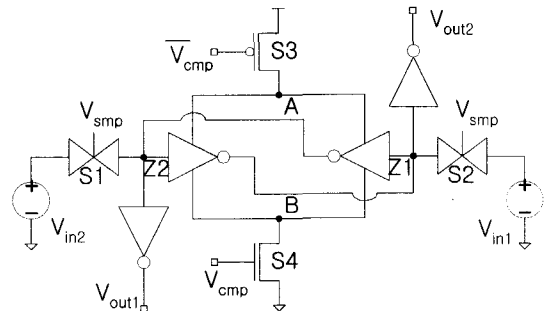


그림 1. 일반적인 다이내믹 래치 회로의 개략도

Fig. 1. The schematic diagram of typical dynamic latch circuit.

Cusinato, Bruccoleri, Caviglia 그리고 Valle<sup>[9]</sup>는 그림 2의 (a)에 보는 것과 같이 스위치  $S_5$ 와  $S_6$ 를 추가 시켜 입력 오프셋을 줄이는 방법을 제안하였다. 식 (1)에서 처음 두 항은  $V_{OCF}$ 에 비해 상대적으로 적으므로 무시하고 세 번째 항인  $V_{OCF}$ 를 줄임으로써 입력 오프셋을 줄이는 방법을 제안하였다. 여기서  $V_{OCF}$ 는 샘플링 시간과 아주 관계가 깊다. 만약 샘플링 시간이 매우 길다면  $V_{OCF}$ 는 무시할 수 있다. 왜냐하면

시간이 충분히 지나면 그림 2(a)의 A와 B단은 안전 상태로 되어 인버터나 스위치로 전류가 흐르지 않게 되기 때문이다. 그러나 샘플링 주기가 매우 짧다면 이 오프셋 전압은 매우 중요하게 될 것이다.

이 회로는 그림 2(b)에 나타나 있듯이 3가지의 다른 구간을 가지고 동작한다. 첫 번째 구간  $\phi_1$ 에서는 스위치  $S_1, S_2, S_3$  와  $S_6$ 는 on이 되고  $S_4$ 와  $S_5$ 는 off 된다. 이 구간은 A와 B단에 남아 있는 전압값이 샘플링 구간 동안 불필요한 정제환을 형성시키는 것을 초기에 방지하고자 하는 것이다. 이 구간에서  $C_A$ 와  $C_B$ 를 강제로 충전과 방전시킴으로써 식 (1)에 나타나는  $V_{OCF}$  값을 줄이는 것이다. 다음 구간인  $\phi_2$ 에서는 스위치  $S_1$ 과  $S_2$ 는 그대로 on이고 나머지는 모두 off시켜 입력신호를 샘플링 한다. 마지막 구간인  $\phi_3$ 는 스위치  $S_3$ 과  $S_4$ 만 on하고 나머지를 off하는데, 이 비교 구간(evaluation phase)의 마지막 부분에서 나오는 비교기의 출력 값이 유효한 값이 된다.

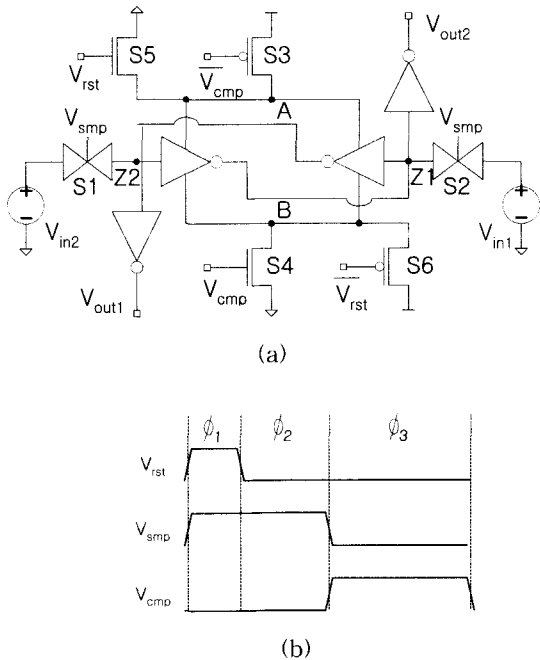


그림 2. 입력 오프셋을 줄이기 위해 Cusinato 등에 의해 제안된 방법<sup>[4]</sup>. (a) 제안된 회로의 schematic diagram, (b) 이 회로의 스위치 신호

Fig. 2. The previous method<sup>[4]</sup> proposed by Cusinato at al. (a) The schematic diagram of proposed circuit, (b) Timing signal for switches of the circuit.

### III. Charge injection 부정합에 의한 오프셋 분석

그림 2의 회로는 원하지 않는 정제환에 의한 오프셋,  $V_{OCF}$ 을 최소화하므로 인해 일반적인 다이내믹 래치 회로에 비해 오프셋 전압을 상당히 제거 할 수 있었다. 식 (1)의 첫 항인  $V_{OM}$ 은 이 회로가 소자의 숫자가 적기 때문에 레이어아웃을 함에 있어서 MOS 간의 간격을 좁게 하고 모양을 대칭하게 하는 등의 테크닉으로 상당 부분 제거 될 수 있어, 기존 논문과 마찬가지로 본 논문에서는  $V_{OM}$ 에 의한 오프셋은 무시한다. 하지만 기존 논문에서 무시되어진 식 (1)의 두 번째 항인 charge injection에 의한 부정합이, 다이내믹 래치가 고속으로 동작할 때 미치는 영향에 대해 정확하게 해석하고자 한다.

$\Delta Q/C_2$ 를 해석하기 위해 먼저  $Z_1$ 과  $Z_2$  양단의 전압 차를 구해보면 식 (2)와 같이 표현된다.

$$\Delta V = |V_{z1} - V_{z2}| = \left| \frac{Q_{S1} + Q_{z1}(0)}{C_2} - \frac{Q_{S2} + Q_{z2}(0)}{C_2} \right| \quad (2)$$

여기서  $V_{z1}$ 과  $V_{z2}$ 은  $Z_1$ 과  $Z_2$ 단의 각 전압이고,  $Q_{z1}(0)$ 와  $Q_{z2}(0)$ 는  $Z_1$ 과  $Z_2$ 단의 초기 전하량이다.  $Q_{S1}$ 은 샘플링 구간 동안  $V_{in1}$ 에서 스위치  $S_1$ 을 통해  $Z_1$ 단에 공급된 전하량이며,  $Q_{S2}$ 은 같은 방법으로  $V_{in2}$ 에서 스위치  $S_2$ 을 통해  $Z_2$ 단에 공급된 전하량이다. 만일 초기 전하량  $Q_{z1}(0)$ 와  $Q_{z2}(0)$ 가 같고 입력 전압  $V_{in1}$ 과  $V_{in2}$ 가 같은 경우  $Q_{S1}$ 과  $Q_{S2}$ 가 같아서  $\Delta V$ 가 0이 되어야 하나, 스위치  $S_1$ 과  $S_2$ 의 부정합에 의해 식 (3)과 같은 오프셋이 발생한다.

$$\Delta V = \left| \frac{Q_{S1} - Q_{S2}}{C_2} \right| = \frac{\Delta Q_S}{C_2} \quad (3)$$

그러나 이 경우는 샘플링 구간이 시작될 때, 래치 입력 양단  $Z_1$ 과  $Z_2$ 단의 입력 커패시터에 존재하는 초기 전하량을 고려하지 않은 경우이다. 실제적인 경우 입력 양단  $Z_1$ 과  $Z_2$ 는 비교 구간이 끝나고 나면 각각  $V_{DD}$ 와  $GND$  또는 그 반대 값을 가지게 된다. 이는 식 (2)에서  $Q_{z1}(0)$ 과  $Q_{z2}(0)$ 항이 없어지지 않고 그대로 남게 되어 다음 신호를 샘플링 할 때 영향을 미치게 된다. 즉  $\Delta Q/C_2$ 에 의한 오프셋을 고려할 때에 스

위치  $S_1$ 과  $S_2$ 의 부정합뿐 아니라  $Z_1$ 과  $Z_2$  양단의 초기값도 고려해야 한다.

본 논문에서는  $V_{OCF}$ 가 충분히 제거되어졌다고 가정하고  $\Delta Q/C_z$ 에 의한 오프셋 최소화를 설명할 것이다. 이를 위해 그림 1의 회로를 그림 3에 다시 나타내고 있다. 그림 3은 샘플링 구간에서 동작하고 있으며 스위치  $S_1$ 과  $S_2$ 는 on이고  $S_3$ 와  $S_4$ 는 off 되어 있다. 이때  $R_{s1}$ 과  $R_{s2}$ 는 래치의 입력저항으로 플래시 A/D 변환기에 사용하는 저항열, 입력 패드와 연결 상에 존재하는 저항 값과 같은 것에 의해 발생하는 입력 impedance이다. 또  $R_{in1}$ 과  $R_{in2}$ 은 래치의 각 입력단에서 본 등가 저항으로  $R_{s1}$ 과  $R_{s2}$ 를 포함하며 스위치에 존재하는 저항 값의 합이다. 이 입력저항과 입력 캐패시터의 값이 선형적이라고 가정하였다.

그림 3(b)의 등가회로에서 캐패시터 양단의 전압  $v_{z1}(t)$ 을 구하기 위해 KCL로 풀면 식 (4)가 된다.

$$C_{z1} \frac{dv_{z1}}{dt} + \frac{1}{R_{in1}}(v_{z1} - V_{in1}) = 0 \quad (4)$$

여기서  $R_{in1}C_{z1} = \tau_1$ 를 이 식에 치환하여 미분방정식을 풀면 식 (5)가 된다.

$$v_{z1}(t) = V_{in1} + [v_{z1}(0) - V_{in1}]e^{-t/\tau_1} \quad (5)$$

이때  $v_{z1}(0)$ 는  $t=0$ 일 때, 즉 캐패시터에 분포하는 초기 전압값이다.

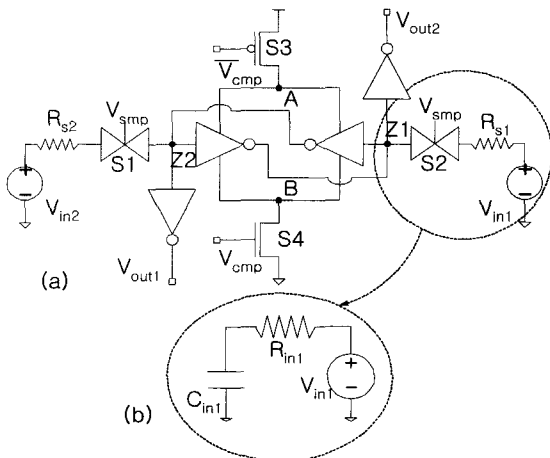


그림 3. (a) 샘플링 구간 동안의 다이내믹 래치 회로, (b) 입력단 선형 회로

Fig. 3. (a) dynamic latch circuit during sampling phase, (b) Linearized circuit in input node.

같은 방법으로  $Z_2$ 단에 존재하는 캐패시터 양단의 전압을 구하고, 양단의 입력전압이  $V_{in} = V_{in1} = V_{in2}$ 로 같을 때 두 입력단  $Z_1$ 과  $Z_2$ 의 전압 오차를 구해보면 식 (6)와 같다.

$$\begin{aligned} \Delta v(t) &= |v_{z1} - v_{z2}| \\ &= | [v_{z1}(0) - V_{in1}]e^{-t/\tau_1} - [v_{z2}(0) - V_{in2}]e^{-t/\tau_2} | \end{aligned} \quad (6)$$

이상적인 경우 입력 양단의 입력 전압이 같을 때  $\Delta v$ 가 0이 되어야 하나, 다음 두 가지 원인으로 오프셋이 발생한다. 첫 번째는 RC 값의 부정합으로 나타난다는 것이고, 두 번째 원인은 샘플링이 시작될 때 양 입력단의 캐패시터에 분포되어 있는 초기 전하량 차이 때문이다. 여기서 RC 부정합이 없어  $\tau_1 = \tau_2 = \tau$ 이고  $V_{in1}$ 과  $V_{in2}$ 가 같으면 식 (7)과 같이 나타낼 수 있다.

$$\Delta v(t) = [v_{z1}(0) - v_{z2}(0)]e^{-t/\tau} \quad (7)$$

앞에서 설명되었듯이 래치 비교기의 경우 비교 구간이 끝나고 나면  $Z_1$ 과  $Z_2$ 는 각각 GND와  $V_{DD}$  또는 그 반대의 값을 가지게 되는데, 이 값은 샘플링이 시작되는 시점에서 입력단에 존재하는 초기 값이 되어 식 (7)에서 보듯이  $\Delta v$ 를 증가시킨다. 물론 샘플링 구간이 충분히 길다면  $\Delta v$ 의 값이 0이 되지만, 고속으로 동작해야 할 경우에는  $\Delta v$ 로 인해 입력 전압  $|V_{in1} - V_{in2}|$ 와 이를 샘플링한  $Z_1, Z_2$  단의 전압  $|v_{z1} - v_{z2}|$ 가 다르게 되어 올바른 출력값이 나오지 않게 된다.  $\Delta v$ 를 줄이기 위해서는 RC 부정합뿐 아니라 샘플링을 시작하기 전에 양단을 같은 값으로 초기화를 시켜야 함을 알 수 있다.

#### IV. 제안된 회로

$V_{OCF}$ 와  $\Delta Q/C_z$ 를 모두 최소화하기 위해 그림 4(a)와 같은 회로를 제안한다. 이 회로는 그림 1회로의 두 입력 단자인  $Z_1$ 과  $Z_2$ 를 스위치로  $S_5$  연결한 것이다. 이 회로 역시 그림 4(b)에 나와 있듯이 3종류의 다른 구간을 가지고 동작한다.

첫 번째 구간  $\phi_1$ 는 초기화 구간(reset phase)으로 스위치  $S_5$ 만 on되어  $Z_1$ 과  $Z_2$ 단을 단락 시키고 나머

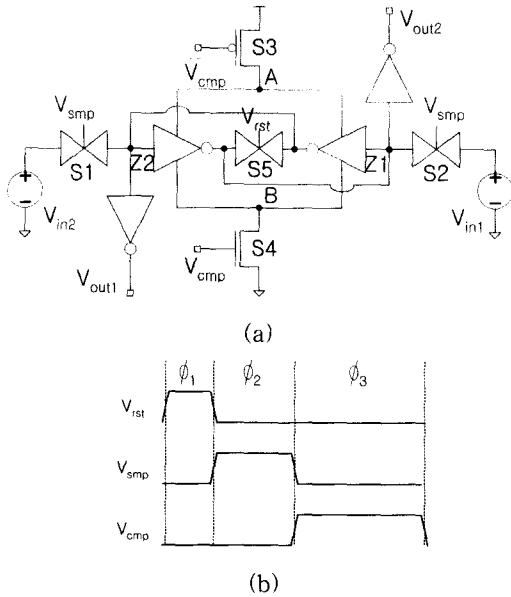


그림 4. (a) 제안된 회로의 schematic diagram, (b) 이 회로의 스위치 신호  
 Fig. 4. (a) The schematic diagram of proposed circuit, (b) Timing signal for switches of the circuit.

지 스위치는 off되어 Z1과 Z2단의 입력 캐패시터인 C<sub>z1</sub>과 C<sub>z2</sub>가 서로 충전 방전되어 같은 값으로 초기화 된다. V<sub>OCF</sub>의 영향이 없으면 C<sub>z1</sub>=C<sub>z2</sub>이므로 V<sub>z1</sub>=V<sub>z2</sub>가 되어 입력단 전압은 V<sub>DD</sub>/2가 되어야 한다. 여기서 V<sub>z1</sub>과 V<sub>z2</sub>가 같은 값이므로 V<sub>z</sub>라 표현한다. 이렇게 입력단 전압이 V<sub>DD</sub>/2가 되면 인버터의 nMOS와 pMOS가 모두 on이 되고 A단에 충전된 V<sub>DD</sub> 전압과 B단의 GND가 서로 방전된다. 이렇게 A단에서 방전된 전압에 의해 Z1(=Z2)로 공급되는 전하량은 C<sub>A</sub>[V<sub>DD</sub>-(V<sub>z</sub>-V<sub>THp</sub>)]이고, Z1(=Z2)에서 B단으로 공급되는 전하량은 C<sub>A</sub>(V<sub>z</sub>-V<sub>THn</sub>)이다. 이때 V<sub>z</sub>는 이 구간에 형성되는 Z1(=Z2)단의 전압이고 V<sub>THp</sub>는 pMOS 문턱 전압으로 음의 값이며 V<sub>THn</sub>은 nMOS 문턱 전압으로 양의 값이다. Z1(=Z2)에서 바라보는 입력 캐패시터는 2C<sub>z</sub>이고 평균 전압은 V<sub>DD</sub>/2므로 이 구간 동안의 Z1(=Z2)단의 전하 Q<sub>z</sub>는 식 (8)이 된다.

$$Q_z = \frac{V_{DD}}{2} \cdot 2C_z + C_A [V_{DD} - (V_z - V_{THp})] - C_B (V_z - V_{THn}) \quad (8)$$

2C<sub>z</sub> ≫ (C<sub>A</sub> + C<sub>B</sub>) 이므로 V<sub>z</sub> = Q<sub>z</sub> / (2C<sub>z</sub> + C<sub>A</sub> + C<sub>B</sub>) ≈ Q<sub>z</sub> / 2C<sub>z</sub>이고 이를 식 (8)에 대입하여 구해 보면 식 (9)과 같이 된다.

$$V_z = \frac{V_{DD} + \frac{C_A V_{DD} + C_A V_{THp} + C_B V_{THn}}{C_z}}{2 \left( 1 + \frac{C_A + C_B}{2C_z} \right)} \quad (9)$$

만약 C<sub>A</sub> = C<sub>B</sub>이고 V<sub>THn</sub> = -V<sub>THp</sub>이면 식 (9)은 V<sub>DD</sub>/2가 됨을 알 수 있다. 그러나 pMOS의 g<sub>m</sub>을 nMOS와 유사하기 위해 pMOS의 크기를 nMOS에 비해 2배정도 크게 만드는 것이 일반적이므로 C<sub>A</sub> ≈ 2C<sub>B</sub>이고, V<sub>DD</sub>가 5V이고 V<sub>TH</sub>가 1V 미만이므로 2V<sub>DD</sub> ≫ V<sub>TH</sub>가 되어 V<sub>z</sub>는 식 (10)과 같이 근사화 된다.

$$V_z \approx \frac{V_{DD}}{2} \cdot \frac{\left( 1 + \frac{2C_B}{C_z} \right)}{\left( 1 + \frac{3C_B}{2C_z} \right)} \quad (10)$$

이 식에서 C<sub>z</sub> ≈ 10C<sub>B</sub>이라면 V<sub>z</sub>는 약 2.6V정도가 된다.

두 번째 구간 φ<sub>2</sub>는 샘플링 구간으로 스위치 S<sub>1</sub>과 S<sub>2</sub>만 on이 되고 나머지는 off된다. 이때 Z<sub>1</sub>과 Z<sub>2</sub>단은 각각 입력 신호를 받아들이는데, 이때 초기값이 식 (10)과 같이 거의 V<sub>DD</sub>/2이기 때문에 최악조건(worst case)에서 2V~3V만 스윙하면 되는 셈이 된다. 그림 2의 회로는 최악조건에서 V<sub>DD</sub> 만큼 풀 스윙을 해야 되는 것에 비하면 입력 신호를 양 입력단에 충전하는 시간이 훨씬 빨라진 셈이다. 이렇게 양 입력단을 초기화 해두는 것은, 입력 양단의 오프셋 전압을 제거 할 뿐 아니라, 이 회로의 샘플링 구간이 다른 회로에 비해 짧음으로 인한 문제점도 효과적으로 해결하여 주고 있다.

마지막 구간 φ<sub>3</sub>은 비교 구간으로 스위치 S<sub>3</sub>와 S<sub>4</sub>만 on이 되고 나머지는 off 된다. 동작과정은 그림 2의 경우와 같다.

제안된 회로는 샘플링 전에 Z<sub>1</sub>과 Z<sub>2</sub>단을 단락시켜 두 입력단의 전압을 똑같이 초기화 시켰다. 이때 각 인버터의 nMOS와 pMOS는 모두 on 되어 C<sub>A</sub>에 있는 불필요한 전압이 pMOS와 nMOS를 통해 C<sub>B</sub>로 방전됨을 알 수 있다. 즉, V<sub>z1</sub>과 V<sub>z2</sub>의 전압을 같게

한 것은  $\Delta Q/C_s$ 을 최소화하려는 것이고, 또한  $V_A$ 와  $V_B$ 의 전압차를 줄여 래치가 샘플링 구간에서 불필요한 정재환이 일어남을 최소화 할 수 있어  $V_{OCF}$  역시 줄이는 것이다.

하지만 제안된 회로는 정교한 클럭 발생기를 설계하여야한다는 단점을 가지고 있다. 다시 말해 이 비교기에 사용되는 3개의 클럭의 주기가 모두 다르고 정확한 클럭 발생이 필요하다는 말이다. 이러한 문제점은 time interleaved 기법을 이용한 A/D 변환기를 설계함으로써 해결 할 수 있다. 하나의 비교기가 초기화 구간에서 동작하는 동안 다른 하나의 비교기는 샘플링과 비교 구간에서 동작하는 방법이다. 이러한 방법을 통해 정교한 3개의 클럭 없이도 고속 A/D 변환기를 설계할 수 있을 것이다.

## V. 모의 실험 결과 및 고찰

제안된 비교기의 특성을 확인하기 위하여 현대 0.65  $\mu\text{m}$  CMOS 공정 파라미터를 이용하여 HSPICE 로 모의실험 하였다.  $V_{DD}$ 는 5V이고  $GND$ 는 0V이다. 입력 신호는 100MHz, 샘플링 주파수는 200MHz(Nyquist rate)에서 동작 시켰다.

그림 5와 6은 제안된 회로의 A, B와  $Z_1$ ,  $Z_2$  단의 각 전압값을 측정된 것이다. 초기화 구간  $\phi_1$ 에서는  $Z_1$ 과  $Z_2$ 를 단락시켜 약 2.66v 정도의 전압이 됨을 볼 수 있다. 이는 앞장에서 계산한 결과인 2.6v와 거의 같은 값을 알 수 있다. 또한 이 구간에서 인버터 내의 pMOS와 nMOS가 on이 되어 A와 B단을 서로 방전함을 알 수 있다. 방전이 끝난 시점에서 pMOS와 nMOS의 게이트와 소스 사이의 전압차가 문턱 전압의 크기와 같아지므로 이들 모두 off 상태가 된다.

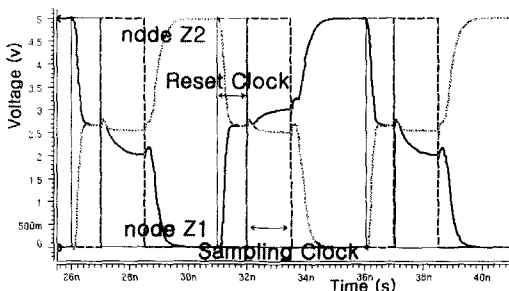


그림 5.  $Z_1$ 과  $Z_2$  단의 모의실험 결과

Fig. 5. The simulation results of node  $Z_1$  and  $Z_2$ .

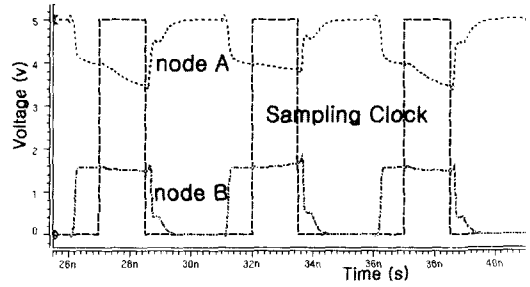


그림 6. A와 B 단의 모의실험 결과

Fig. 6. The simulation results of node A and B.

그림 7은 샘플링 기간 중  $V_{OCF}$ 의 영향을 알아보기 위해 인버터의 pMOS에 흐르는 전류를 측정된 것이다. 이 그림에서 'clock I'는 기존의 회로를 위한 샘플링 신호이고 'clock II'은 제안된 회로를 위한 샘플링 신호이다.  $V_{OCF}$ 에 영향을 미치는 pMOS 전류가 (i)의 경우는 샘플링 구간 전체에 걸쳐 흐르는데 반해 (ii)의 경우는 전류가 빨리 0으로 수렴됨을 알 수 있다. 또 제안된 회로인 (iii)의 경우는 초기화 구간에 대부분의 전류가 흐르고 샘플링 구간에서는 극히 적은 전류가 흐름을 알 수 있다.

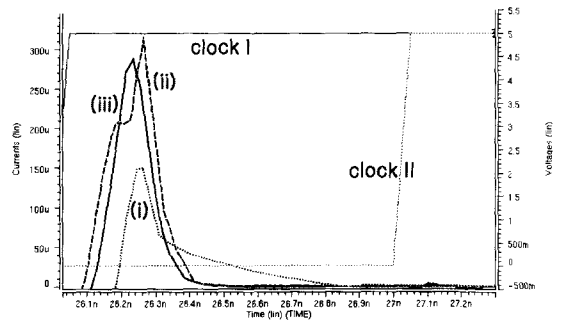


그림 7. 각 회로의 인버터의 pMOS에 흐르는 전류의 비교 (i) 샘플링 구간 동안 그림 1 회로의 경우, (ii) 샘플링 구간 동안 그림 2 회로의 경우, (iii) 초기화 구간 동안 제안된 회로 인버터의 pMOS에 흐르는 전류

Fig. 7. The comparison of currents in pMOS of the inverter of each circuit. (i) a case for Fig. 1 circuit during the sampling phase, (ii) the same for Fig. 2 circuit during the sampling phase, (iii) the same for proposed circuit during the reset phase.

그 다음에는 래치 양 입력단의 입력 저항  $R_{S1}$ 과  $R_{S2}$  값을 증가시키면서 입력 오프셋을 측정해 보았다. 그 결과가 그림 8에 나와 있듯이, 입력 저항값의 변화

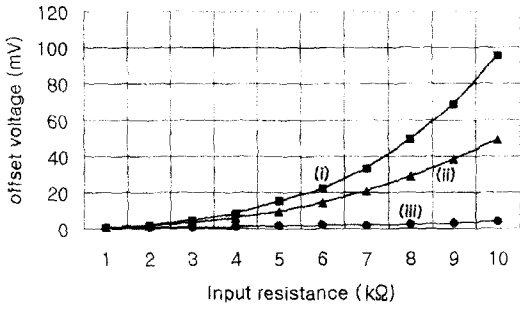
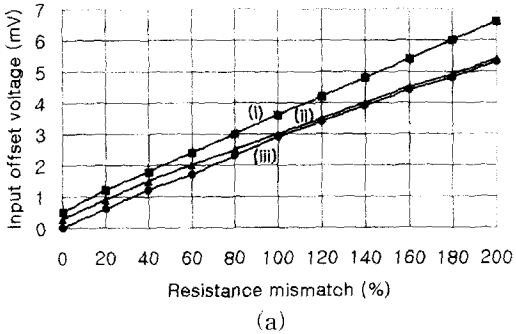
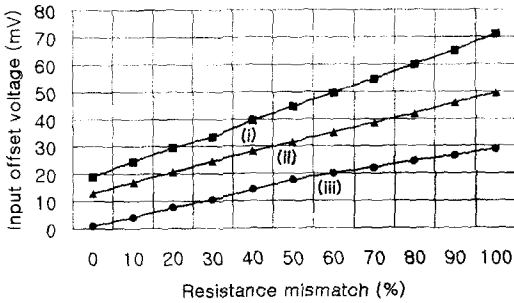


그림 8. 각 회로의 입력 저항의 변화에 따른 입력 오프셋의 변화. (i) 그림 1 회로의 경우, (ii) 그림 2 회로의 경우, (iii) 제안된 회로의 경우

Fig. 8. The variation of input offset vs. input resistance in each circuit. (i) a case for Fig.1 circuit, (ii) the same for Fig. 2 circuit, (iii) the same for proposed circuit.



(a)



(b)

그림 9. 각 회로의 입력 양단의 저항의 부정합에 따른 입력 오프셋의 변화. (i) 그림 1 회로의 경우, (ii) 그림 2 회로의 경우, (iii) 제안된 회로의 경우. (a)  $R_{s1}$ 이 100Ω인 경우, (b)  $R_{s1}$ 이 5kΩ인 경우

Fig. 9. Input offset vs. resistance mismatch on two input nodes in each circuit. (i) a case for Fig. 1 circuit, (ii) the same for Fig. 2 circuit, (iii) the same for proposed circuit. (a) in case  $R_{s1}$  is 100Ω, (b) in case  $R_{s1}$  is 5kΩ

에 따른 오프셋 값이 그림 1의 회로와 그림 2의 회로가 지수적으로 증가하는데 반해, 제안된 회로는 입력 저항값에 상관없이 5mV 이하로 나타났다.

그림 9는 래치 입력 양단의 입력 저항  $R_{s1}$ 과  $R_{s2}$  값이 부정합을 이룰 때 입력 오프셋 전압을 나타낸 것이다. 그림 9(a)에서 보듯이 입력 저항이 작을 때는 기존의 회로와 제안된 회로가 별로 차이를 보이지 않는다. 하지만 입력 저항이 클 경우에는 제안된 회로가 다른 두 회로에 비해 입력 오프셋 전압이 입력 저항의 부정합에 덜 민감하다는 것을 그림 9(b)에서 알 수 있다.

### VI. 결론

본 논문에서는 고속 다이내믹 래치 형태의 비교기에 서 문제가 되는 오프셋을 줄이는 방법을 제안하였다. 다이내믹 래치 형태의 오프셋은 MOS들간의 부정합에 의한  $V_{OM}$ , charge injection 부정합에 의한  $\Delta Q/C_s$  오프셋, 그리고 샘플링 기간 중 발생하는 정제환에 의한  $V_{OCF}$ 로 구분할 수 있다. 기존 논문에서는  $V_{OCF}$ 만 고려하여 오프셋을 줄이려 하였으나 본 논문에서는 charge injection 부정합을 정확하게 해석하고 이를 최소화 할 수 있는 효과적인 회로로 샘플링 전에 비교기의 입력단을 같은 전압으로 초기화하는 방법을 제안 하였다. 이러한 방법은 charge injection 부정합에 의한 입력 오프셋을 줄여 줄 뿐 아니라, nMOS와 pMOS의 불필요한 정제환을 초기에 막음으로써  $V_{OCF}$ 에 의한 오프셋도 함께 줄일 수 있었다. 즉 기존 회로의 경우 샘플링 구간에 전류가 흐르는데 반해, 제안된 회로의 경우는 초기화구간에서 대부분의 전류가 흐를 뿐 샘플링 구간에서는 흐르지 않음으로 인해, 샘플링 구간에서 발생할 수 있는 불필요한 정제환을 미리 방지한다는 것을 모의 실험을 통해 확인되었다. 또 제안된 회로는 기존 방법과 비교하여 200MHz 샘플링 주파수에서 5mV 이하의 오프셋 전압을 가지며, 특히 입력 저항  $R_{s1}$ 과  $R_{s2}$ 을 5kΩ로 할 때 80% 정도 입력 오프셋 값이 개선되었음을 모의 실험을 통해 알 수 있었다. 그리고 양 입력단의 입력 저항이 부정합을 이룰 때에도 기존 방법에 비해 입력 오프셋이 훨씬 작다는 것도 모의 실험을 통해 알 수 있었다.

제안된 비교기는 소자의 수가 적을 뿐 아니라 오프

셋 전압이 아주 작으므로 8bit 정도의 분해능을 가지는 플래시 형태의 고속 A/D 변환기에 많이 응용될 것이다. 또 정확한 클럭 발생에 대한 단점을 해결하기 위해 time interleaved 기법을 이용하면 될 것이다.

참 고 문 헌

[1] 이호영, 광명보, 이성훈, “저전압 저전력 비교기 설계 기법”, 전자공학회논문지, 제33권 A편, 제5호, pp. 940-948쪽, 1996년 5월

[2] 광명보, 이성훈, 이인환, “저전력 CMOS 비교기의 시스템 응용을 위한 오프셋 전압 최소화 기법”, 전자공학회논문지, 제34권 C편, 제12호, pp. 982-990쪽, 1997년 12월

[3] 김진국, 장일권, 광계달, “개선된 Control circuit과 Sense amplifier를 갖는 고속동작 Embedded SRAM의 설계”, 전자공학회 하계종합 학술대회 논문집, 제21권, 제1호, pp. 538-540쪽, 1998년 6월

[4] Bruccoleri. M and Cusinato. P, “Offset reduction technique for use with high speed CMOS comparator”, Electronic Letter, vol. 32, no. 13, pp. 1193-1194, June 1996.

[5] 이성대, 홍국태, 정강민, “고속·저전력 CMOS 아날로그-디지털 변환기 설계”, 한국정보처리학회 논문지, 제2권, 제1호, pp. 66-74쪽, 1995년 1월

[6] McCarrol.B.J, Sodini.C.J and Lee.H.S, “A high speed CMOS comparator for use in an ADC”, IEEE journal of Solid-state circuit, vol. 23, no. 1, pp. 159-165, February 1988.

[7] Yim.G.M, Opt Eynde.F.O and Sansen.W, “A high-speed CMOS Comparator with 8bit resolution”, IEEE Journal of Solid-state Circuit, vol. 27, no. 2, pp. 208-211, February 1992.

[8] Razavi. B and Wooley. B. A, “Design techniques for high-speed, high-resolution comparator”. IEEE journal of Solid-State Circuits, vol. 27, no. 12, pp. 1916-1926, December 1992.

[9] Cusinato. P, Bruccoleri.M, Caviglia. D. D and Valle. M, “Analysis of the behavior of a dynamic latch comparator”, IEEE Transactions on Circuits and System-I: Fundamental Theory and Applications, vol. 45, no. 3, pp. 294-297, March 1998.

저 자 소 개

成 桃 洙(正會員) 第 37卷 SD編 第 2號 參照  
현재 영남대학교 전자정보공학부  
전임강사

徐 熙 敦(正會員) 第 35卷 D編 第 7號 參照  
현재 영남대학교 전자정보공학부  
교수



玄 裕 振(正會員)  
1999년 2월 영남대학교 전자공학과 졸업. 1999년 3월~현재 영남대학교 대학원 전자공학과 석사과정 재학중. 주관심 분야는 CMOS 아날로그 집적회로 설계 및 CAD