論文2000-37SD-10-3

RF집적회로용 이중층 나선형 대칭구조 인덕터의 설계 및 비교 분석
(Design, Analysis, and Comparison of Symmetric Dual-level Spiral Inductors for RF Integrated Circuits)

任 國 周*, 申 素 逢*, 李 相 國*
(Guk-Ju Ihm, So-bong Shin, and Sang-Gug Lee)

요 약

면적 효율이 높은 대칭 구조를 갖는 이중층 나선형 인덕터를 제시하였으며 그 특성을 일반적인 단일층 나선형 인덕터와 비교하여 분석하였다. 일반적인 예측과 달리 이중층 인덕터의 상하층 유도 계수가 인덕터의 권선수와 함께 증가하는 것을 확인하였고 이로 인하여 동일한 면적에 대하여 이중층 인덕터는 권선수에 따라 단일층에 비해 2.5-4배 정도 높은 인덕턴스값을 나타내었다. 또한 같은 인덕턴스 값에 대하여 이중층 구조는 단일층 구조 보다 높은 충실도를 가짐을 확인하였다. 본 논문에서는 이중층 나선형 인덕터가 단일층 나선형 인덕터보다 면적 효율과 충실도 측면에서 우수하여 RF집적회로에 활용되기에 적절한 보다 구조임을 제시하고자 한다. 제시된 이중층 나선형 인덕터는 완벽한 대칭 구조를 갖도록 설계되었으며 측정 결과에서 이와 같은 특성을 확인할 수 있었으며, 고주파용 초크로서 활용가능성을 확인하였다.

Abstract

An area efficient and symmetric dual-level spiral inductor structure is proposed and evaluated in comparison with the conventional single-level spiral inductors. Contrary to the common notion, the mutual coupling coefficient of the upper-and lower-level inductors of the dual-level inductor increases with the increase in the number of turns. Because of this, for the same silicon area, the inductances of the dual-level inductors are 2.5-4 times higher than that of the single-level inductor. Furthermore, the dual-level showed better quality factor than the single-level inductors for the same inductance. It is the intention of this paper to demonstrate that the dual-level can be more useful for the RF integrated circuits than the conventional single-level spiral inductors from the aspects of area efficiency and quality factor. The proposed dual-level inductors are designed and confirmed to be perfectly symmetric, and can also be used as a high-frequency choke.

Ⅰ. 서 론

최근의 동향을 보면 실리콘 공정을 기반으로 한 RF 집적회로는 고주파대역(GHz)에서 점점 더 경쟁력을 갖추어 가고 있는 상황이다. 공정 기술이 개선됨(scaling down)에 따라 실리콘 공정은 RF 주파수 대역(0.3-3GHz)에서 고 성능의 능동 소자를 제공하고 있다. 하지만 대부분의 수동 소자의 경우 낮은 충실도를 가지며 이러한 한계는 능동 소자의 기술적인 진보에도 불구하고, 저가격, 저전압, 저전력, 저잡음 RF집적회로 구현에 있어 주요 장애 요인으로 작용하고 있다. 인덕터는 저잡음 증폭기, 주파수 변환기, 전압 제어 발진기, 전력 증폭기 등의 여러 RF 집적회로에 이용되는 수동 소자로써 최근의 실리콘 공정기술이 RF 집적회로 시장을 주도하게 됨에 따라 높은 충실도를 갖는 집적형 인덕터에 대한 많은 연구결과가 보고되었지만[1-4] 이러한 많은 연구 결과에도 불구하고 실제

* 正會員, 韓國情報通信 大學校
(Information and Communication University)
※ 이 논문은 정보통신부의 지원을 받아 수행한 연구 결과의 일부입니다.(#98-159-03)
接受日字:2000年5月3日, 수정완료일:2000年9月1日

상업용 집적회로의 경우 집적형 인덕터 사용이 보편화 되지 못한 실정이다.

실리콘 집적회로 공정을 이용한 설계에서 인덕터를 쉽게 사용하지 않는 이유는 대개 두 가지로 든다. 그 첫째로 낮은 충실도를 꼽을 수 있다. 특수한 공정 단계를 거치지 않은 일반적인 실리콘 집적회로 공정으로 구현한 집적형 인덕터의 충실도는 RF 주파수에서 대개 10이하이며, 대부분 5이하의 값을 가진다. 이들 집적형 인덕터의 충실도는 RF회로에 있어 인덕터의 가장 보편적인 응용 분야인 단간 정합 혹은 출력 정합 시에는 적절한 수준이라고 할 수 있지만 현재의 실리콘 공정 기술이 제공하는 집적형 인덕터를 저잡음 증폭기의 입력 정합 혹은 전력 증폭기의 출력 정합용으로 사용하기에는 어렵다고 보아야 할 것이다. 이는 저잡음 증폭기의 경우 입력측 정합 회로망의 저항 성분은 잡음 지수를 상승시키고, 전력 증폭기의 경우 출력 정합 회로망의 저항 성분은 전력 효율의 감소를 발생시키기 때문이다. 두 번째로는 집적형 인덕터가 요구하는 칩의 면적이다. 위에서 언급했듯이 최근의 집적형 인덕터에 대한 연구의 결과 많은 부분에서 집적형 인덕터의 성능이 개선되었다. 하지만 상업용 제품에 있어서는 가격이 기술을 결정짓는 가장 중요한 요소 중 하나인데, 집적형 나선형 인덕터는 다른 소자에 비하여 칩의 면적을 넓게 차지하는 단점을 가지며 이는 곧바로 IC가격의 증가를 초래하게 된다. 따라서 집적형 나선형 인덕터가 실제 상업용 RF 집적 회로의 설계에 응용되기 위해서는, 충실도와 함께 면적 효율을 개선하려는 노력이 필요하다고 할 수 있다.

본 논문에서는, 면적 효율이 높고 대칭 구조를 갖는 이중층 나선형 인덕터를 제시하고, 일반적인 단일층 나선형 인덕터와 비교하여 그 성능을 분석하였다. 2장에서는 단일층 구조 및 이중층 구조 인덕터의 구조 및 특징에 대하여 논하였으며, 3장에서는 측정된 인덕터의 특성과 응용에 대하여 논하였고 4장에서 결론을 맺는다.

Ⅱ. 인덕터의 설계

그림 1은 일반적인 단일층 사각 나선형 인덕터의 레이아웃도이다. 그림 에서 알 수 있는 바와 같이, 권선수 3인 인덕터의 레이아웃은 구조가 간단하며, 2층 금속 공정을 기반으로 하고 있다. 일반적으로 나선형 인덕터는 충실도의 개선을 위하여 금속선 간의 간격은 공정에서 허용하는 최소 간격으로, 금속선 폭은 10~20 μm으로 채택한다. 대개 RF주파수에서는 금속층의 두께가 충실도를 결정짓는 주요 요소 중 하나이며, 인덕터 중심의 공간은 충실도를 향상시키는데 있어 도움을 준다[5].

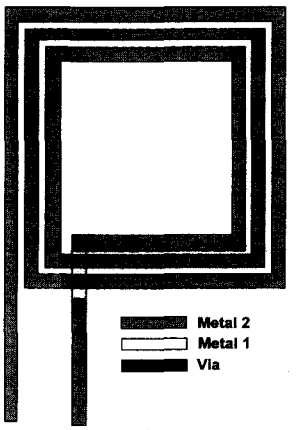
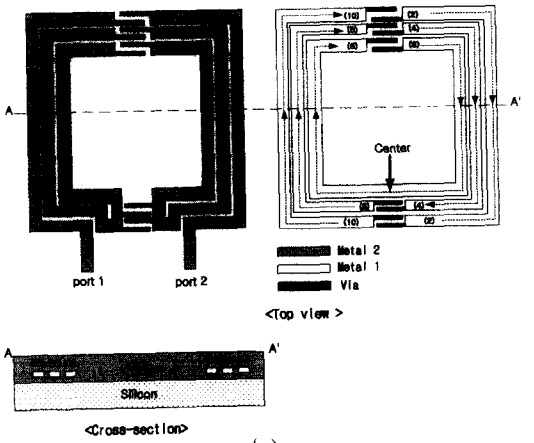
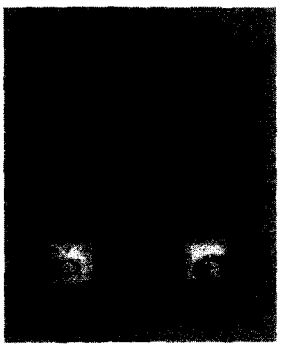


그림 1. 일반적인 단일층 인덕터 구조
Fig. 1. Conventional single-level inductor structure.

그림 2-a는 본 논문에서 제안하는 이중층 사각 나선형 인덕터의 레이아웃도이고 2-b는 실제 제작된 이중층 인덕터의 사진이다. 그림 2-a에서, 금속 2층을 (그림 에서 왼쪽) 금속1층(그림 에서 오른쪽)위에 올려 놓은 것이 실제 인덕터의 구조이며, 상층과 하층은 via를 통하여 연결되어진다. 그림 2-a에서 알 수 있는 바와 같이 번호가 매겨진 점선을 따라서 금속층을 돌면, 완전히 대칭적인 구조의 인덕터가 됨을 알 수 있다. 그림 2-b와 유사한 형태를 갖는 이중층 나선형 인덕터가 Merrill[6] 및 Burghartz[7]등에 의해 소개되었지만, 인덕터의 구조가 대칭적이지 않다. 이상적인 수동 소자는 대칭의 구조를 가지고 있으며 회로 설계의 입장에서도 대칭적인 소자를 선호한다. 하지만 실제로 수동 소자를 설계하여 사용하는 경우에는 구조적인 한계로 인하여 비대칭적으로 제작되고 있으며 이는 회로 설계가 복잡해지는 원인이 될 수 있다. 따라서 대칭형 구조의 소자는 이상적인 소자에 근접하는 것이며 설계를 보다 단순하게 만든다는 측면에서 바람직하다. 또한 [8]에서 제시된 형태의 전압 제어 발진기를 설계함에 있어서는 대칭 구조의 인덕터가 필수적이다.



(a)



(b)

그림 2. 대칭형 이중층 인덕터 구조 (a) 레이아웃 (b) 제작된 이중층 인덕터의 사진. 내경 : 100μm

Fig. 2. Symmetric dual-level inductor structure (a) layout (b) microphotograph of the dual-level inductor. inner diameter : 100μm.

그림 2에 나타난 이중층 나선형 인덕터는 근본적으로 그림 1에 나타낸 구조와 같은 단일층 인덕터 두개를 직렬로 연결했다고 생각 할 수 있다. 그림 3은 단일층 및 이중층 인덕터의 등가 회로를 나타내고 있다. L_s는 단일층 인덕터의 인덕턴스를 나타내고 C_{ox}는 금속과 실리콘 기판 사이의 옥사이드 커패시턴스를, 는 기판의 저항 성분을 나타내며 C_f는 인덕터에 병렬로 존재하는 커패시터 성분을 그리고 K는 상하층 상호 유도 계수를 나타낸다. 회로에서 단일층 인덕터의 인덕턴스는 L_s가 되고, 이중층 인덕터의 인덕턴스는 각 인덕터의 인덕턴스에 상호인덕턴스를 더한 값이 될 것이다. 따라서 이중층 인덕터의 전체인덕턴스는 $2L_s$와 $2 \cdot K \cdot L_s$의 합이 되며 상호유도계수 K가 1인 경우 이중층 인덕터의 전체 인덕턴스는 $4L_s$이므로 단일층 인덕터에 비해 4배가 된다. 그림 1, 2에서 금속 1층과 금속 2층의 두께가 같다고 하면, 이중층 인덕터의 직렬 금속층 저항은 단일층 인덕터 저항의 대략 $\frac{1}{2}$ 배가 된다. 이 경우 단일층 인덕터와 이중층 인덕터의 충실도는 각각 $Q_{single} = \omega L_S / R_S$, $Q_{dual} = 4\omega L_S / 2R_S = 2Q_{single}$이 되며 따라서 원리적으로, 동일 면적에 대해 이중층 인덕터는 단일층 인덕터보다 4배의 인덕턴스와 2배의 충실도를 갖게 된다.

실제 제작된 인덕터는 2~6의 권선수를 가지고 있다. 첫 번째, 두 번째 및 세 번째 금속층의 두께는 대략 0.6μm이며, 네 번째 금속층의 두께는 대략 1μm이다. 또한 첫 번째, 두 번째 및 세 번째 금속층의 저항률은 80m Ω/□ 이며, 네 번째 금속층의 저항률은 40 Ωm/□ 이다. 인덕터의 내경은 50μm, 100μm의 두 종류로 설계되었다. 여기서 내경은 나선형 인덕터의 중심 공간의 한 변의 길이를 말한다. 모든 인덕터에 대해 금속선의 폭은 10μm이며, 금속선간 거리는 1μm이다. 그림 4의 단일층 인덕터는 네 번째 금속층을 권선으로 이용하였고, 그림 5의 이중층 인덕터는 상층(upper layer)으로 네 번째 금속층을, 하층(lower layer)으로는 두 번째와 세 번째 금속층을 병렬로 연결한 구조를 이용하였다. 두 번째 및 세 번째 금속층의 두께(0.6μm)를 고려할 때, 두 번째와 세 번째를 병렬로 연결하면, 네 번째 금속층과 유사한 금속층의 두께를 얻을 수 있다. 이러한 방법으로 이중층 구조에서 하층 금속의 단위 길이당 저항을 상층의 경우와 비슷하게 맞추어 줌으로써, 앞절에서 제시한 상하층이 동일한 저항 R_s를 갖는다는 조건을 만족시켜 주고 있다.

Ⅲ. 측정결과 및 분석

제작된 인덕터의 특성을 알아보기 위해서는 먼저 인덕터의 인덕턴스 값을 측정해야 한다. 본 논문에서는 소자의 인덕턴스값을 추출하기 위한 방법으로 커브 핏팅(curve fitting)방식을 사용하였다. 이는 실제 인덕터에서 측정한 S파라미터와, 등가 회로에서 얻을 수 있는 S파라미터를 비교하여 오차를 줄여나가면서 등가 회로의 소자값을 찾는 방법이다. 커브 핏팅에 사용된 모델(model)은 그림 3-a의 단일층 인덕터의 등가 회로이다. 그림 4은 커브 핏팅을 이용하여 추출된 내경(50μm, 100μm)및 권선수에 따른 단일층 및 이중층 구조 인덕터의 인덕턴스값이다. 그림 4에서 이중층 인

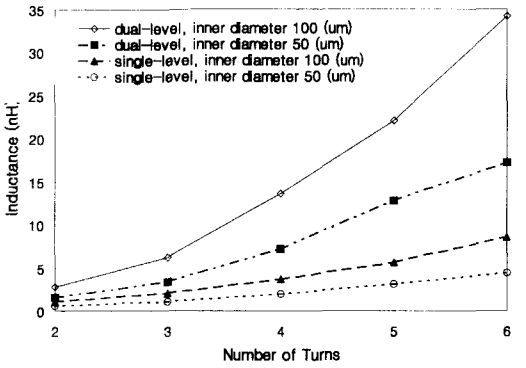


그림 4. 단일층 및 이중층 인덕터의 내경 및 권선수에 따른 인덕턴스

Fig. 4. The inductance of the single- and dual-level inductors as a function of the number of turns.

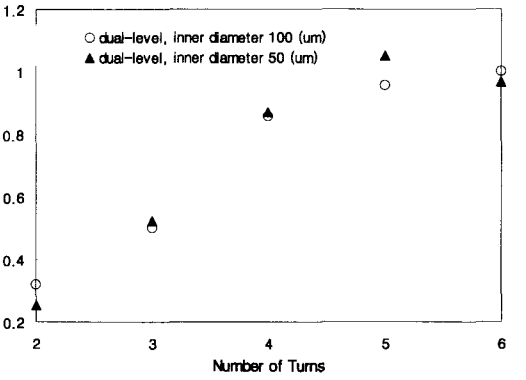
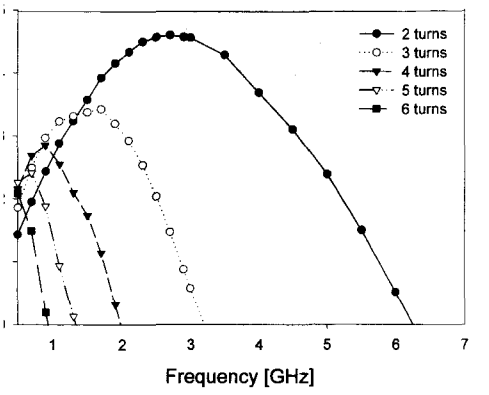


그림 5. 이중층 인덕터의 권선수에 따른 상(하층 상호유도계수

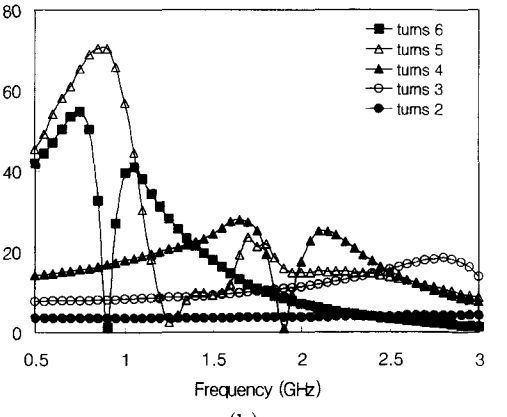
Fig. 5. The mutual coupling coefficient of the dual-level inductors as a function of the number of turns.

덕터의 인덕턴스는 같은 권선수를 갖는 단일층 인덕터에 대해 2.5~4배 정도 높은 값을 가지며 이러한 결과는 2장에서 설명되어진 이중층 인덕터가 단일층의 4배의 인덕턴스를 가진다는 예측에 어긋나는 것이다. 이는 이중층 인덕터의 상호 인덕턴스를 결정하는 상하층 상호 유도 계수 K가 1이 아님을 의미한다. 그림 3에서 상하층 상호 유도 계수와 단일층 인덕터의 인덕턴스로 이중층 인덕터의 인덕턴스를 나타낸 것을 생각하면 역으로 이중층과 단일층의 인덕턴스를 이용하여 상호 유도 계수의 값을 구할 수 있다. 그림 5은 계산된 상호 유도 계수값을 인덕터의 권선수의 함수로 나타낸 것이다. 그림 5을 보면 권선수가 작을 때 상호 유도 계수가 매우 낮아지는 현상을 볼 수 있고 권선수의 증가와 함께 선형적으로 증가하다가 권선수가 5이상이 되면 1에 근접하는 특성을 볼 수 있다. 또한 이러한 현상은 인덕터 내경의 변화와는 무관한 모습을 보이며 단지 권선수에 따라 차이를 보인다. 이러한 사실은 기존의 이중층 인덕터에 관한 보고[6][7]에서 일반적으로 이중층 인덕터의 상하층 상호 유도 계수를 상수 1로 두고 단순히 이중층 인덕터의 인덕턴스가 단일층의 4배라고 한 것이 적절하지 못한 가정임을 의미하는 것이다.

인덕터의 특성을 나타내는 파라미터로 인덕턴스 이외에 충실도가 있다. 일반적으로 수동 소자의 충실도는 1-단자망으로 측정된 수동 소자의 임피던스나 어드미턴스를 허수부와 실수부로 나누고 그 비를 계산하는 방법(Unloaded Q)을 사용한다. 본 논문에서는 이러한 방식의 충실도를 Q_{conv}로 표기한다. 그림 6은 이



(a)



(b)

그림 6. 일반적인 방법(Y_{11}을 이용한)으로 계산된 이중층 인덕터의 충실도 (a) 인덕턴스 (b) 내경: 100μm

Fig. 6. The conventional(Y_{11} based) quality factor (a) and inductance (b) for dual-level inductors. inner diameter: 100μm

중층 인덕터의 Q_{conv}을 권선수와 주파수에 대하여 나타낸 것이다. 그림 6을 살펴보면 권선수의 증가에 따라 인덕터의 은 급격히 감소하는데 이러한 급격한 감소는 그림 3의 등가 회로에서 보이는 커패시터 C_f의 영향이다. 이중층 인덕터는 단일층과 달리 상하층의 금속선이 겹쳐있는 구조이므로 단일층 인덕터보다 큰 C_f를 가진다. 그런데 큰 값의 C_f는 인덕터의 자기공진 주파수를 감소시키며 또한 Q_{conv}은 자기 공진 주파수에서 0이 되기 때문에 이중층 인덕터의 Q_{conv}이 주파수에 따라 급격하게 감소하는 것이다. 여기서 그림 6의 결과로 이중층 인덕터의 유용성에 의문을 가지게 될 수도 있다. 하지만 실제 RF대역에서 동작하는 집적회로 설계에서는 10nH미만의 인덕터를 주로 사용하고 있으며 동작 주파수가 2GHz이상이 되는 경우 대부분 5nH미만의 인덕터를 사용하는 점을 고려하면, 그림 4과 그림 6에서 공진 주파수가 3GHz이상이 되는 권선수 3이하의 이중층 인덕터는 집적 회로 설계에서 응용이 가능한 소자라고 할 수 있다. 또한 이중층 인덕터의 낮은 공진 주파수로 인하여 이중층 인덕터를 RF대역에서 정합 회로에 사용하는 것이 적합하지 않다고 해도 인덕터가 반드시 정합 회로에만 사용되지는 않는다는 점을 생각하면 그림 6만으로 이중층 인덕터를 판단하기에는 무리가 있다.

Q_{conv}은 인덕터의 동작 주파수가 자기 공진 주파수에 근접하게 됨에 따라 인덕터의 실제 충실도보다 낮은 값을 가진다[9]. 물리적인 의미의 충실도는 수동 소자에 저장된 에너지와 수동 소자에서 소모되는 에너지의 비율이다. 하지만 Q_{conv}은 인덕터의 기생 커패시터 C_f에 저장된 에너지 성분이 인덕터에 저장된 에너지 성분을 상쇄시키는 형태로 충실도를 평가하기 때문에 실제의 충실도보다 낮은 값을 가지게 되며 이러한 경향은 동작 주파수가 자기 공진 주파수에 근접함에 따라 심하게 된다. 이러한 단점을 해결하기 위하여 최근 O[9]는 회로 설계 입장에서 보다 합리적인 충실도의 평가 방법을 제시하였다. O[9]가 제시한 평가 방법은 측정된 인덕터의 Y_{11}에 각각의 주파수에 대해 병렬로 이상적인 커패시터를 연결한 후, 결과 회로망의 3-dB 대역폭과 공진 주파수를 계산하여 충실도를 결정하는 것이다. 이하에서는 O의 방법에 따라 측정된 충실도를 Q_{BW}라 하기로 한다. 그림 7은 내경 50μm, 권선수 3 및 내경 100μm, 권선수 2인 이중층 인덕터의 충실도를 기존의 방법(Q_{conv})과 새로운 방법(Q_{BW})으로 평가하여 비교한 것이다. 그림 7을 보면 주파수의 증가에 따라 기생 커패시턴스 C_f의 영향을 무시할 수 없게 되고 따라서 Q_{BW}와 Q_{conv} 사이의 차이가 증가하게 됨을 볼 수 있다.

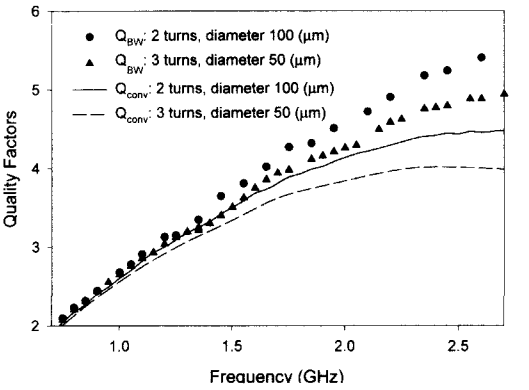


그림 7. 권선수 3(내경 50μm) 및 권선수 2(내경 100μm)인 이중층 인덕터의 주파수에 따른 Q_{BW} 및 Q_{conv}.

Fig. 7. The Q_{BW} and Q_{conv} of the dual-level inductors as a function of frequency, 3-turn(inner diameter 50μm) and 2-turn (inner diameter 50μm).

2장의 예측에 따르면 동일 권선수를 갖는 인덕터의 경우 이중층 인덕터는 단일층 보다 2배 높은 충실도를 가져야 하며 이를 실제 측정을 통해 검증하고자 한다. 하지만 그림 7에서 이중층 인덕터의 경우 동작 주파수가 증가함에 따라 Q_{conv}의 값으로 충실도를 결정하게 되면 실제의 충실도보다 과소 평가될 수 있기 때문에 이제부터는 Q_{BW}의 값으로 이중층 및 단일층 인덕터의 충실도를 평가한다. 그림 8은 권선수 3과 권선수 2인 이중층 인덕터와 동일한 권선수를 가지는 단일층 인덕터의 를 보여주고 있다. 그림 8을 보면 예측과는 달리 이중층의 Q_{BW}가 단일층에 비해 1.3~1.8배 정도 값을 가진다. 이러한 충실도의 감소 원인은 여러 가지가 있을 수 있지만 가장 큰 이유는 그림 4과 그림 5을 통하여 설명 되었듯이 이중층 인덕터의 상하층 상호 유도 계수가 1이 아니기 때문이다. 그림 8에 제시된 인덕터의 권선수는 2와 3이고 그림 5에 따르면 권선수가 2일 때는 K은 0.3정도 되며 권선수가 3일 때는 0.6정도의 값을 가진다. 따라서 그림 3의 등가 회로에 따르면 이중층 인덕터는 단일층보다 K가 0.3일

때는 1.3배, K가 0.6일때는 1.6배 높은 충실도를 가지게 되고 이는 그림 8의 결과와 유사한 수치이다. 상하층 유도계수의 감소 이외에 충실도가 감소하는 원인으로는 그림 2에서 알 수 있듯이 via를 통해 상층과 하층을 오가면서 생긴 직렬 저항의 영향이 있을 수 있으며 또한 도전성 기판(substrate)에 의한 손실 역시 충실도 감소의 주요 요인이 됨은 잘 알려져 있는 사실이다[10]. 기판에 의한 손실은 권선으로 사용된 금속층이 기판과 가까울수록 증가 하는데 이중층 인덕터의 하층 금속층은 단일층 인덕터의 금속층보다 기판과 가까이 있으며 따라서 기판에 의한 손실이 증가한다.

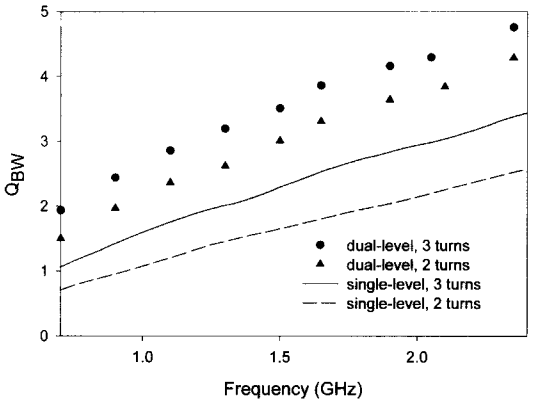


그림 8. 동일 권선수를 갖는 이중층 및 단일층 인덕터의 Q_{BW} 비교. 내경 : 50μm

Fig. 8. The Q_{BW} of single-and dual-level inductors for the same number of turns. inner diameter : 50μm.

이중층 인덕터와 단일층 인덕터의 성능을 보다 실용적인 측면에서 비교를 하기 위해서는 동일한 인덕턴스 값을 갖는 이중층 및 단일층 인덕터의 성능을 비교하는 것이 필요하다. 적절한 비교를 위하여 그림 4에서 나타난 여러 인덕터의 인덕턴스 값에서, 유사한 인덕턴스를 가지는 권선수 2, 3의 이중층 인덕터와 권선수 4,6의 단일층 인덕터를 선택하였고 각각의 Q_{BW}를 그림 9에서 나타내었다. 그림 9에서 보는 바와 같이 낮은 주파수에서는 서로(이중층 2턴과 단일층 4턴, 이중층 3턴과 단일층 6턴) 유사한 Q_{BW}값을 가지지만 주파수의 증가에 따라 각각 이중층 인덕터의 Q_{BW}가 단일층에 비하여 우수한 특성을 가짐을 알수 있다. 비록 충실도의 개선이 크지는 않지만, 이중층 인덕터가 단일층 인덕터에 비하여 면적이 4분의 1수준인 것을 고려하면 이중층 인덕터는 단일층 인덕터에 비해 개선된 충실도를 제공하면서 차지하는 면적은 획기적으로 감소하게 된다. 또한 비교에 사용된 이중층 인덕터의 상하층 상호 유도 계수 K가 0.3, 0.6정도 임을 고려 하면, K가 1에 근접하는 이중층 인덕터의 경우, 유사한 인덕턴스값을 가지는 단일층 인덕터에 대하여 더욱 우수한 충실도를 가질 것이 분명하다. 따라서 실제 IC를 설계하는 경우에는 앞에서 언급한 바와 같이, 다중층 인덕터가 단일층 인덕터 보다 적은 면적에 대해 우수한 성능을 나타낼 것 임을 예측 할 수 있다.

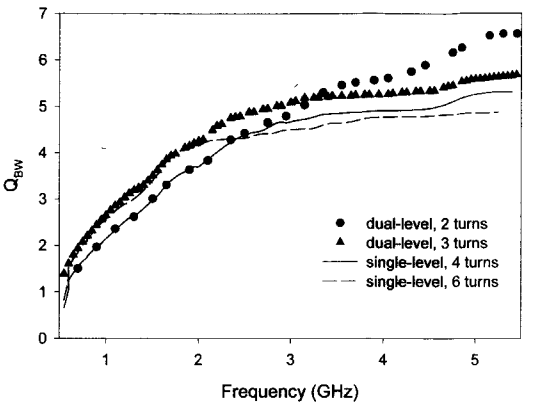


그림 9. 유사한 인덕턴스값을 갖는 이중층 및 단일층 인덕터의 Q_{BW} 비교. 내경: 50μm

Fig. 9. The Q_{BW} of single-and dual-level inductors of similar inductance. inner diameter : 50μm.

그림 10은 유사한 인덕턴스를 갖는 이중층 인덕터와 단일층 인덕터의 주파수에 따른 1차 단자 및, 2차 단자의 임피던스를 보여준다. 그림 에서 알 수 있듯이 이중층 인덕터는 거의 완벽한 대칭성을 보이는 반면, 단일층 인덕터의 경우 1차 단자와 2차 단자의 주파수에 따른 임피던스의 비대칭성이 확실히 드러나고 있다. 이러한 차이는 이중층 인덕터를 설계할 때 기대한 특성중 하나이며 측정 결과 이론과 일치하고 있다.

그림 1에서 나타난 이중층 인덕터와 단일층 인덕터의 임피던스 특성에서 이중층 인덕터의 충실도가 단일층보다 높음을 추정할 수 있는 또 다른 근거가 있다. 그림 10에 나타난 이중층 인덕터와 단일층 인덕터의 임피던스를 비교하면 이중층의 임피던스 특성이 단일층보다 뾰족하며 이는 상대적으로 높은 충실도를 의미하는 것이다. 보다 명확한 비교를 위하여 이중층과 단일층 인덕터의 임피던스 특성에서 자기 공진 주파수(f_0)와 3-dB대역폭(BW_{3-dB})의 비를 계산하였다. 계산결과 이중층 인덕터와 단일층 인덕터는 각각 7.09,

2.75의 f_0/BW_{3-dB}값을 가지고 있었으며 이는 이중층 인덕터가 단일층보다 높은 충실도를 가짐을 간접적으로 시사한다.

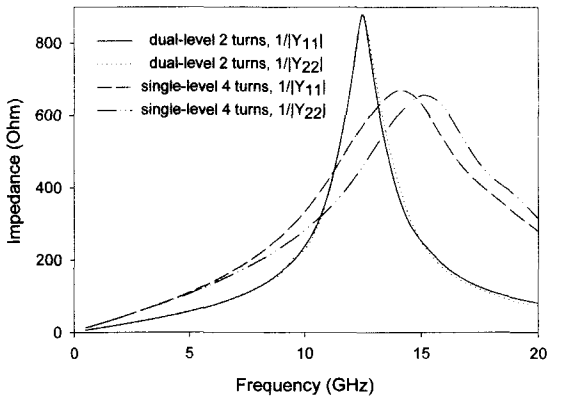


그림 10. 유사한 인덕턴스 값을 갖는 단일층 및 이중층 인덕터의 1차측 및 2차측 임피던스. 내경 : 50μm

Fig. 10. The port1 and port2 impedance of single-level and dual-level inductors have similar inductance, hollow size : 50μm.

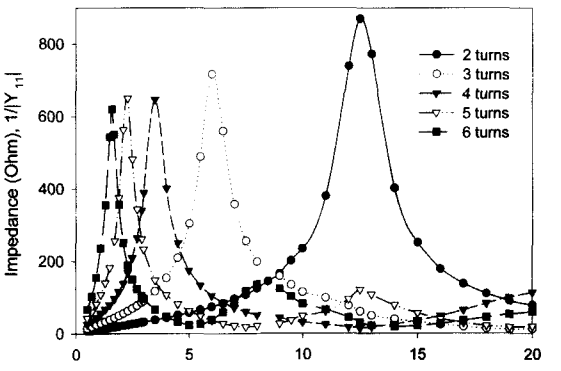


그림 11. 주파수에 따른 이중층 인덕터의 단일단자망 임피던스(1/| Y_{11}|).내경 : 50μm

Fig. 11. The one-port impedance (1/| Y_{11}|) of the dual-level inductors as a function of frequency. inner diameter: 50μm.

그림 11는 내경 50μm인 이중층 인덕터의 단일 단자망 임피던스(1/| Y_{11}|) 특성을 주파수에 따라 보이고 있다. 그림 11에 나타난 이중층 인덕터의 낮은 자기 공진 주파수 특성은 이중층 인덕터의 또다른 응용 가능성을 시사한다. 최근 집적 회로 기술이 발달함에 따라 저전압에서 동작하는 설계가 증가하고 있고 따라서 전력 소모가 거의 없으면서도, 높은 임피던스를 제공할 수 있는 소자가 필요하다. 그림 11를 살펴보면 권선수가 4이상인 이중층 인덕터는 RF대역에서 공진을 하고 있으며 매우 높은 임피던스를 보이고 있다. 이같은 특성은 낮은 자기 공진 주파수를 가지는 이중층 인덕터의 경우 RF대역에서 LC공진 회로의 역할을 하는 RF초크(choke)로 사용이 가능함을 의미한다. 또한 LC공진 회로에서 인덕터의 충실도가 일정할 때 높은 인덕턴스를 갖는 인덕터를 사용할수록 공진 주파수에서 얻을 수 있는 임피던스가 높아지는 특성을 고려하면[11], 이중층 인덕터의 경우는 인덕터가 가장 큰 값을 가지는 LC공진회로라고 할 수 있고 따라서 공진 주파수에서 이중층 인덕터는 일반적인 LC공진 회로보다 높은 임피던스를 얻을 수 있을 것이다.

Ⅳ. 결 론

본 논문에서는 새로운 구조의 대칭 이중층 나선형 인덕터 구조를 제시하고, 그 성능을 단일층 인덕터에 대하여 비교 평가하였다. 일반적인 예측과는 달리 이중층 인덕터의 상하층 상호 유도 계수가 인덕터의 권선수와 함께 증가하는 현상을 확인하였다. 이러한 상호 유도 계수의 변화는 낮은 권선수를 갖는 이중층 인덕터의 인덕턴스와 충실도를 감소시키는 역할을 하였다. 설계된 이중층 인덕터는 단일층 인덕터에 비해 동일한 면적에서 권선수에 따라 2.5-4배 정도 높은 인덕턴스 값을 가지고 있다. 또한 새로운 방법으로 평가된 충실도에 따르면 충실도 역시 단일층 보다 우수하다. 제시된 이중층 인덕터는 완벽한 대칭 구조로써 집적 회로 설계에 보다 유용하게 사용 될 수 있으며 높은 권선수를 갖는 이중층 인덕터의 경우 RF주파수 대역에서 높은 임피던스를 제공하는 RF choke로 사용될 수 있는 특성을 가진다.

참 고 문 헌

[1] K. Danesh, J. R. Long, R. A, Hardaway, and D. L. Harame, "A Q-factor enhancement technique for MMIC inductors," IEEE RFIC Symp., pp. 217-220, 1998.

[2] R. Long and K. A. Copeland, "The modeling, characterization, and design of monolithic inductors for silicon RF IC's," IEEE J. Solid-State Circuits, vol. 32, no. 3, pp. 357-

369, march 1997.

[3] N. Burghartz, K. Soyuer, and K. A. Jenkins, "Integrated RF and microwave Components in BiCMOS Technology," IEEE Trans. Electron Devices, vol. 43, no. 9, pp. 1559-1570, September 1996.

[4] K. B. Ashby, I. A. Koullias, W. C. Finley, J. J. Bastek, and S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process," IEEE J. Solid-State Circuits, vol. 31, no. 1, pp. 4-9, 1996.

[5] J. Craninckx and K. S. J. Steyaert, "A. 1.8-GHz low-phase-noise CKOS VCO using optimized hollow spiral inductors," IEEE J. Solid-State Circuits, vol. 32, no. 5, pp. 736-744, Kay 1997.

[6] R. B. Merrill, T. W. Lee, H. You, R. Rasmussen, L. A. Moberly : 'Optimization of High-Q integrated inductors for multilevel metal CKOS', IEDK Tech Dig., 1995, pp. 983-986.

[7] J. N. Burghartz, K. A. Jenkins, and K. Soyuer, "Multilevel-spiral inductor using VLSI interconnect technology," IEEE Electron Device Letters, vol. 17, no. 9, pp. 428-430, Sep. 1996.

[8] J. Craninckx, K. Steyaert, and H. Miyakawa, "A fully integrated spiral-LC CKOS VCO set with prescaler for GSK and DCS-1800 systems," IEEE 1997 CICC, pp. 403-406, 1997.

[9] K. O, "Estimation method for quality factor of inductors fabricated in silicon integrated circuit process technologies," IEEE J. Solid-State Circuits, vol. 33, no. 8, pp. 1249-1252, Aug. 1998.

[10] R. D. Lutz, Y. Hahm, A. Weisshaar, and V. K. Tripathi, "Modeling of spiral inductors on lossy substrates for RFIC applications," IEEE KTT-S Digest, pp. 1855-1858, 1998.

[11] Thomas. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," Cambrige Univ press, pp. 86-93.

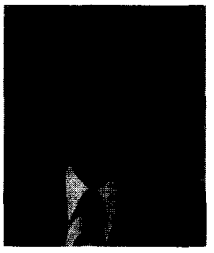
저 자 소 개

任 國 周(正會員)

1994년 한양대 전기공학과 졸업. 1998년 9월-현재 한국정보통신 대학원 대학교 공학부 석사과정 재학중. 주관심 분야 : RF LNA 설계 및 NOISE 모델링

申 素 逢(正會員)

1976년 8월 28일생, 1999년 2월 한동대학교 전산전자 공학부 졸업, 1999년 3월-현재 : 한국정보통신대학원대학교 공학부 석사과정. 주관심분야 : RF 전력 증폭기, 광대역 증폭기, 및 수동소자 설계



李 相 國(正會員)

1958년 8월 3일생, 1981년 2월 경북대학교 전자공학과 졸업, 1989년 플로리다 대학교 전기공학 석사, 1992년 플로리다 대학교 전기공학 박사. 1995-1997년 한동대학교 전산전자 공학부 조교수, 1998년 2월-현재 : 한국정보통신 대학원 대학교 공학부 조교수로 재직 중. 주관심분야 : 이동통신용 RF 집적회로 설계 (LNA, mixer, oscillator, power amp), RF 시스템 설계, 능동 및 수동소자 설계 및 모델링