論文2000-37SD-9-10

연결선에 기인한 시간지연의 정확한 모델 및 실험적 검증
(A New Accurate Interconnect Delay Model and Its Experiment Verification)

尹 聖 泰 *, 魚 瀛 善 *, 沈 鍾 寅 *
(Seongtae Yoon, Yungseon Eo, and Jongin Shim)

요 약

본 논문에서는 고속 VLSI 회로 내의 전송선에서 발생하는 전달지연시간을 계산하는 해석적 모델을 제시하고 그 모델의 정확성을 실험적으로 검증한다. 새로 제시한 모델은 표피효과, 근접효과 그리고 실리콘 기판에 의한 전송선 파라미터 변화를 고려하기때문에 이들 영향을 반영한 새로운 인터커넥트 회로모델에 대하여 새로운 연결선에서의 신호지연을 해석이 가능하다. 본 논문에서는 이러한 결과를 바탕으로 새로운 전송선의 시간지연 모델을 구현한다. 모델의 정확성을 검증하기 위해 코플레너(coplanar)와 마이크로 스트립구조가 결합한 패턴의 모델을 0.35μm CMOS 공정을 사용하여 제작하였다. 이들 테스트 패턴에 대한 실험적 검증을 통하여 모델이 약 10% 이내의 오차범위에서 정확하다는 것을 보인다.

Abstract

A new analytical VLSI interconnect delay model is presented and its accuracy is experimentally verified. In the model, the transmission line parameter variations due to skin effect, proximity effect, and silicon substrate effect are taken into account. That is, the circuit model of the interconnect line that includes these effects is newly developed and analyzed. For the model verification, test patterns combined the coplanar structure with microstrip were designed by using 0.35μm CMOS process technology. It is shown that the accuracy of the model is less than about 10% error.

I. 서 론

집적회로에서 인터커넥트 배선의 지연시간이 전체 지연시간에서 차지하는 비율이 약 80% 이상 차지하기 때문에 정확한 전달 지연시간을 구하는 것은 회로 설계 시 타이밍 검증을 위하여 대단히 중요하다[1-4]. 배선상에서 신호의 전달지연에 대한 예측 및 검증을 위하여 RC 모델, RLC 모델[4-12], 및 파형근사화 기법[1,2]이 개발되었고 이들 기법이 대부분의 상용화된 타이밍 검증 CAD툴에 사용되고 있다. 일반적으로 RC 모델은 간단한 장점이 있는 반면에 최근의 서브나노초의 스위칭 시간을 갖고 동작하는 집적회로의 타이밍 해석으로는 부정확한 모델이다. 집적회로의 속도가 증가함에 따라 배선의 인덕턴스는 시스템의 성능에 대단히 심각한 영향을 미친다. 특히 실리콘기판은 고주파에서 유전체로 작용하기 때문에 고주파 성분에 대한 인덕턴스의 영향은 무시 할 수 없다[13-15]. 따라서 그림 1에서와 같은 RC 모델 보다는 좀더 정확한 RLC 모델을 사용하여 회로의 타이밍 문제를 해결하려는 시도를 하고 있다[3-12]. RLC 모델은 RC 모델 보다는 정확한 이점이 있지만 RLC 모델을 사용한 정확한 해석적인 모델을 찾을 수 없다는데 근원적인 문제가 있다[4]. 이들 해석적인 모델과는 달리 타이밍 검증을 빠르게 수행하기 위한 또 다른 방법중의 하나인 파형근사화 기법은 응답함수를 주파수 영역에서 시스템 함수를 다수의 극점(pole)을 갖는 함수로 피팅하여 상응하는 시간함수의 파형을 신속히 찾아 타이밍을 검증하는

* 正會員, 漢陽大學校 電子工學科
(Dept. of Electronic Engineering, Hanyang University)
接受日字:2000年3月20日, 수정완료일:2000年7月15日

기법이다[1,2]. 이들 파형근사화 기법은 일반적인 RLC 회로망에서 RC시정수가 L/R시정수를 지배하는 경우는 대단히 정확한 기법인 반면에 그 반대의 경우는 원함수가 주파수 영역에서 급격히 변화하기 때문에 근사화기법을 사용하여 원함수를 정확히 피팅할 수 없는 근원적인 문제점을 갖고있다[1,2]. 따라서 도선의 길이가 길고 저항이 작은 배선망의 타이밍 해석에는 적용하는데 한계가 있다. 더욱이 최근의 고속 집적회로 배선 모델은 표피효과, 근접효과, 및 실리콘기판에 의한 전송모드의 변화를 감안하면 본질적으로 주파수에 종속하는 모델 파라미터를 사용하여야 하기 때문에 일반적인 전송선 모델을 사용해서는 않된다[6,12-16].

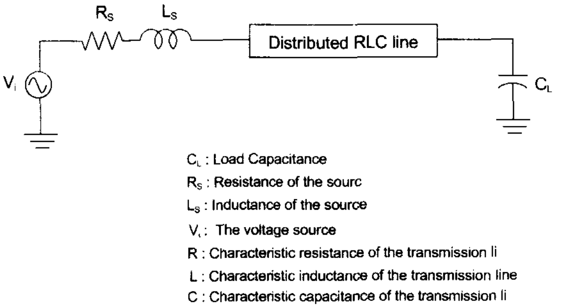


그림 1. 기존의 이상적인 전송선 모델
Fig. 1. The general ideal transmission line model.

본 연구에서는 일반적인 전송선 구조에 대하여 표피효과, 근접효과, 및 실리콘기판에 의한 전송모드의 변화를 전부 고려한 변형된 RLC 회로망으로부터 배선상의 신호의 전달지연을 정확히 예측할 수 있는 새로운 등가회로 모델을 제시한다. 또한 제시한 등가회로 모델로부터 배선상의 전달시간 지연을 정확히 예측 할 수 있는 해석적인 모델식을 유도하고 이를 실험적으로 검증한다. 실험적 검증을 위하여 0.35μm CMOS공정을 사용하여 테스트 패턴을 설계 제작하였고 이들 패턴에 대하여 s-파라미터 측정 및 HSPICE 시뮬레이션을 통하여 제시한 모델의 정확성을 검증한다.

II. 집적회로 연결선의 회로 모델

시스템 내에서 그라운드는 신호선의 전류에 대한 리턴 패스로 작용한다. 대부분의 동작 주파수(약 수GHz 이내)에서 실리콘 기판은 도핑 농도에 의해 저항이 결정되는 일정한 도전율(conductivity)을 갖는 금속 평판으로 취급하며[13], 그 기판의 실효두께는 신호선과 이웃 하는 두 라인 사이의 거리로 결정 할 수 있다[15].

인덕턴스는 시스템 내의 그라운드의 위치에 따라 큰 영향을 받는 파라미터이므로 신호선에 흐르는 전류와 리턴 패스를 통해 흐르는 각각의 전류 사이에 형성되는 쇄속자기장(interlinkage flux)의 양에 의해 결정된다. 인덕턴스는 상호 교차하는 플럭스 양과 관계하는 전류의 비례계수로서 다음과 같은 식으로 나타낼 수 있다.

$$L = \frac{\varphi}{I} \quad (1)$$

여기서 ϕ, L, I는 각각 자기장의 총 플럭스 량, 인덕턴스, 그리고 전류를 나타낸다. 그리고 그림 2에서 그라운드를 통해 흐르는 리턴 전류는 각 그라운드의 임피던스에 반비례하여 흘러 다음과 같은 식을 만족한다.

$$|I_f| = I_{r1} + I_{r2} + I_{r3} \quad (2)$$

여기서 I_f, I_{r1}, I_{r2}, I_{r3}는 각각 신호라인에서 흐르는 전류와 코플레너(coplanar)에서의 그라운드 라인에서 흐르는 전류들, 그리고 실리콘 기판을 통해 흐르는 전류이다. 따라서 근접효과(proximity effect)를 고려하기 위하여 그림 2의 구조를 그림 3과 같이 분포정수 회로로 모델 할 수 있다.

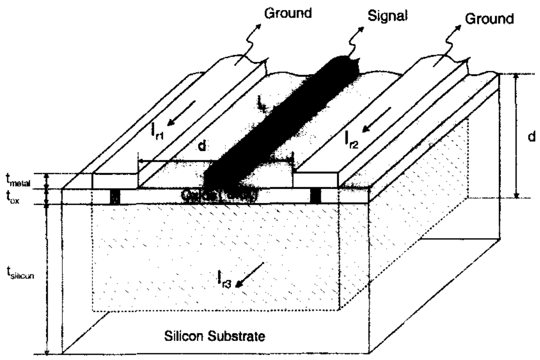


그림 2. 그라운드 리턴 패스를 가지는 코플레너(coplanar)와 마이크로-스트립(micro-strip)이 결합한 구조
Fig. 2. A combined transmission line structure composed of a co planar structure and a microstrip with the ground return paths.

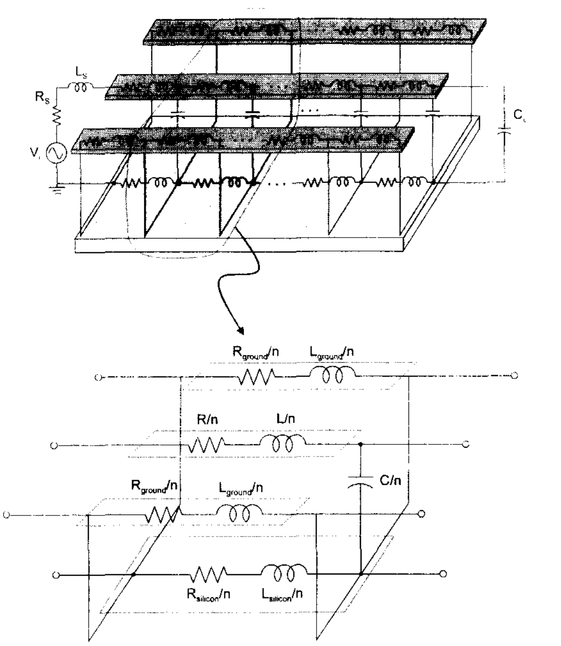


그림 3. 근접효과를 고려한 전송선 모델
Fig. 3. The transmission line model for the proximity effect.

여기서, R_S 와 L_S 는 전원의 저항과 인덕턴스이고, R, C, L 는 각각 단위 길이 당 전송선의 특성 저항, 특성 캐패시턴스, 특성 인덕턴스이고, R_{ground} 와 L_{ground} 는 그라운드 라인의 저항과 인덕턴스이고, $R_{silicon}$ 와 $L_{silicon}$ 는 실리콘 기판의 저항과 인덕턴스이며, C_L 은 부하의 캐패시턴스이다.

시스템 내에 여러 개의 그라운드가 존재하는 경우 각 그라운드에 흐르는 전류는 임피던스에 반비례하여 흐르고, 임피던스는 저항과 리액턴스(reactance)의 합이므로 리턴 패스를 통해 흐르는 전류의 양은 저주파에서는 주로 저항의 영향을 크게 받으며 고주파에서는 인덕티브 리액턴스에 의해 주된 영향을 받게 된다. 따라서 저주파 및 고주파에 상응하는 임피던스는 리턴 패스를 갖는 전송선의 근접효과(proximity effect)를 고려한 회로 모델인 그림 3으로부터 다음과 같이 얻을 수 있다.

$$R_{dc} = R + R_{GND} = R + \frac{R_{ground}R_{silicon}}{R_{ground} + 2R_{silicon}} \tag{3}$$

$$L_{dc} = \sum_{i=0}^{3}\alpha_i \sum_{j=0}^{3}\alpha_i L_{ij} = L + 2\left(\frac{R_{GND}}{R_{ground}}\right)^2 L_{ground} + \left(\frac{R_{GND}}{R_{silicon}}\right)^2 L_{silicon} \tag{4}$$

$$L_{hf} = L + \left(L_{silicon} // L_{ground} // L_{ground}\right) = L + \frac{L_{silicon}L_{ground}}{L_{ground} + 2L_{silicon}}. \tag{5}$$

여기서, $\alpha_0 = 1$, $\alpha_i = -\frac{R_{GND}}{R_{gi}}$, L_{ij} (여기서 i, j가 0일 때는 전송선의 특성 인덕턴스이고, 그 외에는 i, j번째의 그라운드 라인의 인덕턴스임), $R_{GND} \equiv R_{gi} // R_{g2} // R_{g3}$(여기서 는 i번째의 그라운드 라인의 저항임)이고, R_{dc} 와 L_{dc} 는 저주파수대역에서의 저항과 인덕턴스이며, L_{hf}는 고주파수대역에서의 인덕턴스이다. 또한 고주파에서의 표피효과를 추가적으로 고려하면 그림 3의 회로모델은 다시 그림 4 와 같이 나타낼 수 있다. 그림 4에 사용된 파라미터 값들은 다음과 같이 쉽게 계산할 수 있다[6,12].

$$R_0 = \frac{R_{dc}L_{dc}}{L_{hf}} \tag{6}$$

$$R_1 = \frac{R_{dc}L_{dc}}{L_{dc} - L_{hf}} \tag{7}$$

$$L_0 = L_{hf} \tag{8}$$

$$L_1 = \frac{L_{dc}^2}{L_{dc} - L_{hf}} \tag{9}$$

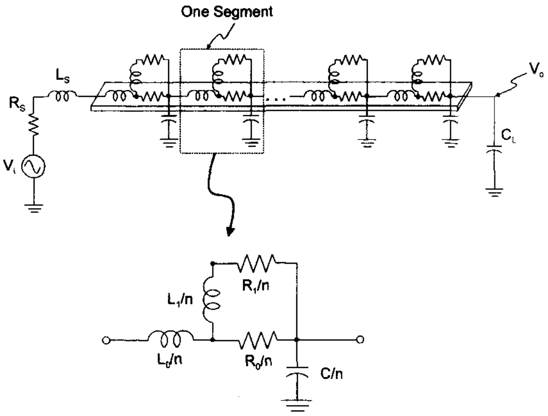


그림 4. 표피효과를 고려한 전송선 모델
Fig. 4. The transmission line model for the skin effect.

그림 4를 일반적인 전송선 모델과 같은 형태로 다시 모델링하면 그림 5와 같이 되며 그림 5는 표피효과와 근접효과를 동시에 고려한 회로 모델이다. 주지하다시피 그림 5는 회로 모델 파라미터가 주파수에 종

속하는 값을 갖으며, 그림 5의 파라미터 값들은 그림 4로부터 간단한 대수적인 연산을 통해 다음과 같이 구할 수 있다[6].

$$R(\omega) = \frac{R_0 R_1 (R_0 + R_1) + \omega^2 R_0 L_1^2}{(R_0 + R_1)^2 + \omega^2 L_1^2} \tag{10}$$

$$L(\omega) = L_0 + \frac{L_1 R_0^2}{(R_0 + R_1)^2 + \omega^2 L_1^2} \tag{11}$$

식 (10)과 (11)에서 보듯이 모델에 적용된 파라미터는 실리콘 기판의 영향을 고려하였으며 주파수에 따른 표피효과와 근접효과를 반영하였으므로 전송선의 전자기적 현상을 정확히 반영할 수 있다. 따라서 그림 5의 회로 모델을 사용한다면 보다 정확한 전송선의 전파지연을 예측할 수 있다.

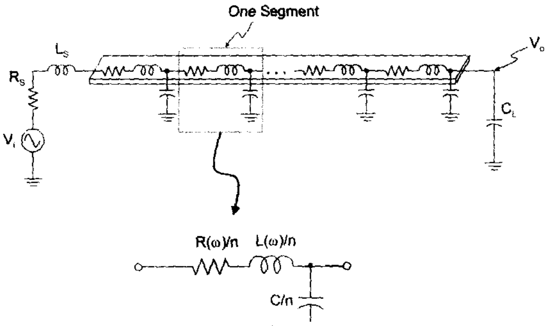


그림 5. 새로운 전송선 모델
Fig. 5. New Transmission line model.

Ⅲ. 집적회로 연결선의 전달지연 시간 (타이밍 지연시간) 해석

인터커넥트에서의 신호의 입력($V_{in}(s)$)과 출력($V_o(s)$)의 관계식은 다음과 같다.

$$V_o(s) = V_{in}(s) H(s) \tag{12}$$

여기서, $V_o(s)$, $V_{in}(s)$, $H(s)$는 각각 출력전압, 입력전압, 그리고 시스템 함수를 나타낸다. 인터커넥트의 $H(s)$을 위의 주파수 종속 파라미터를 사용하여 구하는 것은 대단히 복잡하여 취급하기 힘들다. 따라서 인터커넥트의 을 근사적으로 구하기 위해서 그림 5의 시스템 함수를 두개의 폴을 갖는 간단한 근사함수로 가정하면 다음과 같이 표현 할 수 있다[4].

$$H(s) \approx \frac{1}{1 + b_1 s + b_2 s^2} \tag{13}$$

여기서 b_1과 b_2는 그림 5를 통해 다음과 같이 구할 수 있다.

$$b_1(\omega) = R_S (C + C_L) + \left(\frac{C}{2} + C_L\right)\left[\frac{R_0 R_1 (R_0 + R_1) + \omega^2 R_0 L_1^2}{(R_0 + R_1)^2 + \omega^2 L_1^2}\right] \tag{14}$$

$$\begin{aligned} b_2(\omega) = {} & \frac{R_S C}{2}\left(\frac{C}{3} + C_L\right)\left[\frac{R_0 R_1 (R_0 + R_1) + \omega^2 R_0 L_1^2}{(R_0 + R_1)^2 + \omega^2 L_1^2}\right] \\ & + \frac{C}{6}\left(\frac{C}{4} + C_L\right)\left[\frac{R_0 R_1 (R_0 + R_1) + \omega^2 R_0 L_1^2}{(R_0 + R_1)^2 + \omega^2 L_1^2}\right]^2 + L_S (C + C_L) \\ & + \left(\frac{C}{2} + C_L\right)\left[L_0 + \frac{L_1 R_0^2}{(R_0 + R_1)^2 + \omega^2 L_1^2}\right] \end{aligned} \tag{15}$$

위 식에서 보듯이 b_1과 b_2의 값은 주파수의 함수이다. 상승시간을 갖는 입력 신호를 푸리에 변환하여 주파수 대역에서 보면 주파수 대역 전체에 걸쳐있다. 따라서 각각의 주파수에 따라 b_1과 b_2는 다른 값을 갖으며, 또한 시스템 함수도 변하게 되어 결과적으로 주파수에 따라 각기 다른 전달지연 시간을 갖게 된다. 전송선에서의 전달지연 시간을 구한다는 것은 가장 심각한 경우, 즉 가장 지연 시간이 긴 경우에 대한 값을 구한다는 것이다. 그런데 전달지연은 주로 저주파 영역과 관계되므로 식 (14)와 식 (15)의 ω에 '0'을 대입한 값을 사용하여 구하는 것이 타당하다. 그러므로 전송선의 시간응답은 식 (13)을 식 (12)에 넣고 라플라스 역변환을 통해 구한 식을 통해 구할 수 있다[4]. 식 (12)에서 폴은 2차 방정식의 형태로 나타나는 분모의 근이다. 따라서 2차 방정식은 조건에 따라 서로 다른 두 실근, 중근, 그리고 허근을 갖으므로 이를 고려하여 지연시간을 다음과 같이 구할 수 있다[4].

$$T_{delay} = \begin{cases} K_r \dfrac{2b_2}{b_1 - \sqrt{b_1^2 - 4b_2}} & for\ \ b_1^2 - 4b_2 > 0 \\ K_c \dfrac{2b_2}{\sqrt{4b_2 - b_1^2}} & for\ \ b_1^2 - 4b_2 < 0 \\ K_d \dfrac{b_1}{2} & for\ \ b_1^2 - 4b_2 = 0 \end{cases} \tag{16}$$

여기서, K_r, K_c, 그리고 K_d는 각각 서로 다른 실수 폴을 갖는 시스템 함수에서의 전달지연시간 비례계수, 허수 폴을 가지는 시스템 함수에서의 전달지연시간 비례계수, 그리고 두개의 같은 실수 폴을 가지는 시스템 함수에서의 전달지연시간 비례계수이다. 이 비례계수는

[4]에서 제시한 피팅(fitting) 방법을 사용할 수 있으나 [4]의 방법은 일반적으로 사용 할 수 없다. 따라서 본 논문에서는 일반적인 경우까지 확장하기 위하여 다음과 같이 해석적인 식을 유도하였다.

i) 서로 다른 실수 폴을 가지는 경우

$$K_r = \ln\left(\frac{1}{2(1-V_{th})}\left[1+\frac{b_1}{\sqrt{b_1^2-4b_2}}\right]\right)+a(t_r) \tag{17}$$

ii) 허수 폴을 가지는 경우

$$K_c = \frac{(1-V_{th})e^{\alpha T_{ED}}}{\sqrt{1+\left(\frac{\alpha}{\beta}\right)^2}} - \tan^{-1}\left(\frac{\beta}{\alpha}\right)+b(t_r) \tag{18}$$

iii) 서로 같은 실수 폴을 가지는 경우

$$K_d = 3.9 + c(t_r) \tag{19}$$

여기서, α는 $\frac{b_1}{2b_2}$, β는 $\frac{\sqrt{4b_2-b_1^2}}{2b_2}$, T_{ED}는 엘모어 지연시간(Elmore delay)이며, V_{th}는 부하단자에 신호가 얼마나 전달되어야 하는 가를 나타나는 것으로 '0.5'일 경우는 신호가 50% 전달 됐을 경우이고, '0.9'일 경우는 신호가 90% 전달됐을 경우이다. 위식에서 $a(t_r)$, $b(t_r)$와 $c(t_r)$는 모델식의 에러를 보상하는 파라미터로서 단위 계산함수(unit)에 대한 SPICE 응답으로부터 쉽게 구할 수 있다. 표 1에 다음절의 실험값과 비교하기 위하여 $a(t_r)$에 따른 값을 나타내었다.

표 1에서 보듯이 $a(t_r)$, $b(t_r)$와 $c(t_r)$는 상승시간에 따른 비례계수(k)와 모델식의 기본적인 수학적 오차에 의한 에러(ξ)로 표현된다.

표 1. $a(t_r)$의 값.

Table 1. The value of $a(t_r)$.

구조	넓이 (μm)	$a(t_r)=k\times t_r+\xi$			
		k		ξ	
		50%	90%	50%	90%
그림7(a)	0.8	2.37×10^{-15}	2.73×10^{-15}	-0.015×10^{-24}	-0.215×10^{-24}
그림7(a)	1	3.04×10^{-15}	3.99×10^{-15}	0.049×10^{-24}	-0.426×10^{-24}
그림7(a)	1.6	4.54×10^{-15}	7.21×10^{-15}	0.311×10^{-24}	-0.553×10^{-24}
그림7(a)	2	5.21×10^{-15}	8.81×10^{-15}	0.526×10^{-24}	-0.488×10^{-24}
그림7(a)	10	6.50×10^{-15}	12.88×10^{-15}	1.989×10^{-24}	0.337×10^{-24}
그림7(c)	2	1.73×10^{-15}	1.94×10^{-15}	0.070×10^{-24}	-0.470×10^{-24}
그림7(d)	1	1.20×10^{-15}	1.21×10^{-15}	-0.030×10^{-24}	-0.127×10^{-24}

Ⅳ. 실험적 검증과 토론

본 논문에서는 제시한 인터커넥트 지연 모델을 실험적으로 검증하기위해서 그림 6과 그림 7에서 보여지는 형태의 패턴을 0.35μm CMOS 공정을 사용하여 설계 제작하였다.

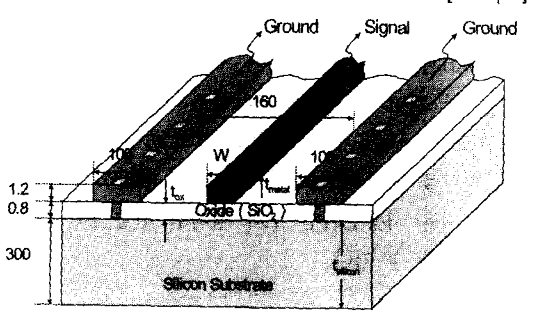


그림 6. 테스트 패턴의 단면도.

Fig. 6. Cross-sectional dimension of a test pattern.

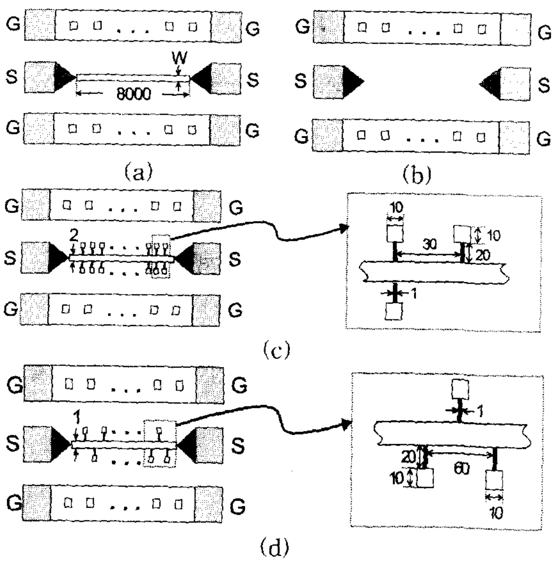


그림 7. 테스트 패턴의 레이아웃 (a) 다양한 신호선의 넓이를 가지는 곧은 전송선, (b) 패들만이 있는 형태, (c) 캐패시턴스 값을 늘린 신호선(대칭형), (d) 캐패시턴스 값을 늘린 신호선(비대칭)

Fig. 7. Test pattern layouts. (a) straight line with variable signal line width, (b) open pad for de-embedding, (c) capacitance-loaded line along the signal line (symmetrically loaded), (d) capacitance-loaded line along the signal line (asymmetrically loaded).

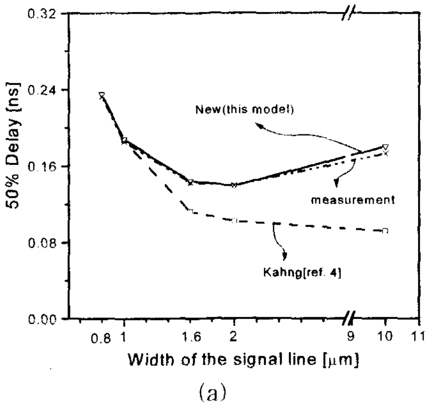
테스트 패턴의 레이아웃은 그림 7과 같다. 각 패턴에 대하여 신호선의 넓이는 각각 0.8μm, 1.0μm, 1.6μm, 2μm, 그리고 10μm 이다. 캐패시턴스의 값을 늘린 라인인 그림 7의 (c)와 (d)의 전송선 구조에서는 신호선의 넓이는 1.0μm 과 2.0μm으로 설계하였다. 총 라인의 길이는 8000μm로 동일하다.

각 테스트 패턴의 R, L, C 값은 임피던스 어날라이져(HP4275)를 사용하여 측정하였고 측정값은 표 2와 같다. 또한 각 구조에 대한 전달 지연시간의 계산값과 실험값은 그림 8에 나타내었다. 그림 8에서 보는 바와 같이 본 논문에서 제시하는 회로 모델과 같이 그라운드의 리턴 패스에 의한 효과, 근접효과, 및 표피효과 모두를 고려한 전송선 회로 모델을 사용한 전달지연 시간을 계산하는 것이 보다 정확하다는 것을 볼 수 있다. 본 논문에서 제시한 모델은 실험치와 약 10% 이내의 오차범위에서 일치한다. 반면에 그림 8에서 보인 바와 같이 근접효과와 표피효과를 고려하지 않은 이상적인 전송선 모델을 사용한 연결선의 지연 모델[4]은 대단히 부정확하다.

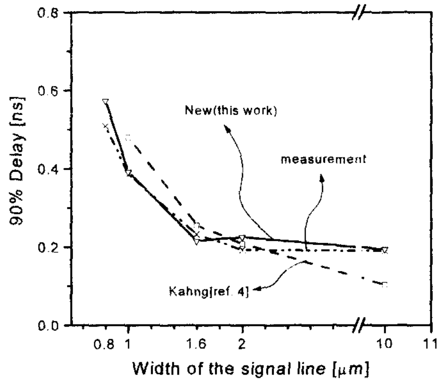
표 2. 테스트 패턴에 사용된 저항과 캐패시턴스와 인덕턴스의 파라미터

Table 1. Measured resistances, capacitances and inductance for the test patterns.

	넓이	인덕턴스	캐패시턴스[pF]		저항[Ω]	
	[㎛]	[nH]	Die 1	Die 2	Die 1	Die 2
그림7(a)	0.8	8.78	1.09	1.09	466	469
그림7(a)	1	8.63	1.17	1.17	328	329
그림7(a)	1.6	8.26	1.41	1.41	166	175
그림7(a)	2	8.02	1.55	1.55	127	131
그림7(a)	10	6.16	4.38	4.38	28.2	34.7
그림7(c)	2	8.02	6.18	6.18	127	128
그림7(d)	1	8.63	3.47	3.47	340	327



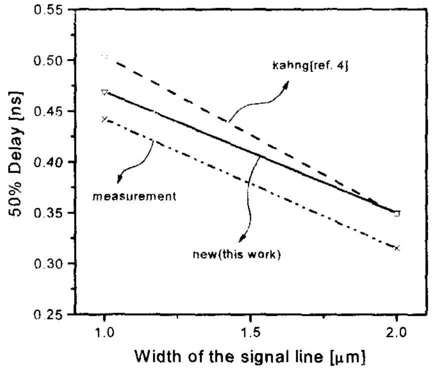
(a)



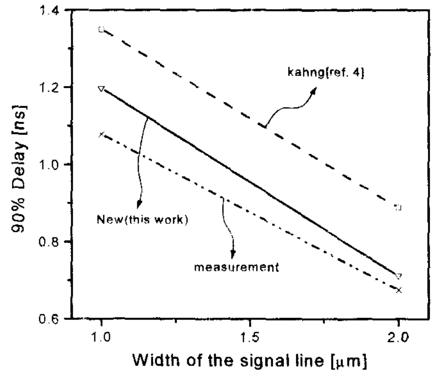
(b)

그림 8. 곧은 신호선의 지연시간. (a) 50% 지연시간, (b) 90% 지연시간

Fig. 8. Signal delay for straight-lines. (a) 50% delay, (b) 90% delay.



(a)



(b)

그림 9. 캐패시턴스 값을 늘린 신호선의 지연시간. (a) 50% 지연시간, (b) 90% 지연시간

Fig. 9. Signal delay for capacitance-loaded lines. (a) 50% delay, (b) 90% delay.

V. 결 론

실리콘 기판은 유한한 값의 도전율을 갖는 도체의 역할을 하므로 이것을 이상적인 그라운드로 취급하면 실제적인 물리적 현상을 정확히 반영할 수 없다. 따라서 본 논문에서는 실리콘 기판을 임피던스를 갖는 리턴 패스로 취급하였다. 또한 주파수의 증가에 따른 표피 효과와 근접 효과를 고려한 파라미터를 일반적인 RLC 분포 정수 회로에 적용하여 복잡한 VLSI 회로의 물리적인 현상을 반영할 수 있는 전송선 회로 모델을 제시하여 그 모델을 이용하여 신호의 전달지연 시간을 보다 정확하게 구할 수 있는 연결선 전달지연 모델을 제시하였고, 0.35μm CMOS 공정을 사용하여 제작된 패턴의 측정치와 비교함으로써 제시한 해석적 모델의 정확성을 검증했다[4].

참 고 문 헌

[1] L.T. Pillage and R. A. Rohrer, "Asymptotic waveform evaluation for timing analysis", *IEEE Trans. on Comput.-Aided Des. Integrated Circuits & Syst.*, vol.9, no.4, pp.352-366, April 1990.

[2] C. L. Ratzlaff and L. T. Pillage, "RICE: Rapid Interconnect circuit evaluation using AWE", *IEEE Trans. On Comput.-Aided Des. Integrated Circuits & Syst.*, vol.13, no.6, pp.763-776, June 1994.

[3] T. Sakurai, "Closed-form expression for interconnect delay, coupling, and crosstalk in VLSI's", *IEEE Trans. Electron Devices*, vol.40, no.1, pp.118-124, Jan. 1993.

[4] B. Kahng and S. Muddu, "An analytical delay model for RLC interconnects", *IEEE Trans. CADICS.*, vol.16, no.12, pp.1507-1514, Dec. 1997.

[5] W. R. Eisenstadt and Y. Eo, "S-parameter-based IC interconnect transmission line characterization", *IEEE Trans. Comp. Hybrids, Manuf. Technol.*, vol.15, no.5, pp.483-490, Aug. 1992.

[6] B. Krauter and S. Mehrotra, "Layout based frequency dependent inductance and resistance extraction for on-chip interconnect timing analysis", *Proc. 35th ACM/IEEE Design Automation Conf.*, pp.303-308, 1998.

[7] Y. Massoud, S. Majors, T. Bustami, and J. White, "Layout techniques for minimizing on-chip interconnect self inductance", Proc. 35th *ACM/IEEE Design Automation Conf.*, pp.566-571, 1998.

[8] Y. I. Kismail, E. G. Friedman, and J. L. Neves, "Figure of merit to characterize the importance of on-chip inductance", Proc. 35th *ACM/IEEE Design Automation Conf.*, pp.560-565, 1998.

[9] M. W. Beattie and L. T. Pileggi, "IC analyses including extracted inductance models", Proc. 36th *ACM/IEEE Design Automation Conf.*, pp.915-920, 1999.

[10] S. V. Morton, "On-chip inductance issues in multiconductor systems", Proc. 36th *ACM/IEEE Design Automation Conf.*, pp.921-926, 1999.

[11] J. A. Davis and J. D. Meindl, "Compact distributed RLC models for multilevel interconnect networks", *1999 Symposium on VLSI Circuits Digest of Technical Papers*, 1999.

[12] B. Krauter, S. Mehrotra, and V. Chandramouli, "Including inductive effect in interconnect timing analysis", *IEEE Custom integrated circuits conf.*, pp.445-452, 1999.

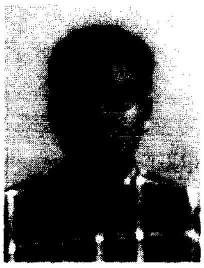
[13] J. -K. Wee, Y. -J. Park, H. -S. Min, D. -H. Cho, M. -H. Seung, and H. -S. Park, "Modeling the substrate effect in interconnect line characteristics of high-speed VLSI circuits", *IEEE Trans. Microwave Theory & Tech.*, vol.46, no.10, pp.1436-1443, Oct. 1998.

[14] D. F. Williams, U. Arz, and H. Grabinski, "Accurate characteristic impedance measurement on silicon", 1998 *IEEE MTT-S Digest*, 1998.

[15] T. Shibata and E. Sano, "Characterization of MIS structure coplanar transmission lines for investigation of signal propagation for investigation of signal propagation in]pp.881-890, July 1990.

[16] Deutsch, G. V. Kopcsay, P. J. Restle, H. H. Smith, G. Katopis, W. D. Becker, P. W. Coteus, C. W. Surovic, B. J. Rubin, R. P. Dunne, Jr., T. Gallo, K. A. Jenkins, L. M. Terman, R. H. Dennard, G. A. Sai-Halasz, B. L. Krauter, and D. R. Knebel, "When are transmission-line effects important for on-chip interconnects?", *IEEE Trans. Microwave Theory & Tech.*, vol.45, no.10, pp.1836-1834, Oct. 1997.

저 자 소 개



尹 聖 泰(正會員)
1975년 12월 13일생. 1998년 한양대학교 전자공학과 졸업. 1999년~현재 한양대학교 대학원 전자통신전파공학과 석사과정. 주관심분야는 VLSI 회로 모델링 및 설계임

魚 瀛 善(正會員) 第36卷 第11號 參照

沈 鍾 寅(正會員) 최근 참조 가능