

論文2000-37SD-8-2

CMOS 트랜지스터의 채널 폭 및 길이 변화에 따른 RF 특성분석 및 최적화

(Analysis and Optimization of the CMOS Transistors for RF Applications with Various Channel Width and Length)

崔貞基*, 李相國*, 宋元哲**

(Jeong-Ki Choi, Sang-Gug Lee, and Won-Chul Song)

요 약

0.35m CMOS공정을 이용하여 MOSFET의 RF특성을 평가하였다. 채널길이(L=0.25~0.8m)와 채널폭(W=50~600m) 및 바이어스 전압의 변화에 따른 RF특성을 분석하였으며, 차단주파수(f_T)는 최대 22GHz, 최대공진주파수(f_{max})는 최대 28GHz의 값을 얻었다. 채널폭의 변화에 대해서 차단주파수는 영향을 받지 않았으며, 최대공진주파수는 감소하는 경향을 보였고, 채널길이 증가에 대해서는 차단주파수 및 최대공진주파수 모두 감소하는 경향을 나타내었다. 최소잡음지수는 채널폭이 증가할수록 감소하고 채널길이가 증가할수록 증가하는 경향을 얻었는데, 2GHz에서 최소 0.45dB의 값을 얻었다. 평가결과로부터 0.35m CMOS공정이 2GHz대역의 상업용 RFIC 구현에 충분한 RF특성을 보유하고 있음을 확인할 수 있었으며, 바이어스 및 채널폭과 길이변화에 대한 CMOS 트랜지스터의 RF 특성분석을 통하여 RF 회로설계에 대한 지침을 제시하였다.

Abstracts

MOS transistors are fabricated and evaluated for RF IC applications such as mobile communication systems using 0.35m CMOS process. Characteristics of MOSFETs are analyzed at various channel length, width and bias conditions. From the analysis, cut-off frequency (f_T) is independent on channel width but maximum oscillation frequency (f_{max}) tends to decrease as the channel width increases. As channel length increases, f_T and f_{max} decrease. f_T is 22GHz and f_{max} is 28GHz at its maximum value. High frequency noise performance is improved with larger channel width and smaller channel length at same bias conditions. NFmin at 2GHz is 0.45dB as a minimum value. From the evaluation, MOSFETs designed using 0.35m CMOS process demonstrated a full potential for the commercial RF ICs for mobile communication systems near 2GHz. And optimization methods of the CMOS transistors for RF applications are presented in this paper.

* 正會員, 韓國情報通信大學院 大學校 工學部
(Information and Communications University)

** 正會員, 韓國電子通信研究員
(Electronics and Telecommunications Research
Institute)

※ 이 논문은 정보통신부의 지원을 받아 수행한 결과
의 일부입니다(#98-159-03).

接受日字:2000年1月7日, 수정완료일:2000年6月28日

I. 서 론

CMOS 소자기술이 발전하면서 CMOS 기술이 RF용 집적회로에 적합한 성능을 보이고 있다. 최근 들어, MOSFET트랜지스터의 차단주파수가 바이폴라 트랜지스터에 견줄만한 특성을 보이고 있으며, 최소잡음지수도 1dB미만의 값을 보이고 있다. 이러한 고주파 특성의 향상으로 MOSFET을 이동통신 시스템과 같은 RF응용

제품에 적용하기 위한 연구가 활발히 진행되고 있다. 통신용 IC의 디지털부분의 대부분은 이미 CMOS로 구현이 되고 있기 때문에 아날로그 RF IC 소자기술로서 CMOS는 MESFET이나 바이폴라에 비해서 가격과 집적도 면에서 커다란 장점을 가진다.

본 논문에서는 실리콘 0.35 μm CMOS 공정의 고주파 특성을 분석하였으며, 이를 바탕으로 상업용 RF 집적 회로에 활용 가능성을 확인하였다. 제II장에서는 제작된 테스트패턴 및 측정방법을 소개하였으며, 제III장에는 차단주파수, 최대공진주파수 및 잡음 파라미터의 평가 결과를 제시하였다.

II. 테스트패턴 제작 및 측정

본 연구에서는 0.35 μm n-well CMOS 공정기술을 분석하기 위하여 레이아웃 최적화의 측면에서 트랜지스터의 채널폭과 길이를 각각 50, 100, 150, 200, 250, 300, 400, 500, 600 μm 와 0.25, 0.35, 0.5, 0.65, 0.8 μm 로 제작하였으며, 단위 핑거(finger)의 길이를 5 μm 로한 다중핑거구조로 제작하였다. RF에서 CMOS 소자의 특성에 영향을 미치는 요인으로서 게이트저항, 소스저항, 게이트-소스 커패시턴스, 게이트-드레인 커패시턴스, 드레인-기판 커패시턴스 등이 있는데, 이들은 트랜지스터의 레이아웃 의존도가 높다^[1]. 따라서, 레이아웃 단계에서 이러한 기생성분을 최소화하는 것이 RF특성을 최적화하기 위한 중요한 방법이다^{[1][2]}. [그림 1]에 테스트

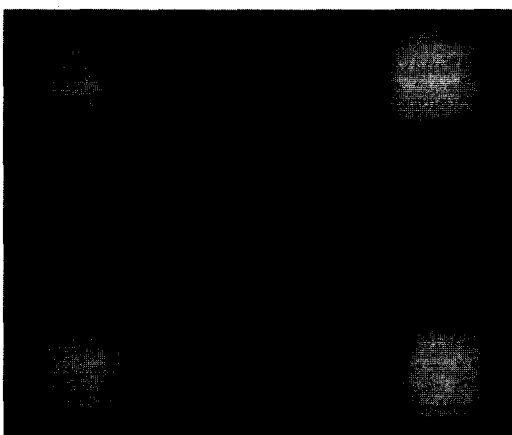


그림 1. nMOSFET 300 $\mu\text{m}/0.35\mu\text{m}$ 의 확대사진. 단위 핑거의 길이는 5 μm 이다

Fig. 1. Micrograph of the nMOS transistor with channel width 300 $\mu\text{m}/0.35\mu\text{m}$. The length of the finger is 5 μm .

패턴으로 제작된 트랜지스터의 구조 중 하나의 사진을 보였다. RF 특성에 있어서 게이트 저항은 최대공진주파수와 잡음특성에 매우 중요한 요소이므로 이를 최소화하기 위해 다중핑거구조를 이용했으며, 연결선의 기생성분을 최소화하기 위해 가능한 최상위 금속 층을 사용하였다. [그림 1]은 채널폭 300 μm , 채널길이 0.35 μm 인 nMOSFET 트랜지스터를 나타내며, 단위핑거의 길이가 5 μm 인 트랜지스터 60개를 병렬 연결한 구조이다.

S-파라미터는 네트워크 분석기를 이용하여 0.520GHz 까지 측정하였으며, 잡음 파라미터는 상업용 측정시스템을 이용하여 0.43GHz까지 측정하였다.

III. MOSFET의 고주파 특성

1. 차단주파수 (f_T)

측정된 트랜지스터의 S-파라미터 값들은 Y-파라미터 de-embedding 하였다. [그림 2]에는 측정된 전류이득(H_{21})과 최대가용전력이득(MAG: Maximum Available Power Gain)의 주파수에 따른 변화이며, [그림3]은 채널길이 변화에 따른 차단주파수의 변화특성이다.

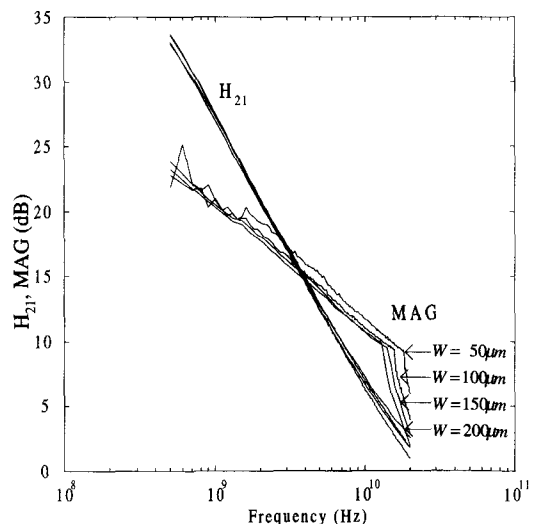


그림 2. nMOSFET의 전류이득(H_{21})과 최대가용전력(MAG)의 주파수에 변화에 대한 특성. 바이어스 조건은 $V_{GS}=1.6V$, $V_{DS}=3V$ 이며, 채널 폭은 50,100,150,200 μm , 채널길이는 0.35 μm 이다

Fig. 2. Measured H_{21} and MAG of the 0.35 μm nMOSFET at $V_{GS}=1.6V$, $V_{DS}=3V$. $W=50, 100, 150, 200\mu\text{m}$.

차단주파수 차단주파수는 $g_m/2(C_{gs}+C_{gd})$ 과 같이 표현될 수 있는데^[3], 트랜스컨덕턴스 g_m 과 게이트 소스(C_{gs}) 및 게이트-드레인(C_{gd}) 커패시턴스는 트랜지스터 채널 폭에 비례하므로 이 식으로부터 차단주파수는 트랜지스터 폭에 무관한 특성을 나타냄을 알 수 있다. 또한, g_m 은 채널길이 L 에 반비례하며, 커패시턴스 C_{gs} , C_{gd} 는 L 에 비례하므로 차단주파수는 채널길이의 제곱에 반비례하는 특성을 가지고 있다^[5]. [그림 3]의 측정결과에서도 이러한 특성을 확인할 수 있다. 점선은 nMOSFET을, 실선은 pMOSFET의 특성을 나타낸다. 측정결과로부터 채널길이 0.35 μ m인 경우 차단주파수는 nMOS의 경우 $V_{GS}=1.2V$, $V_{DS}=2V$ 에서 약 20GHz, pMOS는 $V_{GS}=1.6V$, $V_{DS}=2V$ 에서 약 9GHz의 값을 얻었다.

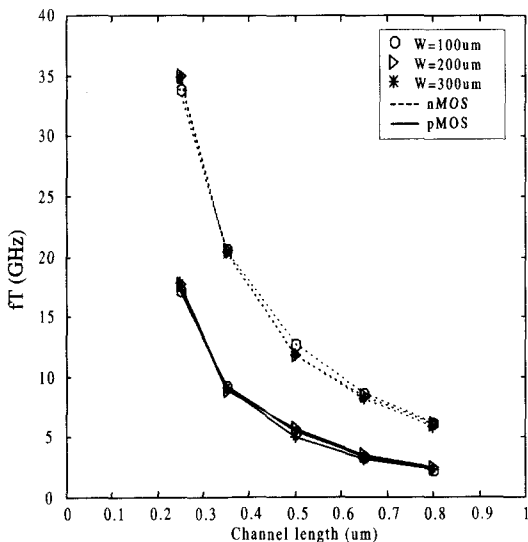


그림 3. 채널길이 변화에 따른 차단주파수 특성
Fig. 3. Cut-off frequency as a function of channel length.

2. 최대공진 주파수 (f_{max})

전력이득 특성은 최대가용전력이득 및 단방향전력이득(Unilateral Power Gain : GTU)을 이용하여 단일 극으로 근사화한(single-pole approximation) 이득이 1이 되는 주파수(f_{max})로 나타내는 방법이 주로 사용되는데, 본 연구에서는 최대가용전력이득을 이용하여 MAG가 0dB 되는 주파수로 결정하였다. MAG의 주파수 변화를 [그림 2]에 나타내었다. 추출된 최대공진주파수의 채널 폭 및 길이에 대한 변화를 [그림 4]에 나타내었다. 점선은 nMOSFET, 실선은 pMOSFET을 각각 나타낸다.

nMOS, pMOS모두 채널폭이 100 μ m 일 경우 최대공진주파수가 가장 높았고, 채널폭이 증가할수록 감소하는 경향을 보였다. 또한 채널길이의 변화에 따른 최대공진주파수의 변화도 볼 수 있는데, 그림에서와 같이 감소하는 경향이 있음을 확인할 수 있었다. 일반적으로 최대공진주파수는 채널 폭에 무관한 특성을 가지므로 알려져 있는데^[2,3,4,6], [그림 4]에 나타나는 채널 폭 의존특성은 레이아웃에서 기생성분의 영향으로 돌릴 수 있겠지만^[2], 아직 명확한 근거는 밝히지 못했으며, 드레인과 기판사이의 저항성분이 하나의 원인이 될 수 있을 것으로 생각된다.

측정결과로부터 채널길이 0.35 μ m인 nMOSFET의 경우 최대공진주파수값이 채널 폭 100 μ m, $V_{GS}=1.4V$, $V_{DS}=2V$ 에서 25.2GHz이며 pMOSFET 200 μ m의 경우 $V_{GS}=-1.6V$, $V_{DS}=-2V$ 에서 19GHz를 얻을 수 있었다.

채널길이 0.25 μ m에서는 nMOSFET의 경우 차단주파수, 최대공진주파수가 각각 최대 35GHz, 34GHz였으며, pMOSFET의 경우 각각 최대 18GHz, 30GHz의 값을 보였다.

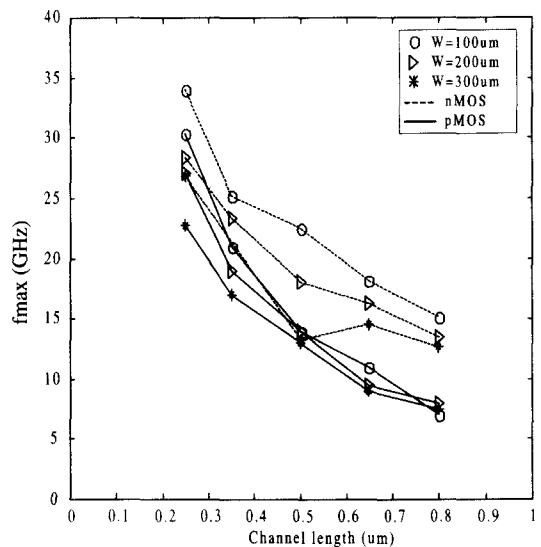


그림 4. 채널길이 변화에 따른 최대공진주파수 특성
Fig. 4. Measured f_{max} for n and pMOS vs. channel length.

[그림 5]는 드레인 전류의 변화에 따른 차단주파수, 최대공진주파수를 채널폭이 50 μ m인 nMOS경우에 대해서 나타냈다. 드레인 전류가 적을 때는 드레인 전류와 함께 증가하나, 전류가 증가할수록 증가하는 폭이 감소

하며 일정전류이상에서는 포화되는 경향을 확인할 수 있었는데, 원인으로서는 게이트-소스 여분전압($V_{GS}-V_T$)에 따른 g_m 의 변화특성으로 설명될 수 있다. [그림 5]는 V_{DS} 가 고정된 상태에서 V_{GS} 를 변화시킨 결과의 특성을 나타내는 것이다. 단채널 MOSFET의 특성 중에서 속도포화현상(velocity saturation)이 있는데, 이로 인해서 ($V_{GS}-V_T$)가 속도포화가 적게 나타나는 동작상태에서는 g_m 이 ($V_{GS}-V_T$)에 비례해서 증가하며, ($V_{GS}-V_T$)가 증가하면 속도포화현상에 의한 영향이 커지게 되어 g_m 은 ($V_{GS}-V_T$)에 무관해지고 캐리어속도포화전계(E_{sat})에 비례하는 상수값을 가지게 된다. 따라서, ($V_{GS}-V_T$)가 속도포화현상이 지배적이 되는 값 이상이 되면 더 이상 g_m 은 증가하지 않고 일정하게 된다. 차단주파수 및 최대공진주파수는 g_m 에 비례하는 특성이 있기 때문에 g_m 의 변화에 따라서 같은 경향을 나타내는 것으로 설명될 수 있다.

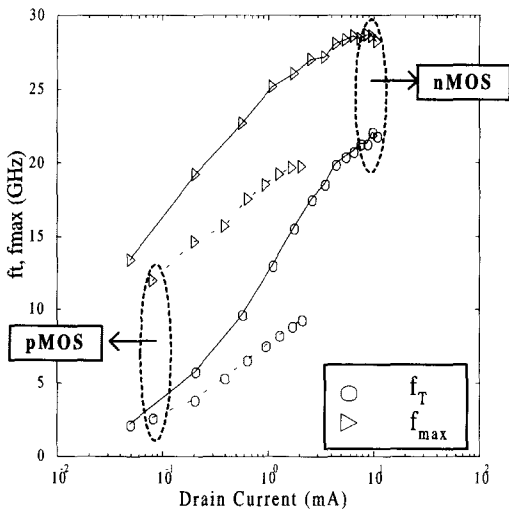


그림 5. 드레인 전류변화에 따른 차단주파수, 최대공진 주파수 특성. (채널 폭은 $50\mu m$, $|V_{DS}|=3V$)

Fig. 5. Measured f_T and f_{max} vs. drain current at $|V_{DS}|=3V$, $W_n=W_p=50\mu m$.

[그림 5]에서 실선은 nMOSFET, 점선은 pMOSFET을 나타내며, nMOSFET 최대공진주파수의 최대값은 28GHz이며, 차단주파수의 최대값은 22GHz인데 이때 바이어스 전류는 9mA이다. pMOSFET의 측정된 데이터에서는 포화되는 경향이 두드러지는 않지만, 최대공진주파수의 경우는 약 1.5mA의 바이어스 전류에서 포화되는 경향이 있으며 이때 20GHz정도의 값을 보였

으며, 차단주파수는 10GHz정도의 값을 보였다.

3. 잡음특성

RF 집적회로용 트랜지스터의 고주파 특성을 나타내는데에는 차단주파수, 최대공진주파수와 더불어 잡음 파라미터 또한 매우 중요한 특성이다. 특히 저잡음 증폭기(Low Noise Amplifier : LNA)를 설계함에 있어 소자의 잡음 파라미터는 증폭기의 잡음지수와 밀접한 관계를 가지고 있다. 잡음특성을 나타내는 파라미터로는, 최소잡음지수(NFmin), 최적 전원임피던스(Optimum source impedance : Z_{opt}), 잡음저항(Noise Resistance : R_n)이 있다^[7].

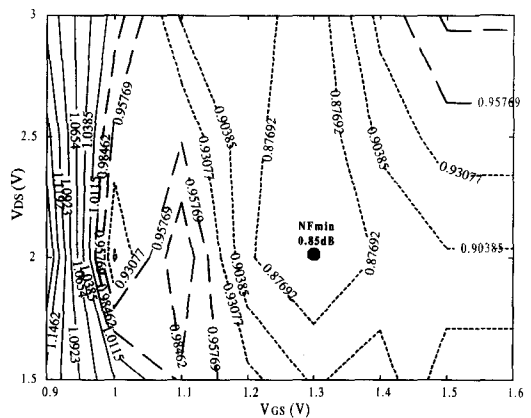


그림 6. 바이어스 전압 변화에 따른 nMOSFET $100\mu m$ 의 최소잡음지수(NFmin) 특성. 측정된 주파수는 2GHz이다

Fig. 6. Noise contour plot of the nMOSFET $100\mu m$. Measured frequency is 2GHz and channel length is $0.35\mu m$.

최저의 최소잡음지수 값을 가지는 소자의 바이어스 전압을 찾기 위해서 드레인 및 게이트 전압 변화에 따른 최소잡음지수를 측정하였으며, [그림 6]에 채널 폭이 $100\mu m$ 인 nMOSFET의 경우 2GHz에서 $V_{GS}=0.9\sim 1.6V$, $V_{DS}=1.5\sim 3V$ 의 범위에서 측정된 결과를 보였다. 그림에서 알 수 있듯이 $V_{GS}=1.3V$, $V_{DS}=2V$ 부근에서 0.85dB 정도의 최소값을 보였고, 게이트 전압이 낮은 곳에서는 V_{GS} 가 증가함에 따라 감소하다가 다시 증가하는 특성을 보이는데, V_{DS} 에 대해서도 같은 경향을 보이고 있다. 이는 MESFET나 바이폴라 소자와 같이 MOSFET 역시 작은 전류에서 최소잡음지수가 크고 전류가 증가함에 따라 최저의 최소잡음지수 값을 가진

후 다시 증가하는 특성을 가진다는 것을 알 수 있다^[4]. pMOSFET 200 μm 의 경우 최소잡음지수는 $V_{gs}=-1.6\text{V}$, $V_{ds}=-3\text{V}$ 에서 1.5dB정도의 최소값을 보였다.

[그림 7]에는 채널길이가 0.35 μm 일 때 채널폭 변화에 따른 최소잡음지수의 변화를 보였는데, 채널폭이 증가할수록 최소잡음지수가 감소하는 경향을 보이고 있다.

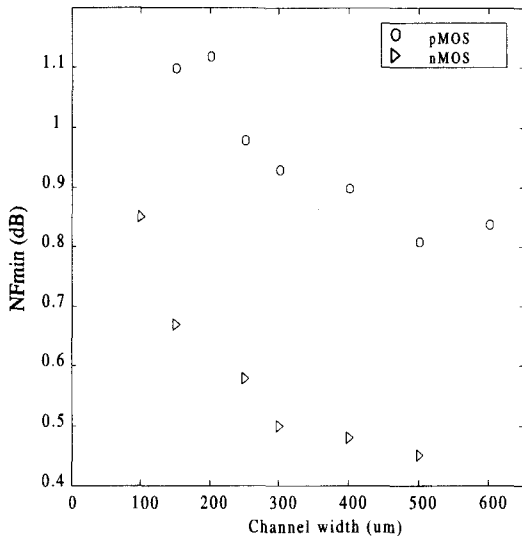


그림 7. 채널폭 변화에 따른 최소잡음지수 특성, 주파수는 2GHz, 채널길이는 0.35 μm 이다

Fig. 7. Measured NFmin vs. channel width, measured frequency is 2GHz and channel length is 0.35 μm .

nMOSFET은 채널 폭이 500 μm 인 경우 0.45dB, pMOSFET은 0.85dB정도의 값을 보이고 있는데, 이는 상용으로 제작되고 있는 바이폴라나 GaAs LNA의 잡음지수가 1.5~2dB정도임을 감안할 때, 실제 임피던스 정합이나 증폭기 구조를 고려하더라도 충분히 상용 제품에 적용할 수 있는 가능성을 보여주고 있다.

[그림 8]에는 nMOSFET의 주파수와 최소잡음지수의 변화를 나타내고 있는데, 주파수가 증가함에 따라 최소잡음지수도 증가하는 경향을 보이고 있으며, 채널길이가 0.25 μm 에서 0.8 μm 로 증가할수록 최소잡음지수도 증가하는 경향을 보여주고 있다. 또한 [그림 8]에서 채널길이가 증가할수록 주파수에 대한 최소잡음지수의 증가폭이 커지는 경향이 있음을 확인할 수 있었는데, 이는 채널 길이가 증가할수록 차단주파수가 감소하는 것으로 설명될 수 있다^[6].

[그림 9]는 [그림 8]의 결과에서 주파수를 2GHz로 고

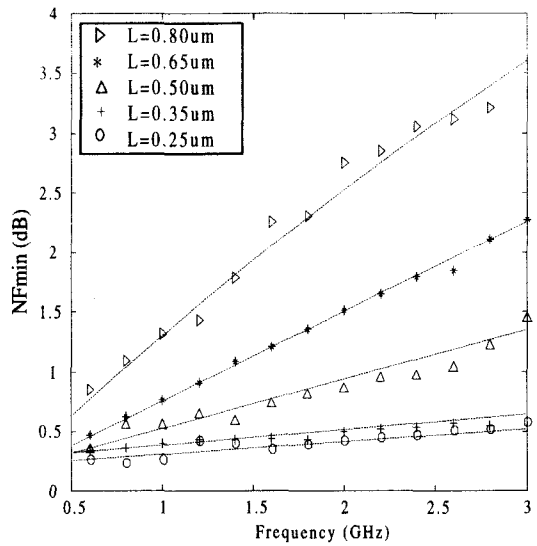


그림 8. 주파수와 채널길이 변화에 따른 nMOSFET의 최소잡음지수 특성, 채널폭은 300 μm 로 동일하다

Fig. 8. Measured nMOSFET NFmin vs. frequency and channel length, channel width is fixed at 300 μm .

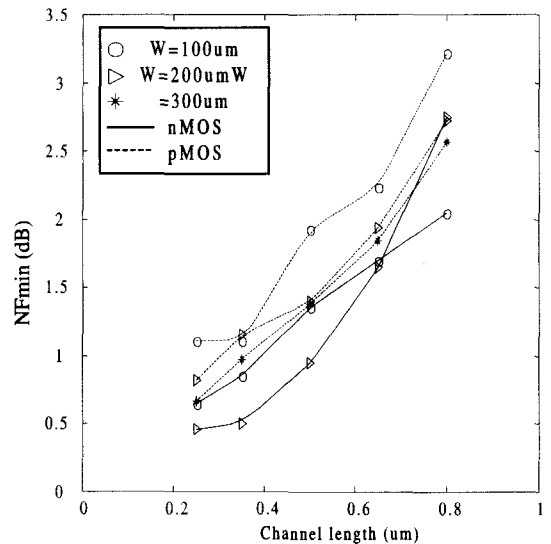


그림 9. 채널길이 변화에 따른 최소잡음지수 특성

Fig. 9. Measured NFmin vs channel length.

정시켰을 경우에 대해서 채널길이 변화에 따른 최소잡음지수의 특성을 보였다. 실선은 nMOSFET, 점선은 pMOSFET을 나타내며, 모두 채널길이가 증가할수록 최소잡음지수도 증가하는 경향을 확인할 수 있었다. 또한 [그림 9]는 채널 폭이 100, 200, 300 μm 인 경우에

대한 최소잡음지수 변화를 나타내고 있는데, [그림 7]에서 이미 소개된 바와 같이 채널 폭이 증가할수록 최소잡음지수가 감소하는 경향을 보여주고 있다.

일반적으로 최소잡음지수와 핑거수는 무관한 특성을 보이는 것으로 알려져 있는데^[6,7], 이는 [그림 7, 9]의 경우와 상반되는 결과이다. 하지만, [4]에서도 원인에 대한 설명은 없지만, [그림 7, 9]와 같은 경향이 보고된 바 있다. 비슷한 결과가 [9]에서도 소개되었는데, 그 원인으로 g_m 의 증가를 들고 있지만, 현재까지 알려진 잡음모델에서는^[6,7] g_m 의 증가가 다른 파라미터(R_g , C_{gs})와 상쇄되기 때문에 근본적인 원인으로 보기에는 어려움이 있다. 따라서, 이에 대한 정확한 원인분석 및 모델화가 필요하며 현재 이에 대한 연구는 진행 중에 있다.

이상의 결과로부터 저잡음 회로를 설계하기 위해서는 채널길이가 작고, 폭이 큰 소자를 사용하는 것이 적합함을 알 수 있다. 채널 폭이 큰 경우 바이어스 전류가 증가하기 때문에 저전력이 요구되는 회로를 설계할 경우 최소잡음지수와 전력소모면에서 적절한 선택이 요구되어진다.

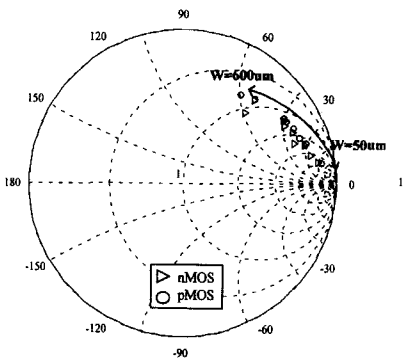


그림 10. 채널폭 변화에 따른 최적 전원임피던스 특성, 주파수는 2GHz이며 채널길이는 $0.35 \mu\text{m}$ 이다
Fig. 10. Measured Z_{opt} vs. channel width at 2GHz and $0.35 \mu\text{m}$ channel length.

[그림 10, 11]에는 각각 채널폭과 채널길이 변화에 대한 nMOSFET와 pMOSFET의 최적 전원임피던스(Z_{opt})을 나타냈는데, 이는 회로구현 시 최소잡음특성을 얻기 위한 임피던스 정합회로 구성에 있어 매우 중요한 특성이다^[8]. 채널 폭 증가에 따라서 최적 전원임피던스가 높은 임피던스 상태에서 낮은 임피던스 상태로 이동하는 경향을 확인할 수 있었으며, 채널길이가 증가하는 경우에도 같은 경향을 보였다. 최적 전원임피던스는 임

피던스 정합회로에 사용되는 인덕터와 커패시터의 크기를 결정하게 되는데, 높은 임피던스를 가진 경우 정합회로의 구현이 까다롭기 때문에 최적 전원임피던스가 낮을수록 저잡음 증폭기 설계를 용이하게 한다.

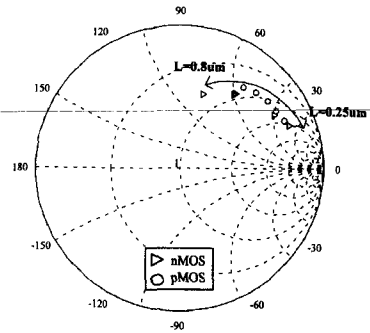


그림 11. 채널길이 변화에 따른 최적 전원임피던스 특성, 주파수는 2GHz이며 채널폭은 $300 \mu\text{m}$ 이다

Fig. 11. Measured Z_{opt} vs. channel length at 2GHz and $300 \mu\text{m}$ channel width.

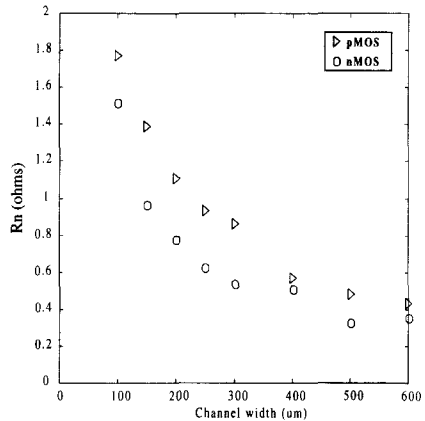


그림 12. 채널폭 변화에 따른 nMOSFET의 규준화(normalized)된 잡음저항 특성. 채널길이는 $0.35 \mu\text{m}$ 이며, $V_{GS}=1.2$, $V_{DS}=2V$, 주파수는 2GHz이다

Fig. 12. Normalized noise resistance vs. channel width at 2GHz, $V_{GS}=1.2V$ and $V_{DS}=2V$.

[그림 12]에는 채널길이 $0.35 \mu\text{m}$ 인 nMOSFET와 pMOSFET의 채널 폭 변화($100 \sim 600 \mu\text{m}$)에 대한 잡음저항을 나타내었는데, nMOSFET과 pMOSFET 모두 채널 폭이 증가할수록 감소하는 경향을 나타내고 있다. 잡음저항은 임피던스 정합회로에 대한 최소잡음지수의 감도(sensitivity)를 나타내는데, 실제 저잡음 증폭기 설

계에 있어서 최대전력이득과 최소잡음을 동시에 얻는 임피던스 정합회로를 구현하기가 어렵다. 따라서, 요구되는 잡음지수와 전력이득에 따라 정합회로를 적절히 선택하게 되며 이 경우 최소잡음지수와 더불어 잡음저항이 회로설계에 미치는 영향이 매우 크다.

IV. 결 론

본 논문에서는 고주파 응용에 적합한 RF CMOS의 레이아웃 구조를 평가하였다. 기본 공정으로는 $0.35\mu\text{m}$ 2층폴리실리콘, 4층금속 n-well CMOS 공정을 이용하였으며 채널 폭 50, 100, 150, 200, 250, 300, 400, 500, $600\mu\text{m}$ 과 채널길이 0.25, 0.35, 0.5, 0.65, $0.8\mu\text{m}$ 를 갖는 트랜지스터를 설계하였다.

소자 측정패턴의 평가를 통해 12GHz 대역 RF IC 구현을 위한 $0.35\mu\text{m}$ CMOS소자의 성능을 분석, 평가하였으며, 다양한 구조 및 바이어스 조건의 비교를 통해서 성능 최적화를 위한 소자 동작 조건 및 RF CMOS 레이아웃 조건을 도출하였다.

차단주파수는 채널길이 $0.35\mu\text{m}$ 에서 nMOSFET은 최대 22GHz, pMOSFET은 최대 10GHz를 보였으며, 최대공진주파수는 nMOSFET은 최대 28GHz, pMOSFET은 최대 20GHz의 값을 보였다. 차단주파수는 채널 폭에 무관하며, 최대공진주파수는 채널 폭이 증가할수록 감소하는 특성을 보였다.

최소잡음지수는 채널 폭이 증가할수록 감소하는 경향이 있었으며, 2GHz에서 최소 0.45dB의 값을 보였다.

제작된 CMOS 트랜지스터의 분석결과로부터 상용RF IC 설계에 충분한 성능을 가지고 있음을 확인하였다.

참 고 문 헌

[1] G. Hayashi, H. Kimura, "A 9mW 900MHz CMOS LNA with Mesh Arrayed MOSFETs", IEEE, Symposium on VLSI Circuits Digest of Technical Papers, pp. 84-85, 1998.

- [2] Masanobu Saito, Mizuki Ono, Ryuichi Fujimoto, "0.15- μm RF CMOS Technology Compatible with Logic CMOS for Low-Voltage Operation", IEEE Trans. On Electron Devices, vol. 45, no. 3, March 1998.
- [3] S.P. Voinigescu, S.W. Tarasewicz, "An Assessment of the State-of-the-Art 0.5 μm Bulk CMOS Technology for RF Applications", IEDM 95, pp. 721-724, 1995.
- [4] Cheon Soo Kim, Hyun Kyu Yu, "CMOS Layout and Bias Optimization for RFIC Design Applications", IEEE MTT-S Digest, pp. 945-948, 1997.
- [5] Paul R. Gray, Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits", 3rd edition, John Wiley & Sons, Inc., pp. 67-84, 1993.
- [6] Tajinder Manku, "Microwave CMOS-Device Physics and Design", IEEE J. Solid-State Circuits, vol.34, no.3, March, 1999.
- [7] Samuel Martin, Vance D. archer III, "Device Noise in Silicon RF Technologies", Bell Labs Technical Journal, Summer 1997.
- [8] Guillermo Gonzalez, "Microwave Transistor Amplifiers-Analysis and Design", 2ED, pp299~322, Prentice Hall, 1996.
- [9] T. Ohguro et al., "0.2 μm analog CMOS with very low noise figure at 2GHz operation.", IEEE Technical Digests of Symposium on VLSI Technology, pp.132-133, 1996.

저 자 소 개



崔貞基(正會員)

1972년 3월 21일생, 1998년 2월 성균관대학교 전자공학과 졸업, 1998년 9월~현재 : 한국정보통신대학원 대학교 공학부 석사과정. 주관심 분야 : RF MOSFET 모델링

宋元哲(正會員) 電子工學會誌 第27卷 3號 參照

1955년 2월 9일생, 1977년 2월 서울대학교 전기공학과 졸업, 1980년 2월 한국과학기술원 전기공학과 졸업, 1999년 한국과학기술원 전기공학과 박사과정 수료, 1981년 2월~현재: 한국전자통신연구원 집적회로연구부, 책임연구원, <주관심분야:통신용 아날로그회로 설계, ADC/DAC, Power IC>



李相國(正會員)

1958년 8월 3일생, 1981년 2월 경북대학교 전자공학과 졸업, 1989년 플로리다 대학교 전기공학 석사, 1992년 플로리다 대학교 전기공학 박사. 1995-1997년 한동대학교 전산전자공학부 조교수, 1998년 2월~현재 : 한

국정보통신대학교 대학교 공학부 조교수로 재직 중. 주관심 분야 : 이동통신용 RF 아날로그회로 설계, RF 시스템, 능동 및 수동소자 모델링