

論文2000-37SD-7-7

FPGA를 고속으로 동작시키기 위한 지연시간 최적화 알고리즘

(Delay Optimization Algorithm for the High Speed Operation of FPGAs)

崔益成*, 李姬姬*, 李範哲*, 김남우*

(Ick Sung Choi, Jeong Hee Lee, and Bhum Cheol Lee)

요 약

본 논문에서는 고속 FPGA 설계를 위한 논리 수준의 조합회로 합성 알고리즘을 제안한다. FPGA는 현장에서 직접 제작이 가능하고 제작 시간이 짧으며 제작 비용이 저렴하므로 초기 prototype 시스템의 제작에 자주 사용되고 있으나, ASIC 칩에 비해 지연시간이 크고 집적도가 떨어지는 단점이 있다. 제안된 알고리즘은 회로의 지연시간을 줄이기 위해 critical path를 분할한 후 분할된 회로를 동시에 수행하는 구조의 회로를 생성한다. MCNC 표준 테스트 회로에 대한 실험에서 제안된 지연시간 최적화 알고리즘이 기존 알고리즘에 비해 지연시간이 평균 19.1% 감소된 회로를 생성함을 보였다.

Abstract

We propose a logic synthesis algorithm for the design of FPGAs operating at high speed. FPGA is a novel technology that provides programmability in the field. Because of short turnaround time and low manufacturing cost, FPGA has been noticed as an ideal device for system prototyping. Despite these merits, FPGA has drawbacks, namely low integration and long delay time comparing to ASIC. The proposed algorithm partitions a given circuit into subcircuits utilizing a kernel divisor such that the subcircuits can be performed at the same time, hence reducing the delay of the circuit. Experimental results on the MCNC benchmark show that the proposed algorithm is effective by generating circuits having 19.1% less delay on average, when compared to the FlowMap algorithm.

I. 서 론

FPGA(Field Programmable Gate Array)는 VLSI ASIC 설계시 공장에서 별도의 공정 과정을 거치지 않고도 손쉽게 연구실이나 현장에서 저가로 회로를 구현할 수 있으므로 개발 기간이 짧고 회로의 수정에 따른 추가 비용이 적은 장점이 있다^[1]. FPGA는 전자회로 설

계자가 현장에서 집적회로를 구현할 수 있는 새로운 형태의 반주문형 반도체(ASIC : Application Specific Integrated Circuit)이다. FPGA는 범용 회로의 구현이 어렵고 용량이 적어 응용범위가 제한된 PLD (Programmable Logic Device)의 단점과 제작 시간과 비용(Non-Recurring Engineering Cost)이 많이 드는 ASIC의 단점을 절충할 수 있는 장점이 있는 소자이지만, 복잡한 배선 구조로 인해 routing 효율성과 동작 속도가 주문형 반도체에 비해 떨어지는 단점이 있다. 현재 FPGA가 주로 사용되고 있는 응용 분야는 칩의 주기(life-time)가 짧은 제품의 ASIC의 대용품, 제품의 변경이 용이한 초기 시제품 개발에 자주 사용되고 있다. 최근 공정과 설계 기술의 발달에 따라 FPGA는 prototype system 개발시 초기 개발 비용이 적고 디자

* 正會員, 韓國電子通信研究院 交換電送技術研究所
(Senior Researcher High-Speed switch team,
Switching Technology depart. Switching &
Transmission Technology Lab.)

接受日字:2000年1月14日, 수정완료일:2000年6月22日

인의 변경이 용이한 장점이 있으므로 그 수요가 점점 늘고 있는 추세이다.

FPGA chip은 논리 소자(logic element)와 이를 연결하는 wire로 구성되어 있으며, 논리 소자는 K-input 진리표(lookup table)를 구현할 수 있는 program이 가능한 logic block 들로 구성되어 있다. 일반적으로 logic block의 입력의 수가 적으면 FPGA 논리 회로에서 사용되는 logic block의 효율성이 증가하지만, 회로의 critical path를 구성하는 logic block의 depth가 증가하여 회로의 지연시간이 길어지는 현상이 발생한다. 최근의 FPGA 소자들은 지연시간과 logic block 사용 효율을 개선하기 위하여 하나의 논리 소자가 다수개의 logic block들을 포함하는 복잡한 구조로 설계되어 있다^[1]. 현재 가장 널리 사용되고 있는 상용 FPGA는 Xilinx SRAM-based FPGAs, Actel antifuse-based FPGAs, Altera EEPROM-based FPGA 등을 예로 들 수 있으며, 이러한 FPGA 제품들은 성능과 집적도를 향상시키기 위하여 각 회사마다 고유한 설계 구조를 가지고 있다^{[6][7]}. 최근의 고성능 고집적 제품인 SRAM-based FPGA는 기본적으로 CLB(Configurable Logic Block)과 IOB(Input Output Block), 그리고 이를 연결해 주는 interconnection wire로 구성된다. SRAM-based FPGA는 내부 구성을 SRAM을 이용하여 설정하며, 대부분 내부에 on-chip 메모리를 가지고 있거나 메모리 소자로 사용 가능한 CLB를 가지고 있는 특징이 있다. 최근 이러한 고성능 고집적 FPGA가 발표되고 있지만, ASIC에 비해 지연시간이 상대적으로 큰 단점을 극복하고 고속으로 동작하는 회로를 구현하기 위해서 FPGA 구조에 효율적으로 적용될 수 있는 효율적인 합성 알고리즘이 필요하다.

FPGA는 회로 구현과 변경이 용이한 장점이 있지만, ASIC에 비해 3~10 배 지연시간이 길어 100 Mhz 이상의 고속으로 동작하는 시스템의 구현이 어렵고 ASIC에 비해 상대적으로 집적도가 떨어지는 단점이 있다. 이러한 단점을 개선하기 위하여 technology mapping을 적절히 수행하거나 routing과 회로를 적절히 재구성하여 critical path를 구성하는 logic block의 level 수를 줄임으로써 FPGA 회로의 지연시간을 개선하기 위한 방법들이 제안되었다^[2-5].

효율적인 FPGA 회로의 설계를 위하여 다양한 수준의 설계 계층(design hierarchy)에서 회로의 지연시간 최적화에 대한 연구가 활발하게 진행되어 왔으며^{[2][3][4]},

논리 수준에서 지연시간을 최소화하는 최적화 방법들에 대한 연구로 논리 최적화와 technology mapping 방법들이 발표되었다^[6-11].

FPGA는 technology mapping의 목적은 면적과 지연시간을 최소화될 수 있도록 logic element들을 구성하고 연결하는 것이다. FlowMap은 최적의 logic block depth로 구성될 수 있도록 technology mapping을 수행하는 polynomial time 알고리즘이다^[2]. 이 알고리즘은 K개의 입력을 가지는 logic block을 이용하여 구성할 수 있는 최소 depth 한계를 구하여 critical path를 구성한 후 회로의 min-cut과 ROBDD(Reduced Ordered Binary Decision Diagram)를 이용하여 조합회로 최적화 과정을 수행한다.

이 논문에서는 FlowMap 등에서 제시한 지연시간 한계보다 지연시간을 개선시킬 수 있는 논리수준의 합성 알고리즘에 대하여 기술한다. 제안된 알고리즘은 회로의 지연시간을 결정하는 critical path를 절단할 수 있도록 회로를 직렬로 분할한 후, 분할된 회로들이 동시에 수행되는 구조의 회로로 변환하여 지연시간을 개선한다. 회로 분할 시 cut-set에 포함된 line의 수가 많으면 면적이 방대하게 증가하는 현상이 발생하므로, ROBDD(Reduced Ordered Binary Decision Diagram)를 이용하여 critical path의 cut-set이 최소화될 수 있도록 회로를 재구성하는 전처리 과정을 거친다. MCNC(Microelectronics Center of North Carolina) benchmark 회로를 통한 실험을 통하여 기존의 이론적인 최적 지연시간보다 지연시간을 현저하게 개선할 수 있음을 보였다.

II. FPGA 회로의 지연시간 최적화 알고리즘

1. FlowMap 최적 technology mapping 알고리즘

FPGA 지연시간을 줄이기 위해 technology mapping 과정에서의 최적화 알고리즘에 대해 활발하게 연구가 진행되어 왔으며, 이 중 FlowMap 알고리즘은 $O(N^2)$ 시간 내에 최적의 technology mapping을 수행이 가능하다^[2]. FlowMap의 전체 알고리즘은 두 과정으로 이루어져 있으며, 첫째 과정에서 각 노드에서 최적의 mapping이 되었을 경우 K-LUT(K-input Look-Up Table)의 레벨을 나타내는 label을 계산하고, 두 번째

과정에서는 첫째 과정에서 생성된 각 노드의 label을 이용하여 PO로부터 입력 방향으로 가능한 모든 K-LUT들을 생성하여 technology mapping을 수행한다. 회로내의 모든 gate가 K개 이하의 입력을 이용하여 회로가 구성된 경우 회로가 K-bound되었다고 정의한다. FlowMap은 K개 이하의 입력을 가지는 gate로 구성된 K-bounded network을 입력받아 CLB level이 최소화될 수 있도록 technology mapping을 수행하므로, 일반적인 unbounded network을 bounded network으로 변환하는 전처리 과정을 거쳐야 하고, 생성된 K-bounded network에 따라 technology mapping의 결과가 영향을 받는 단점이 있다.

그림 1은 일반적인 게이트 레벨의 조합회로를 나타낸 것이다. 만일 그림 1의 조합회로가 16개의 입력을 가지는 경우, FlowMap 최적 알고리즘을 이용하여 그림 1의 조합회로를 4-input CLB로 technology mapping을 수행할 경우 그림 2와 같이 최소 2단의 CLB level을 거치는 결과 회로를 얻을 수 있다.

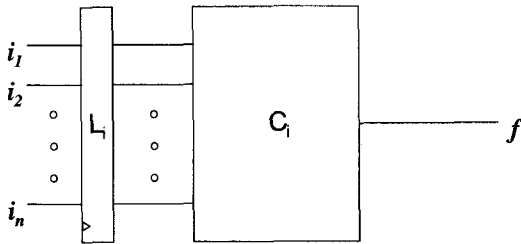


그림 1. 게이트 레벨의 기본 회로
Fig. 1. Gate level circuit.

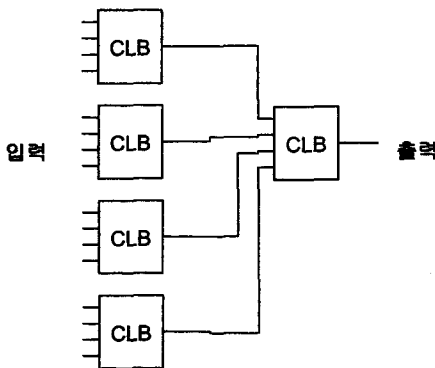
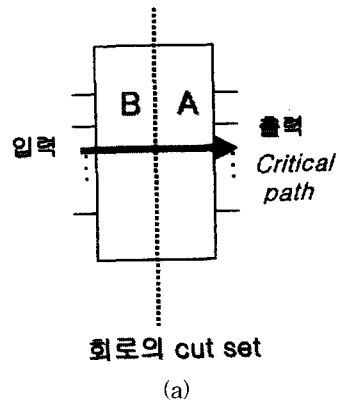


그림 2. 4-input CLB를 이용하여 technology mapping을 수행한 예제 회로
Fig. 2. An example circuit after technology mapping using 4-input CLB's.

III. 제안된 FPGA 지연시간 최적화 알고리즘

제안된 FPGA 지연시간 최적화 알고리즘은 주어진 회로를 직렬로 분할하여 critical path를 분할하여 지연시간이 현저히 개선된 회로를 생성한다. 제안된 방법을 이용하여 기존의 조합회로 최적화와 technology mapping 과정을 통해 얻을 수 있다고 알려진 지연시간 한계보다 지연시간이 개선된 회로를 설계하였다^[18]. 회로 분할시 cut-set에 포함되는 wire의 수가 많을 경우 회로의 크기가 방대하게 증가하는 단점이 있으므로 이를 개선하기 위하여 제안된 알고리즘은 주어진 회로를 cut-set이 적은 회로로 변환하는 전 처리 과정을 거친 후 회로 분할을 수행한다. 제안된 알고리즘은 회로 분할시 Shannon expansion을 이용하여 두 cofactor 회로로 분할하며, cofactor 회로는 원래 회로보다 지연시간이 크지 않으므로, 적절한 divisor를 이용할 경우 주어진 회로보다 지연시간이 감소하는 특징이 있다^[19-23].

그림 3 (a)는 일반적인 조합회로를 나타낸 그림이다. 제안된 알고리즘은 critical path를 분할하기 위하여 주어진 그림 3 (a) 회로를 그림 3 (b)와 같이 직렬로 회로를 분할한다. 분할된 회로 중 출력쪽에 가까운 부분을 A, 입력 쪽에 가까운 회로를 B라고 할 때, A와 B 회로를 자른 단면을 지나는 line을 cut-set line이라고 한다. 만일 그림 3 (b)에서 cut set의 line 수가 1개일 경우 그림 3 (b)의 회로는 그림 4와 같이 변환이 가능하다. 그림 4의 A_{on} 와 A_{off} 은 그림 3의 A 회로 출력함수의 B 회로 출력함수에 대한 cofactor 회로이며, A 회로의 입력 line인 cut-set line에 가능한 모든 값인 1과 0 값을 B 회로 입력에 대입함으로써 각각 변환할 수 있다.



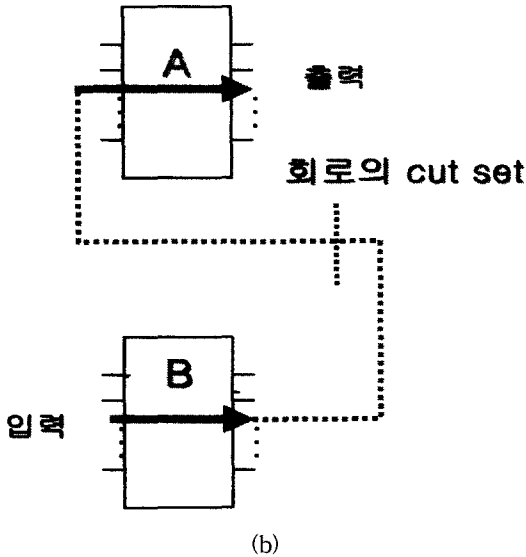


그림 3. Critical path Folding
Fig. 3. Critical path Folding.

만일 cut-set에 포함된 line의 수가 N 개인 경우 N 개의 라인값이 대입될 수 있는 경우의 수는 2^N 가지가 되므로 그림 5와 같이 2^N 개의 A회로가 변환된 회로가 생성된다. 이 경우 면적이 방대하게 증가하여 구현이 어려우므로 제안된 알고리즘은 cut-set에 포함된 line의 수가 1 개가 되도록 회로를 분할한다.

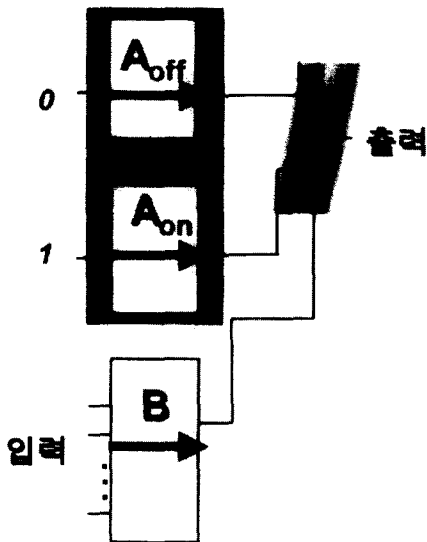


그림 4. Cut-set line이 1개인 경우 그림 3(b) 회로를 변환한 회로
Fig. 4. Transformed circuit in case of the number of cut-set line = 1.

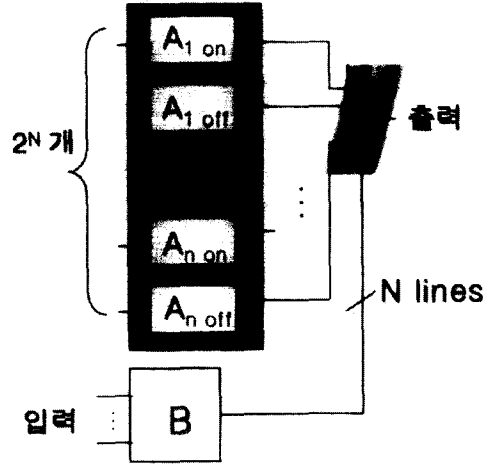


그림 5. Cut-set line의 수가 N개인 경우 변환된 회로
Fig. 5. Transformed circuit in case of the number of cut-set line = N.

제안된 알고리즘은 critical path상의 line 함수의 커널을 이용하여 회로를 분할한다. 커널은 회로의 공통되는 부분을 나타내는 기본단위로 커널에 사용된 어떠한 변수로 나누어도 나누어 떨어지지 않는 cube를 나타낸다. 본 논문에서 제안한 커널 선택 알고리즘은 회로 최적화를 위한 커널을 선택하여 Shannon expansion을 이용하여 회로를 분할하며, 임의의 주어진 함수 f 는 커널 B 에 대하여 다음 수식 (1)과 같이 Shannon expansion를 통해 f_B 와 $f_{\bar{B}}$ cofactor 회로로 분할이 가능하다. 이때 A_{on} 회로는 f_B , A_{off} 회로는 $f_{\bar{B}}$ 에 대응되며, 분할된 f_B , $f_{\bar{B}}$, B 세부 회로 내에서 중복되어 존재하는 공통 회로는 공유하여 사용이 가능하다.

$$f = B \cdot f_B + \bar{B} \cdot f_{\bar{B}} \quad (1)$$

회로를 분할하는 공통 인수를 어떻게 선택하느냐에 따라 지연시간, 면적, 및 전력소모에 영향을 미치므로, 커널의 선택에 사용되는 비용 함수를 적절히 설계해야 한다. 제안된 알고리즘의 생성된 회로의 지연시간을 반영하는 수식 (2)와 같은 비용함수를 사용하여 가장 효율적으로 지연시간을 감소시킬 수 있는 커널을 선택하여 회로를 합성하였다.

$$\text{비용함수} = \max(\text{delay}(f_B), \text{delay}(f_{\bar{B}}), \text{delay}(B)) \quad (2)$$

단 $\text{delay}(B) < \max(\text{delay}(f_B), \text{delay}(f_{\bar{B}}))$

최근에 발표된 FPGA는 CLB내에 MUX나 tri-state

buffer를 포함하고 있으므로 제안된 구조를 구현시 출력단의 MUX는 추가 CLB나 지연시간 overhead가 없이 구현이 가능하다^{[16][17]}. 보통 mux를 tri-state buffer로 구현할 경우 MUX selection signal에 대응되는 tri-state buffer의 control signal로부터 출력 line까지 지연시간이 증가하는 경우가 발생할 수 있으므로, f_B 와 $f_{\bar{B}}$ 회로의 출력이 계산되기 전에 MUX의 selection signal인 커널 회로 B의 값이 계산되어야 한다. 이를 위해 제안된 알고리즘은 항상 B의 회로의 지연시간이 f_B 와 $f_{\bar{B}}$ 회로의 지연시간보다 작은 조건을 만족하도록 커널을 선택하여 회로를 합성한다.

주어진 회로에 대해 최적의 커널을 선택하고 이 커널을 이용하여 분할한 회로 구조를 그림 6에 나타내었다. 그림 6에서 I는 각각 회로의 전체 입력 집합을 나타내고, f는 함수의 출력 집합을 나타낸다. f_K 와 $f_{\bar{K}}$ 는 선택된 커널을 이용하여 Shannon expansion을 통해 생성된 cofactor 회로이다. 회로의 MUX selection 신호는 커널을 합성한 회로(K)의 출력 값을 나타내며, 커널을 합성한 회로의 출력값에 따라 두 세부 회로 f_K , $f_{\bar{K}}$ 의 출력값 중 하나가 선택된다.

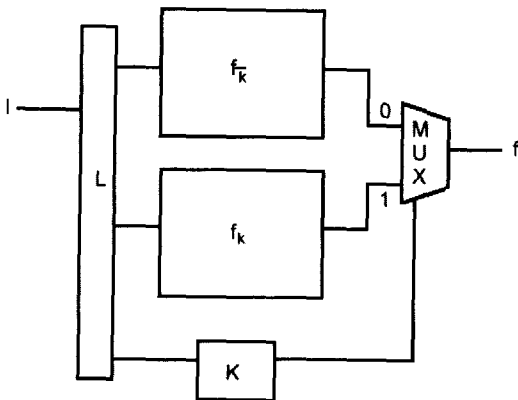


그림 6. 커널 선택 알고리즘을 이용한 회로
Fig. 6. Circuit based on kernel selection algorithm.

그림 7은 MCNC 벤치마크 회로 중 sa02회로 예제를 보인다. 이 회로는 Flowmap 알고리즘을 이용하여 최적화한 회로를 그림 7(a)에 나타내었으며, 생성된 회로는 지연시간을 나타내는 CLB level이 7이며, 면적을 나타내는 사용된 CLB의 수는 31이다. 예제 회로를 제안된 알고리즘을 이용하여 그림 7의 제안된 회로 구조로 합성한 경우 그림 7(b)와 같은 회로를 얻을 수 있으며

사용된 CLB 수는 45개이고, CLB level이 4로 지연시간이 효율적으로 감소하였음을 확인할 수 있다.

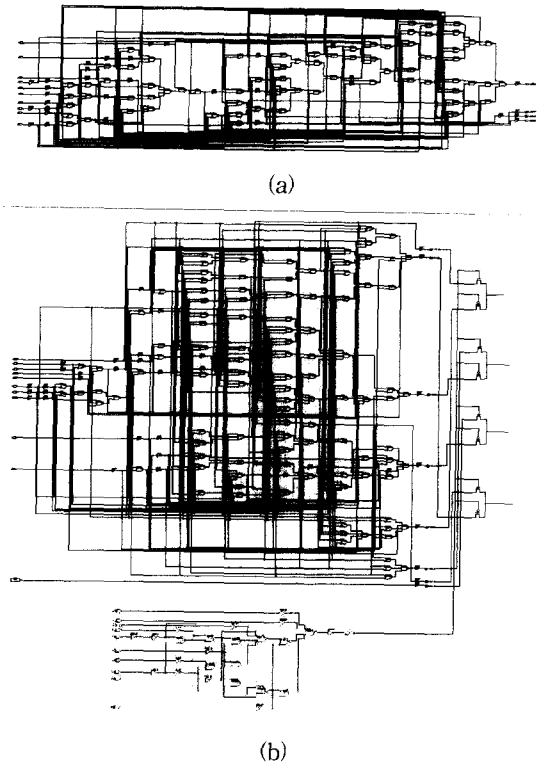


그림 7. 예제 회로의 다양한 지연시간 최적화 설계
(a) FlowMap을 이용하여 생성한 회로
(b) 커널 선택 알고리즘을 이용하여 생성한 회로

Fig. 7. Various circuits for low power design of an example combinational circuit.
(a) Circuit obtained by FlowMap algorithm.
(b) Circuit obtained by kernel selection algorithm.

IV. 실험 결과

제안한 지연시간 최적화 알고리즘은 SUN UNIX 환경에서 C 언어로 구현되었다. 제안된 알고리즘을 기존의 Flowmap FPGA 지연시간 최적화 알고리즘과 결과를 비교하였다^[2]. 기존의 FlowMap 알고리즘의 결과 회로를 상용 tool에 입력시키는 변환 tool이 공개되지 않아, 기존의 FlowMap 논문 [2]에 제시된 CLB의 레벨과 수를 이용하여 MCNC 벤치마크 회로에 대해 결과를 비교하였다^[24].

표 1은 기존의 FlowMap과 제안된 분할 알고리즘 방법에 의해 생성된 결과 회로의 지연시간과 면적을 나타낸다. 각 표에서 '#PIs/#POs' 열 중 #PIs는 입력수, #POs는 출력수를 나타내며, 표 1에서 '△' 열은 FlowMap 지연시간 최적화 방법과 제안한 알고리즘의 지연시간 및 면적 차를 나타낸다.

먼저 지연시간을 보여주는 실험 결과에서 제안한 알고리즘 적용할 경우 벤치마크 회로 중 cc 회로, z4ml 회로는 FlowMap 최적화 알고리즘보다 평균 50% 이상의 지연시간이 감소하였다. 이 회로들은 커널을 이용하여 분할된 세부 회로들의 크기가 많이 감소하여 지연시간이 크게 줄어든다.

표 1의 실험 결과에서 제안된 커널 선택 알고리즘은 FlowMap 최적화 알고리즘보다 평균적으로 19.11% 정도 지연시간이 감소한 회로를 생성한다.

고리들을 적용하여 회로가 분할된 후 각 세부 회로의 크기가 줄어 지연시간 감소의 효과를 얻게 됨을 알 수 있다. 그러나 bl, cm42a, cordic, majority, pcle, sct, tcon 회로는 partition 후에 CLB 레벨의 차이가 나지 않았다.

분할된 두 cofactor 회로에 중복되는 영역이 많은 회로들은 면적이 증가한 반면 중복되는 영역이 적은 회로들은 면적의 증가가 적었으며, 회로의 출력들이 divisor kernel에 영향을 많이 받는 경우는 생성된 cofactor 회로가 적어지는 특징이 있으므로 전반적으로 면적이 감소하는 결과를 얻었다.

벤치마크 회로에 비해 지연시간 면에서는 평균 19.11% 정도 감소하며 면적의 경우에는 평균 7.94% 정도 증가하여 지연시간이 향상됨을 알 수 있다.

표 1. 지연 시간 및 면적 비교

Table 1. Comparison of delay and area.

Circuit		Flow_MAP		Proposed		△(%)		
Name	#PIs	#POs	LEVEL	#CLBs	LEVEL	#CLBs	LEVEL	#CLBs
bl	3	4	1	1	1	1	0	0
c8	28	18	3	20	2	25	-33	25
cc	21	20	2	16	1	14	-50	-12.5
cm162a	14	5	3	310	2	7	-33	-30
cm42a	4	10	1	15	1	15	0	0
cmb	16	4	2	27	2	5	0	-28.6
cordic	23	2	3	38	3	38	0	0
duke	22	29	4	90	3	82	-25	-8.9
majority	5	1	1	11	1	11	0	0
misex2	25	18	4	20	3	24	-25	20
pcle	19	9	3	12	3	12	0	0
pc1er8	27	17	3	20	2	20	-33	0
sao2	10	4	7	31	4	45	-42	45
sct	19	15	3	10	3	10	0	0
tcon	17	16	1	4	1	4	0	0
vda	17	39	5	142	4	206	-20	45
x2	10	7	3	8	2	13	-33	63
z4ml	7	4	2	4	1	5	-50	25
	15.94	12.33	2.83	43.27	2.16	29.83	-19.11	7.94

표 1에서 지연시간이 크게 감소한 회로인 cc 회로에서 12.5%의 면적이 감소됨으로 나타나, 결국 제안한 알

V. 결론

본 논문에서는 critical path를 분할하고, 분할된 회로를 동시에 수행함으로써 회로의 지연시간을 개선하는 FPGA 설계를 위한 논리 회로 합성 알고리즘을 제안하였다. 제안한 커널 선택 알고리즘은 모든 논리 회로에 적용할 수 있는 알고리즘으로 우선 주어진 논리 회로에 제안한 알고리즘을 적용하여 지연시간을 감소시킬 수 있는 최적의 커널을 선택하고 이 커널을 중심으로 Shannon expansion을 수행하여 회로를 분할하는 방법으로 회로를 합성한다. 합성된 회로는 커널에 값의 경우에 따라 수행되는 두 세부회로로 분할되면, 커널 값에 따라 출력값을 선택하는 구조를 가진다. 실험 결과에서 기존의 지연시간 줄이기 위한 최적 technology mapping 알고리즘과 비교할 때 제안된 분할 알고리즘을 적용해 합성된 회로들이 지연시간이 효과적으로 개선되었음을 알 수 있다. 커널 선택 알고리즘으로 생성된 회로의 출력단의 MUX 회로는 대부분의 상용 FPGA에서 CLB에 포함된 출력 line에 연결된 tri-state buffer를 이용하여 추가 면적 및 지연시간 overhead없이 구현이 가능하다. 제안된 지연시간 개선 알고리즘을 사용하여 FPGA 설계 작업을 수행할 경우 기존 FPGA 회로의 단점인 지연시간을 개선할 수 있어 고속으로 동작할 수 있는 FPGA 회로를 구현할 수 있을 것으로 기대된다. 그리고, 후후 과제로 회로의 지연시간 외에 면적, 전력 소모 등의 trade-off를 고려하여 회로를 설계

할 수 있도록 알고리즘에 관한 연구가 필요하다.

참 고 문 헌

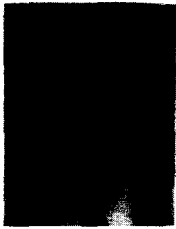
- [1] Stephen. D. Brown, R. J. Francis, J. Rose, Z. G. Vranesic, Field- Programmable Gate Arrays, Kluwer Academic Publisher, 1992.
- [2] J. Cong and Y. Ding, "FlowMap: An Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table based FPGA Designs," IEEE Trans. on CAD, Vol. 13, No. 1, pp. 1-12, Jan 1994.
- [3] 김태선, 황선영, '논리 회로의 기술 매핑 시스템의 설계', 대한 전자공학회 논문지, 29-A 권 2 호, pp. 88-99, 1992 년 2 월
- [4] G. De Micheli, Synthesis and Optimization of Digital Circuits, McGraw-Hill, 1994.
- [5] 이상우, 황선영, '타이밍 최적화 기술 매핑시스템의 설계', 대한전자공학회 논문지, 31-A 권 4 호, pp. 106-115, 1994 년 4 월
- [6] 황선영, 이재형, 김태선, "실리콘 컴파일러에서의 논리합성", 전자공학회지, 제 19호 제 6호, pp. 503-514. 1992년 6월
- [7] S. J. Hong, R. G. cain, and D. L. Ostapko, "MINI: A Heuristic Approach for Logic Minimization", IBM J. Res. Develop., vol 18, pp433-458, Sept. 1974.
- [8] R. K. Brayton, R. Rudell, A. Sangiovanni-Vincentlli, and A. Wang, "MIS : A multiple-level logic optimization system", IEEE Trans. Computer-Aided Design, Vol CAD-6, No. 6, pp. 1062-1081, Nov. 1987.
- [9] 임춘석, 황선영, "다단 논리 최적화 시스템의 설계", 전자공학회 논문지 제 29-A권 제 4호, 1992 년 4월
- [10] 이재형, 황선영, '성능 구동 논리회로 자동 설계 시스템', 대한 전자공학회 논문지, 28-A 권 1 호, pp. 74-84, 1991 년 1 월
- [11] 이재형, 황선영, 'Fanout 제약 조건하의 논리 회로 합성', 대한 전자공학회 논문지, 28-A 권 5 호, pp. 387-397, 1991 년 5 월
- [12] K. C. Chen and S. Muroga, "Timing Optimization for Multi-Level Combinational Networks," in Proc. 27th DAC, pp. 339-344, Nov. 1990.
- [13] J. P. Fishburn, "A Depth-Decreasing Heuristic for Combinational Logic: or How to Convert a Ripple-Carry Adder into a Carry-Lookahead Adder or Anything In-Between," in Proc. 27th DAC, pp. 361-364, Nov. 1990.
- [14] E. L. Lawler, K. L. Levitt, and J. Turner, "Module Clustering to Minimize Delay in Digital Networks," IEEE Trans. on Computers, Vol. 18, No. 1, pp. 47-57, Jan. 1969.
- [15] K. J. Singh, A. R. Wang, R. K. Brayton, and A. Sangiovanni-Vincentelli, "Timing Optimization of Combinational Logic", in Proc. ICCAD, pp. 282-285, Nov. 1988.
- [16] Xilinx, The Programmable Logic Data Book, 1999.
- [17] Altera, Device Data Book, 1999.
- [18] J. Cong and Y. Ding, "Beyond the Combinatorial Limit in Depth Minimization for LUT-Based FPGA Designs," Proc. 1993 IEEE/ACM Int'l Conf. on CAD, Santa Clara, CA, pp110-114, Nov. 1993.
- [19] I. S. Choi, H. Kim, D. Seo, S. Y. Hwang, 'A Kernel-based Precomputation Scheme for the Design of Low-power Combinational Circuits', Electronics Letters, IEE, Vol.32, No.12, pp. 1066-1067, June 1996.
- [20] I. S. Choi, H. Kim, S. Y. Hwang, 'Partitioning-based Algorithm for the Synthesis of Low-power Combinational Circuits', Electronics Letters, IEE, Vol. 32, No. 22, pp. 2041-2042, August 1996.
- [21] H. Kim, I. S. Choi, S. Y. Hwang, "Design of Heuristic Algorithms Based on Shannon Expansion for the Synthesis of Logic Circuits with Low Power", IEE Proceedings-Circuits, Devices, and Systems, Vol. 144, No. 6, pp. 355-360, Dec. 1997.
- [22] I. S. Choi, S. Y. Hwang, "A Circuit

Partitioning Algorithm for Low Power Design under Area Constraints Using Simulated Annealing," IEE Proceedings - Circuits, Devices, and Systems, Vol. 146, No. 1, pp. 8-15, Feb. 1999.

- [23] I. S. Choi, S. Y. Hwang, "A Low-power Logic Synthesis Algorithm Using Multiple Partitioning under Delay Constraints," Electronics Letters, IEE, Vol. 35, No. 7, pp. 558-560, April. 1999.

- [24] R. Lisanke, "Logic Synthesis and Optimization Benchmarks User Guide Version 2.0", Technical Report, MCNC, P.O. Box 12889, Research Triangle park, NC 27709, Dec. 1988.

— 저 자 소 개 —



崔 益 成(正會員)

1992년 2월 서강대학교 전자공학과 학사 취득. 1994년 2월 서강대학교 대학원 전자공학과 석사학위 취득. 1999년 2월 서강대학교 대학원 전자공학과 박사학위 취득. 1999.6~현재 한국 전자통신연구원 교환전송기

술연구소 선임연구원 재직 중



李 範 哲(正會員)

1981년 경희대학교 전자공학과 졸업(학사). 1983년 연세대학원 전자공학과 졸업(석사). 1997년 연세대학원 전자공학과 졸업(박사). 1983년 한국전자통신연구원 입소 현재,

한국전자통신연구원, 교환전송기술연구소, 교수스위치팀장



李 姪 姬(正會員)

1984년 2월 경북대학교 전자공학과 학사 취득. 1989년 2월 경북대학교 대학원 전자공학과 석사학위 취득. 1984.3~현재 한국 전자통신연구원 교환전송기술연구소 선임연구원 재직 중.

김 남 우(正會員)

현재 한국 전자통신연구원 교환전송기술연구소 선임연구원 재직 중