

論文2000-37SD-6-1

비트라인 간섭을 최소화한 플래시 메모리용 센스 앰프 설계

(Design of a Sense Amplifier Minimizing bit Line Disturbance for a Flash Memory)

金柄錄*, 趙慶錄**, 劉泳甲***, 金聖植**

(Byong-Rok Kim, Kyoung-rok So, Young-gab You, and Sung-sik Kim)

요약

본 논문에서는 플래시 메모리의 비트라인 공유에 따른 간섭현상을 최소화한 센스 앰프를 제시하였다. 외부 소자에서 내부 플래시 메모리를 읽고자 하였을 때 발생할 수 있는 간섭현상은 공유된 비트라인으로 인하여 출력에서 에러가 발생할 수 있다. 주된 원인으로서는 칩의 소형화에 따른 얇은 부유 게이트 옥사이드층의 사용에 따른 전하의 이동에 따라 발생한다. 본 논문에서는 전하의 이동을 최소화 하기 위해서는 공유된 비트라인에 인가 되는 전압을 낮추었으며, 낮은 비트라인 전압으로도 플래시 셀의 데이터의 값을 판정할 수 있는 센스 앰프를 설계, 구현, 검증하였다.

Abstract

In this paper, design of sense amplifier for a flash memory minimizing bit line disturbance due to common bit line is presented. There is a disturbance problem at output modes by using common bit line, when the external devices access an internal flash memory. This phenomenon is resulted from hot carrier between floating gates and bit lines by thin oxide thickness. To minimize bit line disturbance, lower bit line voltage is required and need sense amplifier to detect data existence in lower bit line voltage. Proposed circuits is operated at lower bit line voltage and we fabricated a embedded flash memory MCU using 0.6μ technology.

I 서론

센스 앰프는 데이터의 유무를 판정하는 일반적인 회로로서 광범위하게 사용된다. 그 적용범위에 있어서 어떤 부분에 사용되느냐에 따라 회로에 있어 다소 차이가 있다.

현재 플래시 메모리에 사용되는 센스 앰프는 파워소모와 속도 면에서 우수한 차등 센스 앰프(differential sense amplifier)를 많이 사용한다. 그림 1에서 보는 것과 같이 두 신호의 입력을 받아서 이의 대소로서 플래시 셀의 데이터 유무를 판정하도록 설계되었다. 그러나 칩의 소형화에 따른 면적의 축소와 이에 수반되는 문턱전압 간섭현상에는 취약한 것으로 나타난다. 이것은 차등 센스 앰프는 읽기 동작 시 주파수 특성을 좋게 하기 위하여 비트라인에 높은 전압(4V~5V)이 인가되도록 설계되었기 때문이다. 이러한 비트라인의 높은 전압은 반복된 읽기 동작 시 전압이 낮은 경우일 때보다 선택되지 않은 셀의 전하를 비트라인의 셀에 많은 영향을 주기 때문에 데이터의 손실을 발생하게 만든다. 즉 비트라인의 전압이 고전압일수록 선택되지 않은 플

* 正會員, 現代半導體

(Hyundai Electronics Industries)

** 正會員, 忠北大學校 情報通信工學科

(Chung-buk university computer & communication engineering)

*** 正會員, APCHDL General chairman

接受日字:1999年11月2日, 수정완료일:2000年5月15日

래시 셀의 부유 게이트(floating gate)에 축적된 전자가 유출될 가능성이 커진다. 이러한 간섭 현상을 막기 위해서는 비트라인의 전압을 최소화하여 내부 데이터를 읽도록 하는 설계 기술이 요구된다.

본 논문에서는 외부에서 내부 플래시 메모리에 접근 시 발생하는 비트라인 간섭 현상을 최소한으로 줄이도록 설계를 하였다. 이를 위하여 선택되지 않은 플래시 메모리의 부유 게이트에 축적된 전자의 유출현상을 최소로 하고 플래시 메모리의 데이터 유무만 확인할 정도의 전압이 비트라인에 인가되도록 설계하였다. 또한 그림 1에서와 같이 차동증폭 센스앰프에서 필요로 하는 기준 셀 (reference cell)을 소거하여 코스트 다운 설계를 하였다.

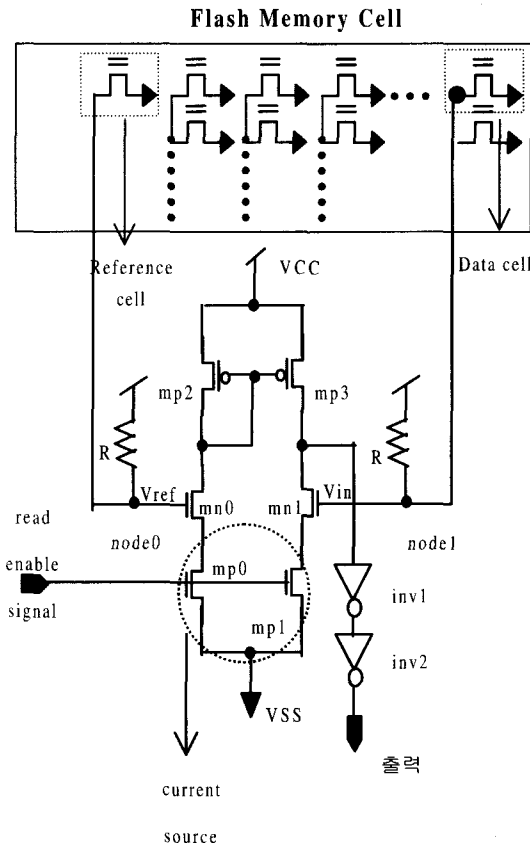


그림 1. 차동 증폭 센스 앰프
Fig. 1. Differential sense amplifier.

II. 본 론

1. 플래시 메모리의 구성과 기능
플래시 메모리의 구성은 그림 2에 나타난 것과 같이

다결정으로 된 floating gate와 다결정 실리콘으로 이루어진 control gate로 이루어져 있다.

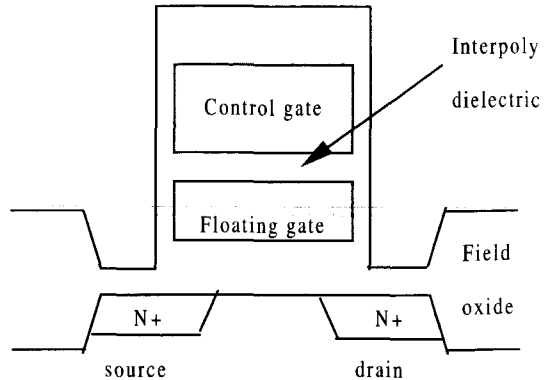


그림 2. 플래시 메모리 구성
Fig. 2. Cross section of a flash memory.

플래시 메모리의 기능은 외부에서 데이터를 저장하는 프로그램 기능과 이를 다시 지우는 소거 기능, 데이터의 값을 읽어 보는 읽기 기능을 가진다. 저장 기능은 드레인단에 고전압을 인가함으로써 열전자(hot carrier)를 발생시키는 방법으로 한다. 소거기능은 소스단과 부유 게이트 단의 적층 영역에서 얇은 산화막의 터널링 전류를 이용한다. 이것은 소스단에 12V이상의 고전압을 인가하게 되면 밴드간의 터널링에 의해서 전류가 발생하는 것을 이용한 것이다. 읽기 기능은 게이트 단에 전원 전압(5V)를 인가하고 플래시 셀이 전류가 흐르는지를 감별해서 이를 증폭하여 데이터로 출력한다.

플래시 메모리는 칩의 소형화에 따른 여러 가지 간섭현상이 발생한다. 크게 게이트 간섭, 비트라인 간섭이라고 하는 드레인 간섭으로 나누어 진다. 게이트 간섭은 터널링 전류에 의해서 전자가 부유 게이트에 주입되는 것에 의해 일어난다. 즉 프로그램 기능과 읽기 기능 시에 제어 게이트를 공통으로 공유함으로 인하여 선택되지 않은 셀이 영향을 받는 것이다. 저장 기능 시에는 간섭의 인가되는 시간은 짧지만 고전압이고 읽기 기능 시에는 인가 전압이 낮지만 시간이 매우 길다. 드레인 간섭은 제어 게이트가 전원 전압이고 드레인단에 전압이 인가 되는 경우에 발생한다. 이는 터널링 전류에 의한 부유 게이트로의 전자 누설 또는 터널링에 의해 발생한다. 이와 같이 드레인 간섭은 선택된 셀과 선택되지 않은 비트라인을 공유하기 때문에 비트라인 간섭이라 한다. 설계된 플래시 메모리는 하나의 셀

마다 소거와 저장 기능이 있는 NOR형 메모리 구조이므로 비트라인을 공유 한다.

간섭현상은 칩이 고밀도 및 소형화 추세 때문에 불가피하므로 이를 최소한으로 줄이는 방향으로 설계되어야 한다. 게이트 간섭은 터널링 전류가 최소한으로 발생하도록 프로그램 기능과 읽기 기능시에 시간과 전압과의 상관 관계를 이용하여 최소한의 간섭이 일어나도록 해야 한다. 그리고 비트라인 간섭에서도 최소한의 터널링이 발생하도록 공유된 비트 라인에는 낮은 전압이 인가되도록 설계되어야 한다.

2. Bit line간섭현상 측정

간섭현상에 의해서 셀의 데이터의 오류 발생은 잘못 표 1과 같다. 표 1은 실제의 단위 셀에 계속적으로 읽기 동작을 했을 경우 불량횟수를 나타낸 것이다. 비트라인의 전압이 고전압일수록 읽기 횟수가 많을수록 플래시 메모리 셀은 근접하고 있는 셀에 영향을 많이 받는 것을 알 수 있다. 이것은 비트라인 전압이 높을수록 계속적인 읽기 동작 시 선택되지 않은 플래시 메모리 셀의 부유 게이트에 저장된 전하들이 유출됨으로 인하여 발생된다. 이를 비트라인 간섭이라 한다. 표1은 100개의 플래시 셀들을 각각 100회부터, 200회, 500회, 1000회, 1000회씩 읽었을 때 인접하는 셀의 데이터 값의 오류 빈도를 나타낸 것이다.

표 1. bit line전압에 따른 데이터 오류 횟수
Table 1. Data errors as parameter of bit line voltage.

Bit line 전압	100회	200회	500회	1000회	10000회
5V	2.13	4.22	10.45	20.52	201.34
4V	1.42	3.22	7.65	15.42	150.23
3V	0.50	1.50	3.20	6.00	70.00
2V	0.12	0.01	0.01	0.1	1.1
1V	0	0	0	0	0

3. 센스 앰프 설계

비트 라인 간섭현상을 고려한 센스 앰프를 설계함에 있어서 가장 중요한 것은 셀을 모델링이다. 이것은 시뮬레이션 실험 치와 오차를 줄이기 위함이다.

플래시 셀의 모델링은 위치적으로나 공정적으로 특성이 좋지 않은 셀을 기준으로 모델링 해야 한다. 이

는 한 개의 셀 만으로 모든 셀의 특성을 규정하기에는 적합이 있기 때문이다. 그림 3과 같이 선택된 셀을 워드라인과 비트라인 기준으로 하여 가장 먼 곳에 위치하는 셀을 모델링 한 것은 위치적으로 가장 나쁜 조건은 셀이므로 이 셀의 동작이 검증되면 나머지 셀도 동작 가능하다고 볼 수 있기 때문이다. 그리고 모델링에서 실험치와의 오차를 줄이기 위하여 선택되지 않은 셀은 그 셀이 사용된 정도에 따라 Capacitor와 저항 역할을 하도록 한다. 각각의 워드라인 비트라인에 인가되는 메탈,폴리 등의 소자에 의한 각각의 성분에 해당하는 기생 Capacitor와 저항을 모델링 하는 것도 향후 제품화된 칩과의 오차를 최소한으로 줄이는 하나의 방법이다. 플래시 셀의 모델링이 끝나면 이러한 셀의 데이터 값을 인식할 센스 앰프를 설계한다.

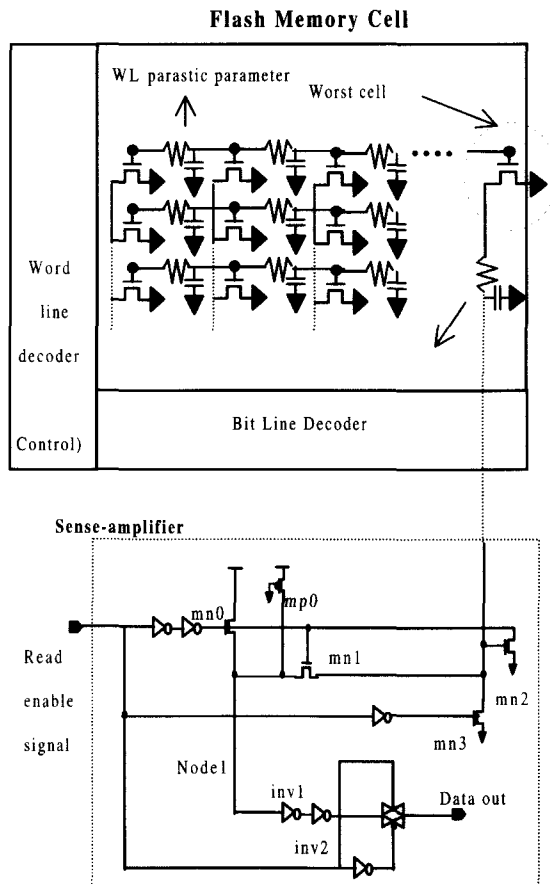


그림 3. 플래시 셀 모델링 및 센스 앰프 설계
Fig. 3. Flash cell and sense amplifier design.
비트라인의 간섭을 최소한으로 하기 위해서는 읽기 기능시 비트라인의 전압이 표 1의 실험결과에서 전압

이 약 2V이하가 되어야 공유된 다른 플래시 메모리 셀에 영향을 주지 않았다.

플래시 메모리 셀의 읽기 동작을 보면 그림 4에서와 같이 선택된 셀이 프로그램 되지 않은 경우 즉 부유게이트에 전하가 없는 경우는 셀이 선택되어도 비트라인이 접지로의 경로가 형성되기 때문에 비트라인 전압은 낮은 값을 갖게 된다. 그러나 셀이 프로그램된 경우 즉 선택된 셀의 부유 게이트에 전하가 있는 경우는 읽기 동작시 비트 라인이 접지로의 경로가 없기 때문에 비트 라인의 전압은 높은 값을 가지게 된다. 이 경우에는 지속적인 읽기 동작시에 선택되지 않은 셀에 영향을 주게 되므로 일정 전압으로 낮출 수 있는 설계기술이 필요하다.

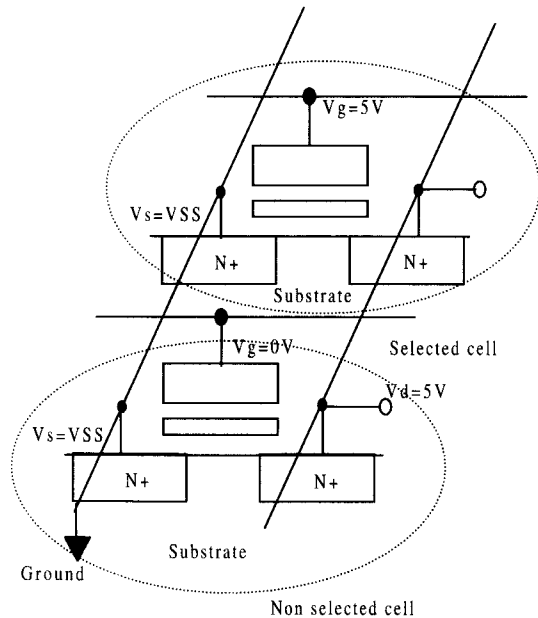


그림 4. 읽기동작 시 셀의 상태
Fig. 4. Cell condition in read operator.

이를 위하여 그림 5의 자기 바이어스 회로를 참조로 하여 센스 앰프를 설계하였다. 즉 일정한 전압이 되면 귀환(feed back)의 원리를 이용하여 비트라인의 전압을 낮추도록 설계하였다. 이렇게 설계된 센스 앰프의 동작 원리를 설명하면 다음과 같다. 그림 3에서 선택된 셀이 프로그램 되지 않은 경우는 기존과 같이 동작하고 프로그램된 셀인 경우에는 피드 백의 원리를 이용하여 비트 라인의 전압을 낮추도록 하였다. 이것은 낮은 비트라인 전압을 인가되도록 하여 선택되지 않은 셀의

부유 게이트의 전하가 유출되는 것을 최소한으로 하기 위함이다.

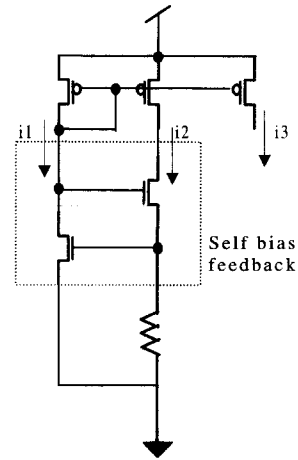


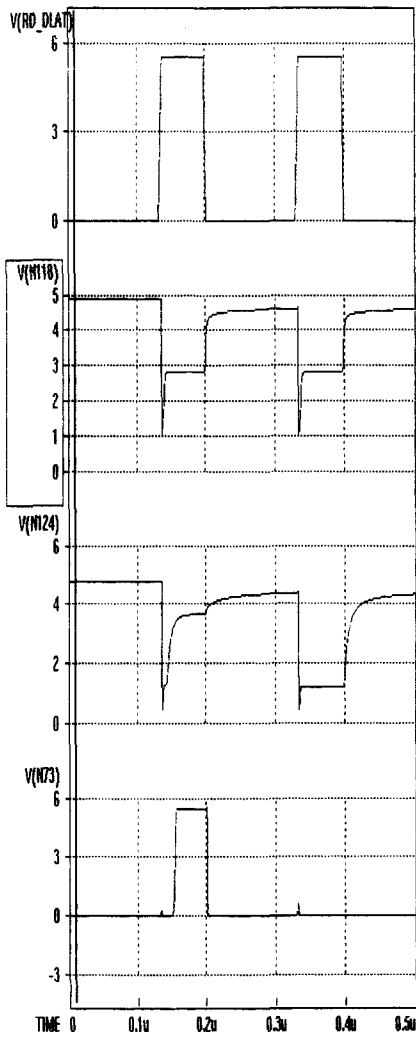
그림 5. Self-bias 회로
Fig. 5. Self bias circuit.

선택된 셀이 읽기 조건이 되었을 때에 그림 3에서 비트 라인에 인가 되는 전압을 보면 다음과 같다. 선택된 셀이 프로그램 되지 않은 셀일 경우 "VCC - (로드 저항 * 비트 라인의 전류)"의 값을 가지고 프로그램된 셀인 경우에는 "VCC - (mn1과 mn2에의 feed-back 결과에 의해서 결정된 비트라인 전압) - (로드 저항*비트라인의 전류)"의 값이 된다. 그리고 이렇게 결정된 전압은 그림 3의 inv1에서 프로그램된 셀의 비트 라인 전압을 '1'의 값으로 인식하고 프로그램 되지 않은 셀의 경우에는 '0'의 값으로 인식할 수 있도록 설계한다. Inv2에서는 이러한 값을 증폭시키는 역할과 더불어 mn1과 mn2에 의해 결정되는 비트라인 전압의 지연을 정확히 검출해야 한다.

4. Simulation결과 및 측정

그림 6과 그림 7은 그림 1과 그림 3을 simulation한 결과이다. X축은 시간을 나타내며 Y축은 전압을 나타낸다.

그림 6은 차동증폭 센스앰프 Simulation 결과이고, 그림 7은 본 논문에서 사용된 센스 앰프를 사용한 경우의 Simulation결과이다. 그림 6의 (a)는 읽기 신호를 나타내며 (b)는 비트라인 전압을 나타낸다. (c)는 선택된 데이터 셀의 비트라인 전압을 나타내고 (d)는 기

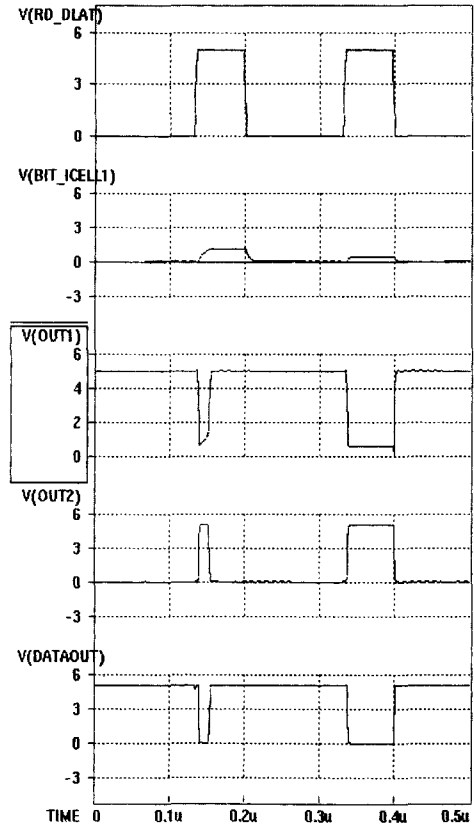


Test condition : VCC = 5V, Frequency =30MHz

그림 6. 기존 회로의 시뮬레이션 결과
Fig. 6. Simulation result of conventional circuit shown Fig1.

준이 되는 셀의 비트라인 전압과 선택된 비트라인의 전압을 비교하여 출력 값으로 내보내는 값을 나타낸다. 셀이 프로그램 된 경우에는 (d) 신호의 값이 1로 출력 되는 것을 볼 수 있다. 그림 7의 (a)는 읽기 동작을 나타내는 신호이고 (b) 각각 플래시 셀이 프로그램된 셀과 그렇지 않은 셀의 비트 라인에 걸리는 전압을 나타낸 것이다. 그 값을 보면 셀이 프로그램된 경우에는 약1.2V를 나타내고 그렇지 않은 경우에는 셀의 비트라인의 전압은 약 0.5V의 값을 나타내는 것을 볼 수 있다. (c)는 그림 3의 Node1의 전압이고 (d),(e)는 inv1과

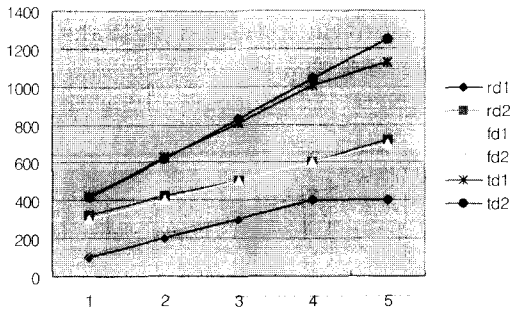
inv2의 출력 값이다. 여기서 중요한 것은 (e)의 값을 어떤 위치에서 데이터를 클럭과 동기 시키느냐에 따라서 오차의 범위를 줄일 수 있다.



Test condition : VCC = 5V, Frequency =30MHz

그림 7. 본 논문의 센스앰프 simulation결과
Fig. 7. Simulation result of proposed circuit Shown Fig3.

그리고 주파수 특성을 비교하여 기존의 차등 증폭 센스 앰프와 얼마만큼의 차이가 있는지를 그림 9에서 비교하였다. 기존의 차등증폭 센스앰프는 비트라인 전압이 높기 때문에 rising 특성 (비트라인 전압이 ON되는 특성)이 좋은 반면 falling특성(비트라인 전압이 OFF되는 특성)은 좋지 않다. 본 논문의 센스 앰프는 기존의 차등 증폭 센스 앰프와 반대의 특성을 나타내어 전체적인 지연 특성은 유사하게 나타난다. 이러한 특성의 결과는 비트라인 전압이 어떤 값으로 주어지느냐에 따라서 그 값이 변화하는데 지연특성이 다르게 나타나는 것을 알 수 있다.



Delay단위(10-12 sec)

rd1: 차등 증폭 센스 앰프 rising delay

fd1: 차등 증폭 센스 앰프 falling delay

rd2: 본 논문의 센스 앰프 rising delay

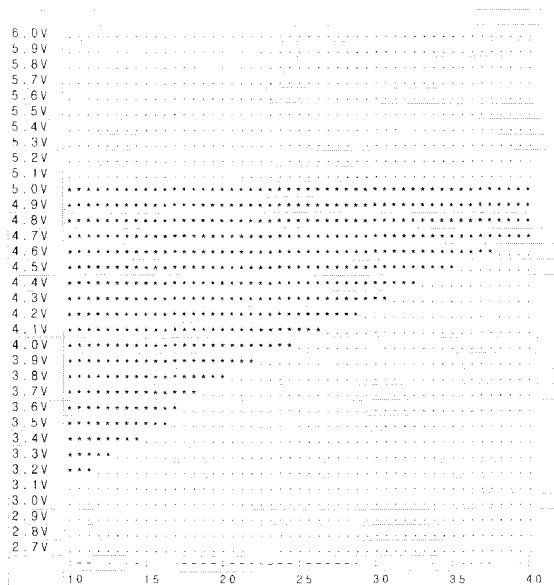
fd2: 본 논문의 센스 앰프 falling delay

td1: 차등 증폭 센스 앰프의 총 지연 시간

td2: 본 논문의 센스 앰프의 총지연 시간

그림 8. 센스 앰프 지연 특성

Fig. 8. Delay of sense amplifier.



* : 데이터의 오류 없음(pass)

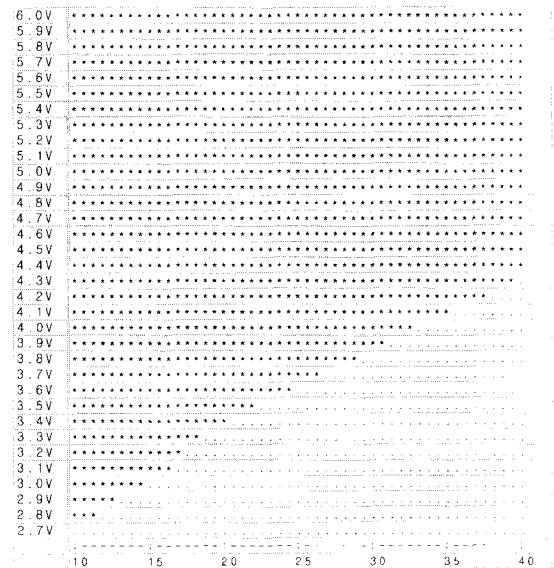
그림 9. 기존 차등 증폭기를 내장한 플래시 메모리 데이터 오류 측정

Fig. 9. Data error result of a flash memory with conventional sense amplifier.

실제된 센스 앰프를 플래시 제품에 적용시킨 결과 다음과 같다. 그림 9과 그림 10은 신뢰성 투입 후 즉

플래시 메모리 셀들을 10,000 읽기 동작한 후 그 특성을 본 것이다. 가로축은 주파수이고 세로축은 동작전압을 나타낸다. 그림 9에서 기존 차등 증폭 센스 앰프를 내장한 플래시 제품에서는 비트라인 간섭현상의 영향으로 VCC값이 높을수록 데이터의 오류 발생빈도가 높아지는 것을 볼 수 있다. 그러나 그림 10에서 나타난 새로 적용된 센스 앰프를 사용하였을 경우에는 이러한 현상이 나타나지 않으므로 비트라인 간섭에 영향을 덜 받는 것으로 나타난다.

이러한 원인은 본문에서 설명한 바와 이 지속적인 읽기 기능으로 인하여 선택되지 않은 플래시 메모리 셀의 부유 게이트에 축적된 전자가 유출되어서 실제의 데이터가 아닌 잘못된 데이터가 출력되게 된다. 이러한 전자의 유출의 빈도는 앞의 실험 결과치 표에서와 같이 비트라인에 일정 전압 이상이 계속적으로 인가됨으로 높아진다.



* : 데이터의 오류 없음(pass)

그림 10. 본 논문의 센스 앰프를 내장한 플래시 메모리 데이터 오류특성

Fig. 10. Data error result of a flash memory with proposed sense amplifier.

III. 결 론

플래시 메모리에 있어서 문제가 되는 것은 부유 게이트의 전자가 유출되어서 데이터가 유출되는 신뢰성 문제이다. 따라서 본 논문에서는 이러한 문제의 해결을

위하여 칩의 크기를 줄임으로 인하여 그 발생 빈도가 많아 질 수 있는 비트라인 간섭을 최소화하는 센스 앰프를 설계하였다. 이렇게 설계된 센스 앰프의 특성을 검증한 결과 신뢰성 투입후에도 동작 특성에 있어서 커다란 변화가 없으므로 비트라인으로 인한 간섭 현상은 줄어들었다고 볼 수 있다.

아래의 그림 11은 32K 플래시 메모리 내장 플래시 메모리 내장 microcontroller를 나타낸 것이다. 공정은 2metal, 2poly CMOS공정에 0.6 μ m design rule을 적용하여 설계하였으며 chip size는 3200 μ m x 3600 μ m이다.

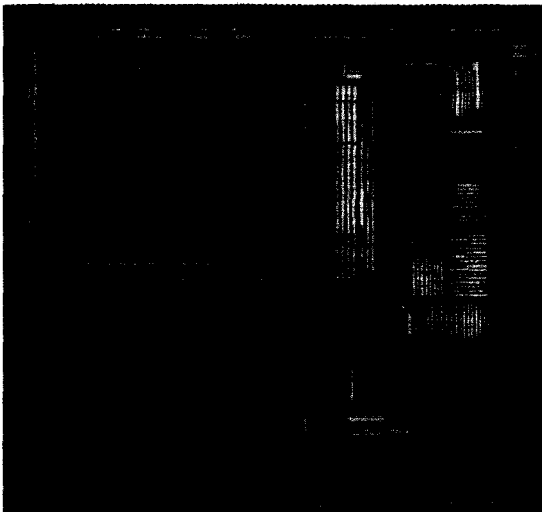


그림 11. 플래시 메모리 내장 Micro-controller
Fig. 11. Chip photography of an embedded flash memory microcontroller.

참 고 문 헌

- [1] F. Kazerounian, et al., A 5 volt high density poly-poly erase flash EEPROM cell, *IEDM Tech Dig.*, pp. 436~439, Dec. 1998.

- [2] D. A. Baglee and M. C. Samayling, The effect of write/erase cycling on data loss in EEPROMs, *IEEE Tech Dig. of IEDM*, pp. 624~626, 1985.
- [3] R. Gastaldi, et al., A 1-Mbit CMOS EPROM with enhanced verification, *IEEE J. Solid State Circuits*, vol. 23, no. 5, pp. 150~115 Oct. 1988.
- [4] Y. Miyawaki, et al., A new erasing and row decoding scheme for low supply voltage operation 16Mb/64Mb flash EE-PROMs, *Symp. on VLSI Circuits, Digest of Technical Papers*, pp. 85~86, May, 1991.
- [6] K. Yoshikawa, et al., 0.6 μ m EPROM cell design based on a new scaling scenario, *IEDM Tech Dig.*, pp. 587~590, 1989.
- [7] G. Verma and N. Mielke, Reliability performance of ETOX based flash memories, *IEEE Reliability Physics Symp.* pp. 158~166, 1998.
- [8] S. Aritome, et al., A reliable bipolarity write/erase technology in flash EEPROMs, *IEEE Tech Dig. of IEDM*, pp. 111~114, 1990.
- [9] S. Haddad, C. Chang, B. Swaminathan and J. Lien, Degradations due to hole trapping flash memory cells, *IEEE EDL.*, vol. 10, no.3, pp. 117~119, 1989.
- [10] R. Kirisawa, et al., A NAND structured cell with a new programming technology for highly reliable 5V-only flash EEPROM, *Symp. on VLSI Tech.*, pp. 129~130, 1994.

저 자 소 개



金柄錄(正會員)

직위 주임 연구원. 1996. 2. 광운대학교 전자공학과 공학사. 2000. 5. 충북대학교 석사 재학중. 1996~현재 : 현대반도체 재직. 주관심분야 : 저전력 소자 MCU driving LCD. Embedded flash memory MCU

趙慶錄(正會員)

1977. 2. 경북대학교 전자공학과 공학사. 1989. 3. 일본 동경대학교 전자공학과 공학석사. 1992. 3. 일본 동경대학교 전자공학과 공학박사. 1979~1986 : (주)금성사 TV연구소 선임연구원. 1992~1992 : (재)산업과학기술연구원 주임연구원. 1992~현재 : 충북대학교 정보통신공학과 교수. 1994~현재 : (주)S.M.E 기술고문. 1995~현재 : 남강장학회 이사. 1997~현재 : 충청북도 중소기업 기술자문관. 1997~현재 : 충북대학교 정보통신공학과 학과장. 연구분야 : 1. VLSI 시스템 설계. 2. 통신시스템의 LSI개발. 3. 고속 마이크로프로세서 설계

劉泳甲(正會員)

1975. 8. 서강대학교 전자공학과 공학사. 1981. 8. 미국 미시간대 전기전산학과 공학석사. 1986. 4. 미국 미시간대 전기전산학과 공학박사. 1975~1979 : 국방과학연구소 연구원. 1986~1988 : 금성반도체(주) 책임 연구원. 1988~현재 : 충북대학교 정보통신공학과 교수. 1993~1994 : 아리조나 대학교 객원교수. 1993~1994 : 대한전자공학회 충북지부장. 1997~현재 : 대한전자공학회 CAD 및 VLSI위원장. 1998~현재 : APCHDL General chairman. 연구 분야 : 1. VLSI 설계 및 테스트 2. 고속 인쇄회로 설계. 3. Cryptography (암호 연구)

金聖植(正會員)

1988.2 경북대학교 전자 공학과 졸업. 1999.8 충북대학교 정보통신공학과 석사 졸업. 현재 충북대학교 박사과정 재학중. 주 관심 분야 : 고속 Embedded MCU 회로 설계