

論文2000-37TE-3-5

DVCR용 24/25 I-NRZI 변조기의 설계를 위한 구조 고찰

(A Study of the Construction in order to 24/25 I-NRZI Modulator Designs for DVCR)

朴鍾鎭*, 鞠一鎬*, 金銀源**, 趙源敬*

(Park Jong Jin, Kook Il Ho, Kim Eun Won, and Cho Won Kyung)

요약

본 논문은 디지털 VCR에서 기록 부호화기로 사용하고 있는 24/25 I-NRZI 변조기의 설계를 위하여 구조를 고찰하고, 스펙트럼 규격을 만족하는 구형파의 진폭 값과 표준 데이터(Sine 및 Cosine계수)를 ROM 테이블에 저장하기 위한 비트의 크기를 고찰하였다. ROM 테이블에 저장되는 표준 데이터의 유효 비트 크기와 구형 파의 진폭 값은 출력 스펙트럼의 파일럿 신호에 대한 크기와 변조기의 하드웨어 크기에 영향을 준다. 설계될 24/25 I-NRZI 변조기에서 출력되는 데이터의 스펙트럼을 검증하기 위해 랜덤 패턴(F0,F1,F2)을 이용하여 실험하였으며, 스펙트럼 분석 결과, 최적의 값으로 구형파의 진폭 값은 0.065이고, 표준 데이터를 ROM에 저장하기 위한 비트의 크기는 3비트임을 알 수 있었다. 또한, 설계될 24/25 I-NRZI 변조기의 하드웨어 기능을 검증하기 위해 스펙트럼 결과를 토대로 먼저 C 모델링하고, Verilog HDL(Cadence Verilog XL)로 코딩하였으며, Synopsys(Library "Samsung KG75") 툴을 이용하여 합성하고, 이를 근거로 하드웨어의 크기를 고찰하였다. 이 연구에서 고찰한 24/25 I-NRZI 변조기는 프리코더의 Path방법 등에 대한 구조를 개선하면 10,000게이트 이하로 설계할 수 있으며, 현재 실용화되고 있는 디지털 캠코더에 응용할 수 있다.

Abstract

This paper considers the construction of 24/25 I-NRZI (Interleaved - Non Return to Zero Inverse) modulator designs for DVCR (Digital Video Cassette Recorder), and size of validity bit in order to store the amplitude value of square-wave and the standard data (sine and cosine coefficients) at ROM Table that to acceptable the spectrum standard. The validity bit size of the standard data and the amplitude value of square-wave that to store at ROM Table are affected the size of pilot signal on the output spectrum, and the hardware size of modulator. At the designable 24/25 I-NRZI modulator, we simulated using random pattern (F0, F1, F2) that to verification the output data of the spectrum. Moreover, the resultant of the spectrum analysis, at the optimizing value, is 0.065 on the amplitude value of square-wave, and 3bit on the size of bit in order to store the standard data at ROM Table. In order to verify the hardware of designable 24/25 I-NRZI modulator, we perform to modeling of C-language firstly, and coding to Verilog HDL (Cadence Verilog XL) and synthesized using Synopsys (Library "Samsung KG75") tool as a base of spectrum results. In a foundation of this result, we are considered the size of hardware. In this paper, a considerable 24/25 I-NRZI modulator designable less than 10,000 gates as that is improved construction as regards the path method of pre-coder etc, and able to application digital camcorders as now practical use.

* 正會員, 慶熙大學校 電子工學科
(Dept. of Electronics Eng., Kyunghee Univ.)

** 正會員, 大林大學 電子情報通信科

(Dept. of Electronics Information & Communication Eng., Daelim College)

接受日字:1999年5月25日, 수정완료일:2000年3月16日

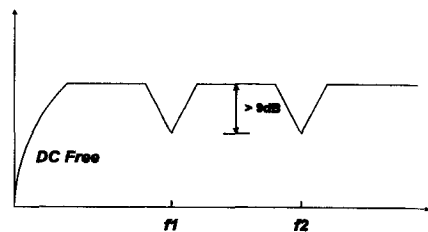
I. 서론

현재 디지털 VCR은 고밀도 기록과 영상 압축 기술의 발전에 힘입어 아날로그 방식의 VCR과 같은 수준의 소형화 및 장시간 기록이 가능하고, SDTV (Standard Definition Television)급 및 HDTV (High Definition Television)급의 디지털 VCR 설계에 관한 연구가 진행되고 있으며, 상용화도 이루어지고 있다.^{[1][2][3]} 디지털 VCR을 실용화하기 위한 고밀도 기록 기술은 헵트랙의 파일럿 신호를 발생 시킬 수 있는 변조 기술, 기록 면적을 최소화 할 수 있는 자성 테이프의 구현 및 신호의 검출 방법과 오류 정정 부호화 방법 등으로 이루어진다. 또한 많은 정보량을 가지고 있는 영상 데이터의 압축 기술도 디지털 VCR의 실용화를 위한 중요한 요소이다. 디지털 VCR의 기록 부호화를 위한 변조 알고리즘은 통신 분야에서 이미 개발된 PR IV(Partial Response Class IV)의 부호화 방법인 I-NRZI(Interleaved Non Return To Zero Inverse) 알고리즘과 트랙킹을 위한 파일럿 신호를 생성하기 위해 24 비트 마다 1 비트를 추가하여 부호화하는 24/25 변조 알고리즘이 디지털 VCR의 SDTV급 및 HDVT급에서 표준 안으로 채택되었다.^{[2][4][5][6][7][8]}

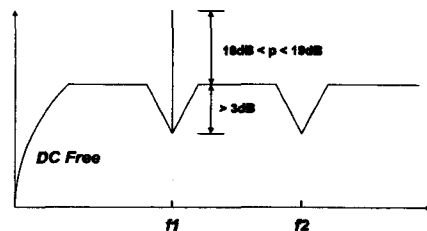
이 연구에서는 디지털 VCR에서 기록 부호화기로 사용하고 있는 24/25 I-NRZI 변조기의 설계를 위한 최적 매개 변수, 즉 Sine 및 Cosine계수 값을 표시하는 유효 비트의 크기와 구형 파의 진폭 값을 고찰하고자 한다. 또한, 이 연구에서 고찰하고자 하는 24/25 I-NRZI 변조기는 I-NRZI 부호화기와 스펙트럼 연산기로 구성되며, 스펙트럼 연산기에서 필요한 Sine 및 Cosine계수 값을 ROM에 저장하고 연산기에 이를 사용하였다. Sine 및 Cosine계수 값을 표시하는 유효 비트의 크기와 구형 파의 진폭 값을 출력되는 파일럿 신호의 최대값과 노치 값에 영향을 주며, 변조기의 하드웨어 크기도 영향을 준다.

따라서, 이 연구에서는 디지털 VCR의 스펙트럼 규격을 만족하는 Sine 및 Cosine계수 값을 표시하는 유효 비트의 크기와 구형 파의 진폭 값을 고찰하고, 이에 따른 하드웨어 크기를 비교하였다.

디지털 VCR용 변조기에 입력되는 데이터는 "0"과 "1"의 비트 스트림(Bit Stream)으로 구성되며, 이를 테이프(Tape) 및 헤드(Head)의 기록 특성에 적합하게 변환하여 반송파 대 잡음 비(CNR)가 높은 스펙트럼을 갖도록 기록한다. 또한 저장 매체(자성 테이프)에 데이터를 저장할 때 기록 파장을 작게 하거나 헵트랙 기록 기술에 의하여 고밀도로 데이터를 저장할 수 있다. 헵트랙 기록은 신뢰성 높은 파일럿(Pilot) 신호가 필요하고, 이를 위하여 다양한 기록 부호화 방법(NRZ, MFM, 8/14변조, I-NRZI, 24/25변조 등)이 연구되고 있으며, 이러한 기록 부호화 방법 중에서 I-NRZI 부호화 방법과 24/25 변조 방법을 조합한 24/25 I-NRZI 변조기는 현재 디지털 VCR의 기록 부호화 규격으로 채택되었다. 그림 1은 디지털 VCR에서 사용되는 24/25 I-NRZI 변조기의 각 트랙(F0, F1, F2)에 대한 스펙트럼 규격을 보여주며, 기록 부호화된 데이터의 파일럿 신호는 $f_1(460\text{kHz})$ 와 $f_2(700\text{kHz})$ 주파수에서 발생한다. F0 트랙의 규격은 f_1 , f_2 주파수에서 노치(Notch)가 발생하며, 노치 크기는 9dB 이상이다. F1 트랙의 규격은 f_1 주파수에서 최대치(Peak)를 갖는 노치가 발생하며, f_2 주파수에서 노치만 발생한다. 또한 F2 트랙의 규격은 f_1 주파수에서 노치가 발생하며, f_2 주파수에서 최대치를 갖는 노치가 발생한다. 이때 노치의 크기는 3dB 이상이며, 최대치의 크기는 16dB 이상 19dB 이하이다.

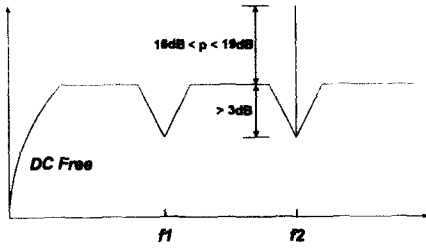


(a) F0 트랙의 규격



(b) F1 트랙의 규격

II. 24/25 I-NRZI 변조기의 설계 규격



(c) F2 트랙의 규격

그림 1. F0, F1, F2 트랙의 스펙트럼 규격
Fig. 1. A Specificity for the Track F0, F1, F2 Spectrum by ISO.

III. 24/25 I-NRZI 변조기의 설계를 위한 구조 고찰

24/25 I-NRZI 변조기는 입력된 24비트에 1비트("0" 또는 "1")를 추가하여 2T 프리코더 연산을 수행하는 I-NRZI 연산기와 0 또는 1을 추가하여 2T 프리코딩된 데이터(25비트)의 스펙트럼을 계산하고 원하는 스펙트럼과 유사한 데이터 패스(0을 추가한 패스 또는 1을 추가한 패스)를 찾는 스펙트럼 연산기로 구성된다. 이 연구에서는 스펙트럼 출력 및 하드웨어의 크기에 영향을 주는 스펙트럼 연산기의 ROM 테이블에 저장되는 Sine 및 Cosine 계수 값을 고찰하고, 이에 따른 변조기 설계 규격의 만족 여부 및 H/W 크기를 비교하여 최적의 24/25 I-NRZI 변조기 구조를 고찰한다. 설계된 24/25 I-NRZI 변조기의 전체 구성은 그림 2와 같다.

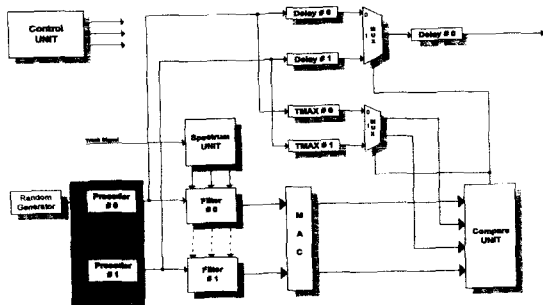


그림 2. 24/25 I-NRZI 변조기의 전체 구성도
Fig. 2. A Block Diagram of the proposed 24/25 I-NRZI Modulators.

스펙트럼 연산기의 연산 과정은 그림 3과 같으며, DC 연산부, 2개의 노치(Notch) 연산부와 2개의 최대

치를 갖는 노치(Notch with Peak) 연산부로 구성된다. 또한 스펙트럼 연산기에서 처리되는 데이터는 I-NRZI 부호화된 데이터이므로 0은 1으로, 1은 1으로 가정하고 연산한다.

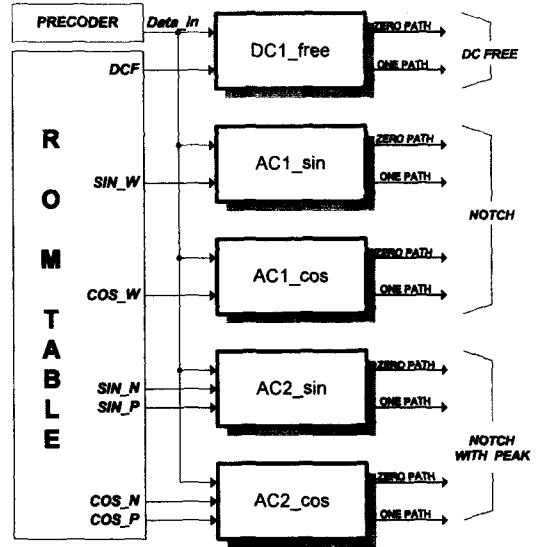


그림 3. 스펙트럼 연산기의 구조
Fig. 3. Spectrum Arithmetic Unit of scheme.

DC 연산부는 각 패스에서 입력되는 데이터 (DATA[i])를 식 (1), (2)와 같이 연산하며, 식(1)은 Up-Down 계수기를 사용하여 구현할 수 있다.

$$DC_REG.=DATA [i] : 0 < i < 24 \quad (1)$$

$$DC_SUM=DC_REG.+TRI_ROM(f) [j] \quad (2)$$

노치 연산기는 식(3), (4)와 같이 승산을 포함한 누산기로 구성할 수 있으나, 입력되는 데이터가 -1과 1으로 한정되어 있기 때문에 식(5), (6)으로 재구성할 수 있다. 따라서 노치 연산기는 선택적으로 가산과 감산이 가능한 연산기로 구성할 수 있다.

$$AC1_SIN = SIN_ROM(f) [j] DATA [i] \quad (3)$$

$$AC1_COS = COS_ROM(f) [j] DATA [i] \quad (4)$$

$$AC1_SIN = AC1_SIN SIN_ROM(f) [j] \quad (5)$$

$$AC1_COS = AC1_COS COS_ROM(f) [j] \quad (6)$$

파일럿을 갖는 노치 연산기는 식(7), (8)과 같이 승산을 포함한 누산기로 구성된다. 즉, 입력되는 데이터 (DATA[j])는 -1과 1으로 한정되어 있으나, 구형과의

값(K)을 곱하기 때문에 파일럿을 갖는 노치 연산기는 노치 연산기와 같이 가산기만으로 구성할 수 없다. 그러나 입력 데이터와 구형파의 값에 따라 $(1+K)$ $SIN_ROM(f)$ 또는 $(1-K)$ SIN_ROM 을 선택적으로 가산하면 식(9), (10)과 같은 결과를 얻을 수 있다. 즉, 표준 데이터의 $K SIN(f)$ 값은 $(1+A)SIN_ROM(f)$ 와 $(1-A)SIN_ROM(f)$ 으로 미리 구성하고, 구형파에 따라 선택적으로 표준 데이터를 사용하면 식(9), (10)과 같이 재구성할 수 있다. 따라서 파일럿을 포함하는 노치 연산기는 가산기와 선택기로 구성할 수 있다.

$$AC2_SIN = K SIN_ROM(f) [j] DATA [i] \quad (7)$$

$$AC2_COS = K COS_ROM(f) [j] DATA [i] \quad (8)$$

$$AC2_SIN = AC2_SIN K_SIN_ROM(f) [j] \quad (9)$$

$$AC2_COS = AC2_COS K_COS_ROM(f) [j] \quad (10)$$

I-NRZI 부호화기에서 출력된 각 패스의 데이터는 표준 데이터와 상관도를 계산하여 원하는 스펙트럼과 유사한 데이터를 선택하여 출력된다. 따라서 미리 구성된 표준 데이터는 파일럿 신호가 발생하는 주파수를 갖는 Sine과 Cosine 데이터로 구성되며, 이를 ROM에 저장한다. 표 1은 트랙 신호에 따라 ROM 테이블의 출력 데이터를 보여주며, 전체 14개의 ROM 테이블을 필요로 한다. 또한 ROM 테이블은 Sine 또는 Cosine 계수 값을 1/4주기만 저장하고, 이를 업-다운(Up-Down) 카운터를 이용하여 ROM 테이블을 어드레싱하며, 1주기 데이터를 연속적으로 출력할 수 있게 설계할 수 있다.

표 1. 각 트랙에 따라 연산기에 사용되는 ROM Table 종류
Table 1. Various ROM Tables for the Arithmetic Unit according to each Track.

Track Number	F0 Track	F1 Track	F2 Track
DC Free	TRI(f1)	TRI(f1)	TRI(f2)
Notch	Sine	SIN(f2)	SIN(f1)
	Cosine	COS(f2)	COS(f1)
Notch with Peak	Sine	SIN(f1)	$(1-K) \times SIN(f1)$ $(1-K) \times SIN(f2)$
	Cosine	COS(f1)	$(1-K) \times COS(f1)$ $(1-K) \times COS(f2)$
	Sine	SIN(f1)	$(1+K) \times SIN(f1)$ $(1+K) \times SIN(f2)$
	Cosine	COS(f1)	$(1+K) \times COS(f1)$ $(1+K) \times COS(f2)$

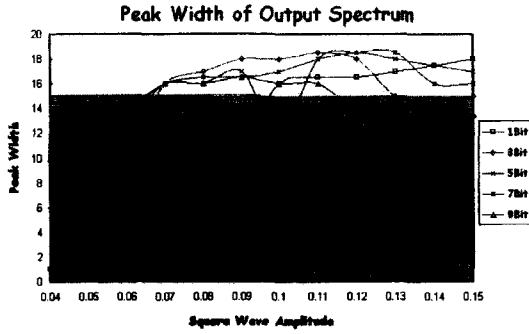
V. 실험 및 고찰

이 연구에서는 디지털 VCR에서 기록부호화기로 사용하고 있는 24/25 I-NRZI 변조기에 대한 구조를 고찰하기 위하여 C언어로 모델링을 하였으며, 기능 검증을 위하여 출력 데이터에 대한 스펙트럼 분석을 수행하고, 이 결과를 이용하여 스펙트럼 규격을 만족하는 구형파의 진폭 값(K)과 표준 데이터(Sine과 Cosine 계수)를 ROM 테이블에 저장하기 위한 비트의 크기를 고찰하였다. 그림 4는 구형파의 진폭 값(K)과 비트크기에 따른 스펙트럼의 변화량을 보여주며, 음영부분은 규정에 따른 스펙트럼을 만족하지 않는 범위이고, 구형파의 진폭 값(K)과 표준 데이터를 표현하는 비트의 크기는 파일럿 신호의 진폭에 영향을 준다. 여기서, 그림 4(a)는 구형파의 진폭 값(K)과 표준 데이터를 ROM 테이블에 저장하기 위한 비트 크기에 따른 파일럿 신호의 최대값의 변화이며, 설계 규격을 만족하는 구형파의 진폭 값(K) 범위는 ROM 테이블의 비트크기가 1비트를 제외하고는 0.065이상임을 알 수 있다. 그림 4(b)는 파일럿 신호를 갖는 주파수에서 노치 값의 변화를 보여주며, 설계 규격(3dB 이상)을 만족하는 구형파의 진폭 값(K) 범위는 ROM 테이블의 비트크기가 1비트를 제외하고는 0.088이하임을 알 수 있다. 또한, 그림 4(c)는 파일럿 신호가 없는 주파수에서 노치 값의 변화를 보여주며, 설계 규격(16dB 이상 19dB 이하)을 만족하는 ROM 테이블의 비트크기는 1비트 이상임을 알 수 있다. 또한, 그림 5는 그림 4(a)를 확대한 그림으로서, 구형파의 진폭 값(K)이 0.065인 경우에서 1비트를 제외된 나머지 비트 크기들이 만족함을 보여주며, 이때 최소 비트가 3비트임을 알 수 있다.

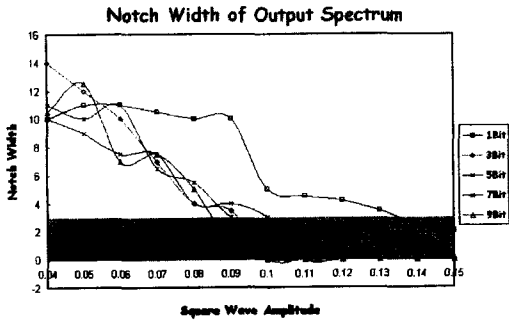
따라서, 그림 4의 조건과 그림 5의 조건에서 규정을 만족하는 경우는 구형파의 진폭 값(K)이 0.065이면서 ROM 테이블에 저장할 표준 데이터의 비트크기가 최소인 3비트임을 볼 수 있다.

그림 6은 그림 4의 결과를 토대로 표준 데이터의 비트크기가 3비트인 경우에 대한 F1트랙에서의 스펙트럼의 예를 보여준다. 그림 6(a)에서는 구형파의 진폭 값(K)이 0.04인 경우로서, 파일럿 신호의 크기는 규정을 만족하지 않는 반면에 노치 값은 정상적으로 발생함을 보여준다. 그림 6(b)에서는 구형파의 진폭 값(K)이 0.065인 경우이며, 이때 파일럿 신호의 크기와 노치

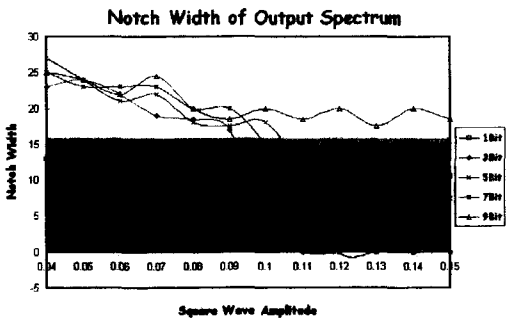
신호의 크기 모두 규정안을 만족함을 볼 수 있었고, 그림 6(c)는 구형파의 진폭 값(K)이 0.11이어서, 노치가 매우 작게 발생함으로 규정안을 만족하지 않는다.



(a) 최대(Peak)값의 변화



(b) 노치(Notch)값의 변화



(c) 최대값을 갖는 노치(Notch) 값의 변화

그림 4. 구형파의 진폭 값(K)과 비트 크기에 따른 스펙트럼의 변화량

Fig. 4. A Spectrum variation is generated by Amplitude value (K) of Square-wave and Bit-size.

스펙트럼 분석을 통하여 디지털 VCR의 설계 규격에 대한 만족 여부를 고찰한 후, 검증된 24/25 I-NRZI 변조기는 하드웨어 기능 검증을 위하여 Verilog HDL(Cadence Verilog XL)로 코딩하였으며,

Synopsys(Library KG75) 툴을 이용하여 합성하고 이를 근거로 하여 하드웨어의 크기를 고찰하였다. 표 2는 하드웨어 전체 크기에 영향을 주는 스펙트럼 연산기를 포함하여 구형파의 진폭 값과 비트 크기에 따른 24/25 I-NRZI 변조기의 하드웨어 크기를 보여준다.

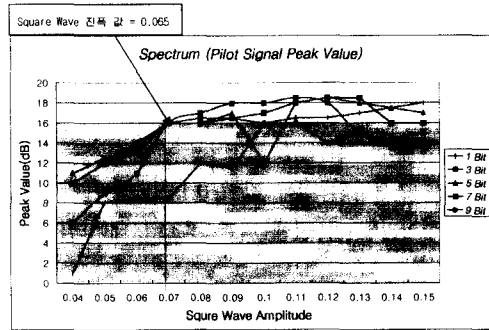
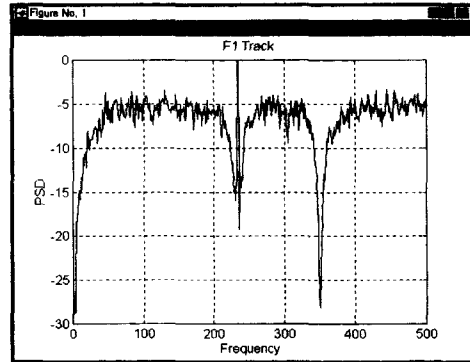
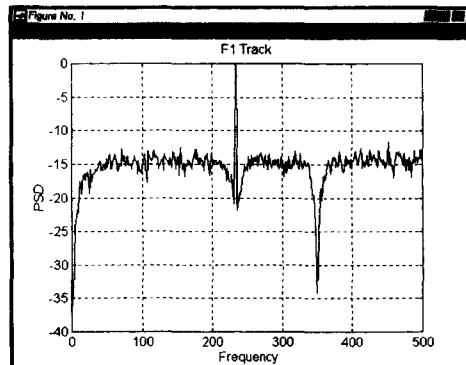


그림 5. 구형파의 진폭 값(K)과 비트 크기에 따른 파일럿 신호의 최대값 변화

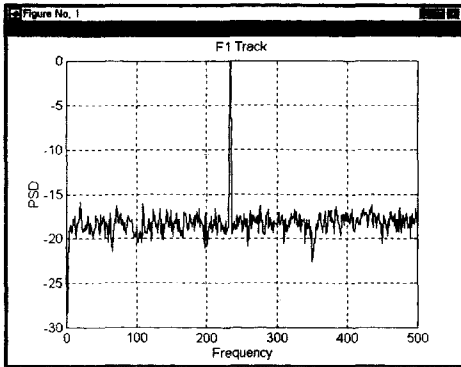
Fig. 5. A Peak value variation of Pilot Signal is generating by Amplitude value (K) of Square-wave and Bit-size.



(a) 구형파의 진폭 값이 0.04인 경우



(b) 구형파의 진폭 값이 0.065인 경우



(c) 구형파의 진폭 값이 0.11인 경우

그림 6. 구형파의 진폭 값에 따른 변조된 데이터의 스펙트럼

Fig. 6. A Spectrum of Modulated Data is generating by Amplitude value (K) of Square-wave.

표 2. 24/25 I-NRZI 변조기의 하드웨어 크기
Table 2. A Compared Hardware Size in accordance with 24/25 I-NRZI Modulators.

Bit Size K Value	1 Bit	3 Bit	5 Bit	7 Bit	9 Bit
0,04	8,788	10,061	11,334	12,607	13,880
0,05	8,788	10,061	11,334	12,607	13,880
0,06	8,788	10,061	11,334	12,607	13,880
0,065	8,788	10,061	11,334	12,607	13,880
0,07	8,788	10,061	11,334	12,607	13,880
0,08	8,788	10,061	11,334	12,607	13,880
0,09	8,788	11,088	11,334	12,607	13,880
0,1	9,815	12,176	12,361	13,634	13,880
0,11	9,815	15,804	12,361	14,722	14,907
0,12	9,815	15,804	15,807	19,681	14,907
0,13	8,788	15,804	18,408	19,681	18,353
0,14	9,815	9,095	17,077	11,641	12,914
0,15	9,815	17,135	10,368	11,641	12,914

VI. 결 론

이 연구에서는 디지털 VCR에서 기록 부호화기로 사용하고 있는 24/25 I-NRZI 변조기의 설계를 위하여 구조를 고찰하고, 스펙트럼 규격을 만족하는 구형파의 진폭 값과 표준 데이터(Sine 및 Cosine 계수)를 ROM 테이블에 저장하기 위한 비트의 크기를 고찰하였다. 설

계될 24/25 I-NRZI 변조기에서 출력되는 데이터의 스펙트럼을 검증하기 위해 랜덤 패턴(F0,F1,F2)을 이용하여 실험하였다. 스펙트럼 분석 결과, 표준 데이터(Sine, Cosine 계수)의 정수화를 위한 스케일 업 비트는 출력 데이터의 스펙트럼에 영향을 주며, 이때 최적의 값으로 구형파의 진폭 값은 0.065이고, 표준 데이터를 ROM에 저장하기 위한 비트의 크기는 3비트임을 알 수 있었다. 또한, 설계될 24/25 변조기의 하드웨어 기능을 검증하기 위해 스펙트럼 결과를 토대로 먼저 C 모델링하고, Verilog HDL(Cadence Verilog XL)로 코딩하였으며, Synopsys(Library KG75) 툴을 이용하여 합성하고, 이를 근거로 하드웨어의 크기를 고찰하였으며, 표 2는 시뮬레이션에 따른 하드웨어 크기를 보여 준다. 이 연구에서 고찰한 24/25 I-NRZI 변조기는 SDTV급 디지털 VCR 규격에서 실시간(41.85MHz) 처리가 가능한 구조로 고찰하였다. 이 연구에서 고찰한 24/25 I-NRZI 변조기는 프리코더의 Path방법 등에 대한 구조를 개선하면 10,000게이트 이하로 설계할 수 있으며, 현재 실용화되고 있는 디지털 캠코더에 응용할 수 있다.

참 고 문 헌

[1] K.A.S Immink, "Channel Code with Embedded Pilot Tracking Tones for DVCR", IEEE Trans. On Consumer Electronics, Vol. CE-41, No. 1, February 1995.

[2] K.A.S Immink, "Coding Techniques for Digital Recorders", Prentice Hall, 1991.

[3] L.M.H.E. Driessen, "An Experimental Digital Video Recoding System", IEEE Trans. On Consumer Electronics, Vol. CE-32, No.3, pp.362-371, August 1986.

[4] A.Hitomi and T.Taki, "Servo Technology of R-DAT", IEEE Trans. On Consumer Electronics, Vol. CE-32, No. 3, pp.425-432, August 1986.

[5] K.A.S Immink, "Signal-to-Noise Ratio of Pilot Tracking Tones Embedded in Binary Coded Signals", IEEE Trans. On Magnetic, Vol. MAG-24, No. 2, pp.2004-2009, March

- 1988.
- [6] K.A.S Immink, "Coding Techniques for the Noisy Magnetic Recoding Channel: A State-of-the-Art Report", IEEE Trans. On Communication, Vol.COM-37, No. 5, pp.413-419, May 1989.
- [7] Sunghoon K, "Embedded Pilot Tracking Tone Generation for Digital VCRs", IEEE Trans. On Consumer Electronics, Vol. CE-42, No. 3, August 1996.
- [8] C.Yamamitsu, "An Experimental Study on Bit-Rate Reduction and High-VTR", IEEE Trans. On Consumer Electronics, Vol. CE-32, No. 3, pp.588-596, August 1986.

 저 자 소 개

朴 鍾 鎮(正會員)

1966년 12월 17일생. 1989년 2월 경희대학교 전자공학과 공학사. 1991년 8월 경희대학교 전자공학과 공학석사. 1995년 2월 경희대학교 전자공학과 공학박사 수료. 1999년 5월~현재 주식회사 앤스랩 ASIC 설계 교육 팀장. 주관심분야 : 디지털 신호 처리 시스템, 통신 시스템, ASIC 설계

鞠 一 鎬(正會員)

1963년 11월 21일생. 1987년 2월 경희대학교 물리학과 이학사. 1989년 2월 경희대학교 전자공학과 공학석사. 1995년 2월 경희대학교 전자공학과 공학박사 수료. 1999년 5월~현재 주식회사 앤스랩 대표이사. 주관심분야 : 멀티미디어 통신, 휴대용 단말기(PDA), ASIC 설계

金 銀 源(正會員) 第 34卷 C編 第 11號 參照

趙 源 敬(正會員) 第 29卷 B編 第 2號 參照