

論文 2000-37SD-11-5

전기적 스트레스에 의한 MILC poly-Si TFT 특성변화 원인에 관한 연구

(A Study on the Reason of the Changes of MILC Poly-Si TFT's Characteristics by Electrical Stress)

金 奇 範*, 金 兌 兪*, 李 炳 一*, 朱 承 基*

(Gi-Bum Kim, Tae-Kyung Kim, Byung-Il Lee, and Seung-Ki Joo)

요 약

금속유도 측면 결정화에 의해 제작된 다결정 실리콘 박막 트랜지스터(Thin Film Transistor; TFT)의 전기적 스트레스의 효과에 대해 연구하였다. MILC로 제작된 TFT에 전기적 스트레스가 인가될 때, off-state 전류가 100배에서 10000배까지 감소한다. 그러나 전기적 스트레스를 인가한 소자를 관상로에서 열처리를 할 경우 열처리온도가 증가할 수록 off-state 전류가 다시 증가했다. 열처리온도에 따른 off-state 전류의 의존성으로부터 MILC 다결정 실리콘 박막내 트랩준위의 활성화에너지(0.34eV)를 얻어냈다.

Abstract

The effects of electrical stress on MILC(Metal Induced Lateral Crystallization) poly-Si TFT were studied. After the electrical stress was applied on the TFT's which were fabricated by MILC process, off-state($V_G < 0V$) current was reduced by $10^2 \sim 10^4$ times. However, when the device on which electrical stress was applied was annealed in furnace, the off-state current increased as annealing temperature increased. From the dependence of off-state current on the post-annealing temperature, activation energy of the trap states in MILC poly-Si thin films was calculated to be 0.34eV.

1. 서 론

평판표시소자로 각광받고 있는 LCD(Liquid Crystal Display)의 대면적화, 고정밀화 그리고 경제성 향상을 위해서는 구동회로와 화소 트랜지스터의 동시 집적과 유리기판의 사용을 가능하게 하는 저온 다결정 실리콘

(poly-Si) 박막 트랜지스터(Thin Film Transistor; TFT)의 개발이 필수적이다. 이를 위하여 고상 결정법(Solid Phase Crystallization, SPC)^[1], laser를 이용한 결정화법^[2]등에 대한 연구가 지속적으로 수행되어져 왔는데, 최근 금속 초박막(<20Å)에 의해 저온(500°C이하)에서 비정질 실리콘이 결정화되며, 이를 이용하여 제작된 poly-Si TFT의 전계 이동도, 문턱전압, on-current 특성이 매우 우수한 것으로 보고되었으며 이를 금속유도 측면 결정화(Metal Induced Lateral Crystallization, MILC)라 한다^[3-5].

MILC에 의해 제작된 poly-Si TFT는 우수한 on-current 특성 외에도 수십 초간의 전기적 스트레스인가에 의해 $10^{-11} A/\mu m$ ($V_D = 10V$) 정도로 누설 전류 특성을 향상시킬 수 있으며 이는 누설전류에 기여하는 낮은 활성화에너지를 갖는 트랩자리가 전기적 스트레스에 의해 모두 소멸되기 때문으로 보고되었다^[6]. 그러

* 正會員, 서울대학교 材料工學部

(School of Materials Science and Engineering, Seoul National University)

※ 본 연구는 서울대학교 공학 연구소를 통한 디스플레이 연구조합의 연구비 지원으로 수행되었습니다. 이에 감사드립니다.

接受日字: 2000年3月13日, 수정완료일: 2000年11月29日

나 수십 초간의 전기적 스트레스에 의해 급격한 누설 전류 특성향상을 보이는 MILC poly-Si TFT에 비해 고상 결정화법에 의해 제작된 소자의 경우, 전기적 스트레스를 수십 분 이상 인가시켜야 누설 전류의 감소를 보이며 그 양도 작다고 보고되었다.^[7,8] 뿐만 아니라 소자특성의 열화도 알려져 있다^[9].

본 연구에서는 MILC poly-Si TFT에서의 전기적 스트레스 효과 및 열에너지에 의해 누설전류가 회복되는 특성을 논의하였다.

2. 실험방법

Corning glass(1737)위에 플라즈마 화학증착(plasma enhanced chemical vapor deposition)에 의해 사일레인(SiH₄)을 사용하여 1000Å 비정질 실리콘 박막을 증착한 후 active island 패턴을 형성하였다. ECR(Electron Cyclon Resonance) PECVD를 이용하여 1000Å의 게이트 산화막을 형성한 후^[10], 스퍼터링으로 증착된 2000Å의 폴리브덴(Mo)을 게이트로 형성하였다. Ni-offset구조^[11]를 위해 먼저 감광제로 패턴을 형성하고 전면에 20Å두께의 Ni를 증착시킨 후 감광제와 함께 감광제 위에 증착된 니켈을 제거하는 리프트오프법(Lift-off)을 사용하였다. 소스/드레인 형성을 위해 이온질량도핑(Ion Mass Doping) 방법으로 PH₃를 도핑한 후 500°C, 수소(H₂)분위기로 10시간 열처리하여 결정화시켰고 이때의 시편 구조를 그림 1에 나타내었다. 소스/드레인 전극은 알루미늄을 스퍼터링법으로 증착하여 패턴하였다. VG=-20V, VD=20V의 전기적 스트레스를 인가시켜준 다음 후열처리 온도(80°C~400°C)에 따른 누설전류 회복특성을 관찰하였다.

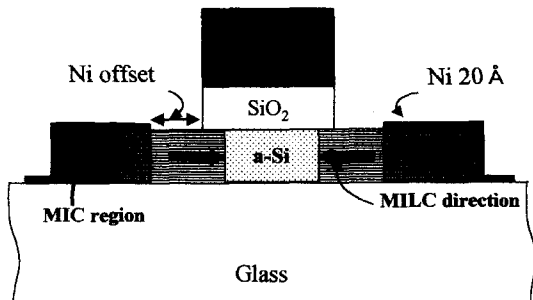


그림 1. 니켈 오프셋 금속유도 측면결정화(MILC)에 의해 제작되는 다결정 실리콘 박막 트랜지스터의 개략도. 화살표는 MILC 방향을 나타낸다

Fig. 1. The schematic diagram of conventional Ni-offset MILC poly-Si TFT. The arrows represent the direction of MILC.

3. 실험 결과 및 고찰

제작이 완료된 TFT 소자로부터 그림 2의 점선(…)과 같은 I-V 특성곡선을 얻었다. 여기에 전기적 스트레스(조건 : VG = -20V, VD = 20V)를 80초 동안 인가시켜줄 경우, 그림 2의 대시선(---)과 같이 on-state 전류의 변화 없이 큰 폭의 누설전류 감소를 얻을 수 있으며 이를 300°C, 30분 동안의 노열처리공정을 통해 다시 원래대로 회복하는 특성을 보인다. 이는 전기적 스트레스에 의해 소멸된 트랩이 열처리에 의해 다시 가역적으로 생성된다고 이미 보고된 바 있다. 게이트 전압이 0V에서 역방향 바이어스를 증가시킬수록 누설 전류 감소 폭이 더 증가함을 보이고 있지만 400°C 10분 동안의 열처리에 의해 완전히 회복되었다. 문턱전압 및 전계 이동도가 다소 저하되는데 열처리 후에도 문턱전압은 다시 회복되지 않는 것으로 나타났다. 이는 문턱전압에 영향을 주는 게이트 산화막내의 트랩이 전기적 스트레스 인가시 소멸되며 후열처리에 의해 가역적으로 생성되지 않기 때문인 것으로 판단된다. On-current는 전기적 스트레스에 의해 조금 감소한 후 열처리에 의해 다시 회복하는 특성을 보였다.

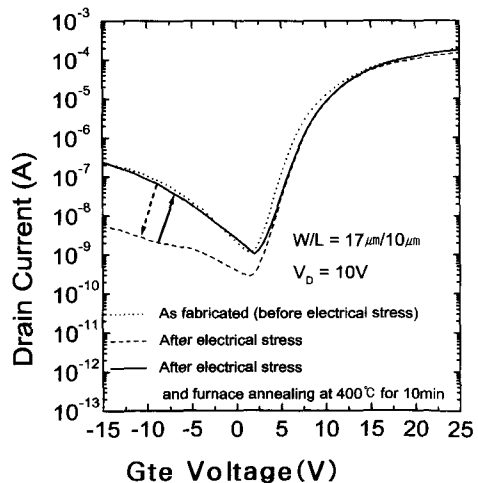


그림 2. MILC 다결정 실리콘 박막 트랜지스터의 전기적 스트레스 및 후열처리에 따른 ID-VGS 특성의 의존성. 전기적 스트레스 조건: VG = -20V, VD=20V, 80초, 후열처리조건: 400°C, 10분 진공분위기

Fig. 3. The dependence of ID-VGS characteristics in MILC poly-Si TFT on the electrical stress and the post annealing. Electrical stress condition : VG=-20V, VD=20V, Post annealing : 400°C, 10min in vacuum.

후열에너지에 의한 누설전류 회복양상을 보다 체계적으로 분석하기 위해 80°C에서 400°C까지 각 열처리 온도에 따른 I-V 특성을 그림 3과 같이 얻었다. 온도가 증가함에 따라 전기적 스트레스에 의해 감소된 누설전류가 서서히 회복됨을 보여주고 있다. 이 결과로부터 각 온도에 따른 열처리 후 누설 전류 값을 게이트전압(VG) 0V, 드레인전압(VD) 10V에서 측정하였으며 전기적 스트레스에 의해 소멸된 트랩이 열에너지에 의해 다시 생성시키기 위한 활성화 에너지를 그림 4와 같은 Arrhenius plot으로부터 얻었다.

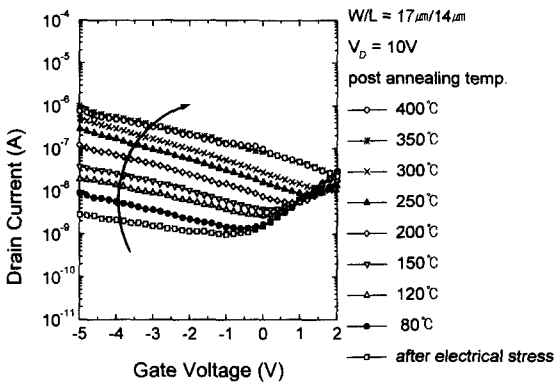


그림 3. 전기적 스트레스를 가한 후, 후열처리 온도에 따른 전류-전압 특성 변화. 열처리시간은 각 10분

Fig. 4. The variation of ID-VGS characteristics for different post annealing temperatures after electrical stress. Annealing time at each temperature is 10min.

그림 4에 따르면 약 102°C를 기준으로 고온영역과 저온영역에서 기울기가 두 부분으로 나뉘어 나타나는데 이는 소자의 누설전류에 기여하는 밴드 내 트랩이 깊은 트랩(deep trap)과 얇은 트랩(shallow trap), 두 종류로 형성되어 있기 때문인 것으로 생각된다. Ni MILC에 의해 형성된 다결정 실리콘 결정립은 (110) 배향을 하고 있으며 결정립 내에 쌍정과 같은 결함이 전혀 없는 것으로 보고^[3]된 바 있다. 즉 MILC에 의해 결정화된 실리콘 결정립들은 거의 같은 방향의 결정방향을 지닐 것으로 판단되며 이 결정립계에 의한 트랩은 매우 얇은 준위로 생각된다. 따라서 저온에서 누설전류의 회복 특성을 보여주는 원인으로는 MILC에 의해 결정화된 다결정 실리콘 결정립계에 존재하는 실리콘 원자간 결합 결함으로 추정할 수 있으며^[12] 위

데이터로부터 대략 0.01eV 정도의 활성화에너지를 가짐을 알 수 있었다.

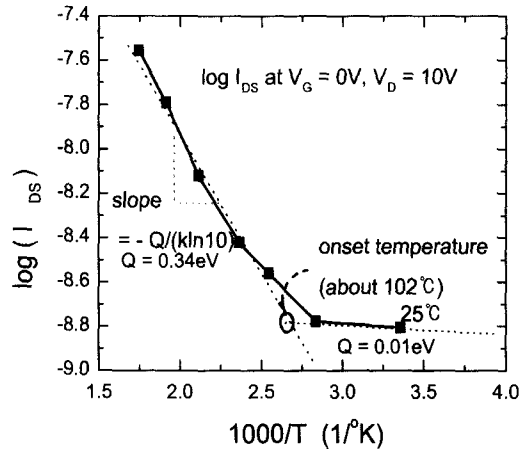


그림 4. 온도에 따른 off-state 전류(그림 3)의 Arrhenius 의존성. 트랩의 활성화에너지(Q)는 0.34eV의 깊은 준위와 0.01eV의 얇은 준위 두가지로 나타났다

Fig. 4. The arrhenius dependence of logarithmic off-state current in Fig. 3. on temperature. The activation energy(Q) of the traps states was calculated from the different slopes; one is 0.34eV for deep level and the other is 0.01eV for shallow level.

고온의 후열처리를 더 급격히 누설전류가 회복하게 되는데, 이는 활성화 에너지가 큰 깊은 트랩이 MILC TFT의 누설전류의 지배적인 원인인 것으로 판단된다. 그림 5에서 보는 바와 같이 0V이외에, 그보다 낮은 게이트 전압에서도 트랩의 활성화에너지는 거의 일정한 크기를 가지는 것으로 나타났다. 따라서 MILC TFT에서 누설전류는 깊은 트랩이고, 이를 전기적 스트레스에 의해 소멸되지만 다시 후열처리에 의해 재생된다는 사실을 밝혀내었다. 그림 4로부터 0.34eV의 열에너지가 소멸된 깊은 트랩이 재생되기 위해 필요하다는 사실을 알 수 있을 뿐 아니라 최소 약 102°C이상의 열에너지가 있어야 이러한 트랩 재생이 가능한 것으로 나타났다. 이 최소 온도를 onset temperature라 정의하였다.

SPC TFT와 달리 MILC TFT에서는 비정질 실리콘을 MILC에 의해 결정화할 경우 채널 내에 소오스와 드레인으로부터 시작된 MILC 선단에 있는 니켈 실리사이드(NiSi₂)층이 채널 가운데에서 만나게 된다

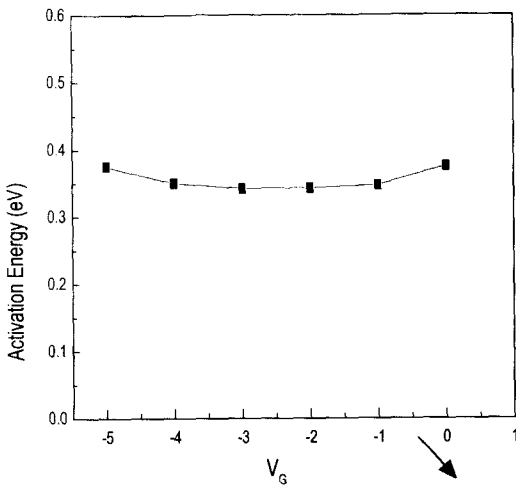


그림 5. 여러 가지 게이트전압에서 계산된 활성화 에너지
 Fig. 5. Calculated activation energy at different gate voltages. The values of activation energy seems to be nearly constant.

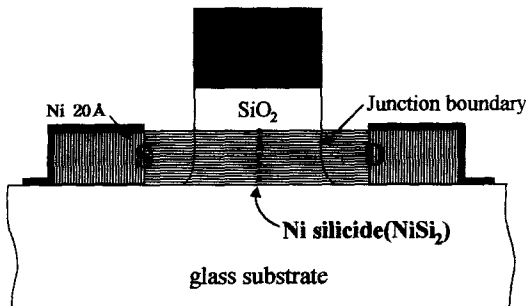


그림 6. MILC 거동의 개략도 결정화 후 채널중앙에
 Fig. 6. The schematic view of MILC behaviors. After crystallization, the layer of nickel silicide is formed at the center of channel.

(그림 6). 바로 이 MILC 경계인 니켈 실리사이드층에서 니켈과 실리콘 원자간의 결합으로 인해 밴드 내에 깊은 트랩이 생성될 수 있으며 MILC TFT 소자 제작시, 비대칭적인 Ni-offset구조^[13]를 이용하여 채널 내 실리사이드층을 제거했을 경우 전기적 스트레스 효과가 없는 동시에 누설전류도 낮다고 보고된 바 있다^[14].

벌크 실리콘 내의 니켈 원소는 도펀트로서 가전자대 (valence band) 위 0.23eV의 donor 준위와 전도대 (conduction band) 아래 0.35eV 수준의 acceptor 준위를 가지는 것으로 알려져 있으며^[15] 이중 acceptor

준위가 바로 위 실험결과로 얻은 깊은 트랩의 활성화 에너지와 일치한다. 따라서, MILC에 의해 결정화된 다결정 실리콘 박막 트랜지스터는 채널내의 니켈이 acceptor로서 깊은 트랩을 형성하여 누설전류의 원인으로 작용하지만 전기적 스트레스를 인가시켜 줄 경우, 드레인으로부터 주입된 전자가 acceptor 준위에 포획되어 깊은 트랩을 소멸시키는 것으로 생각할 수 있다. 이렇게 소멸되었던 깊은 트랩이 열에너지에 의해 전자가 쉽게 빠져 나와 다시 생성되는 것으로, MILC TFT의 누설전류 원인 및 전기적 스트레스 효과를 설명할 수 있었다.

4. 결론

MILC에 의해 결정화된 다결정 실리콘 박막 트랜지스터의 전기적 스트레스에 의한 누설전류 특성향상 및 후열처리 효과를 살펴보았다. 전기적 스트레스에 의해 누설전류가 10배에서 100배까지 감소하였으나, 후열처리시 원래대로 회복하였다. 후열처리 온도를 증가시키며 off-current의 변화를 관찰하였으며, 이로부터 채널내 니켈 불순물에 의해 0.34eV의 깊은 트랩이 형성되어 있음을 알 수 있었다. 이와 같은 깊은 트랩은 전기적 스트레스 인가시 전자가 포획됨으로써 소멸되며 onset temperature(약 102°C)이상의 온도에서의 후열처리를 통해 0.34eV의 활성화에너지를 얻어 재생됨을 밝혀내었다.

참고 문헌

[1] T. W. Little, K. Takahara, H. Koike, T. Nakazawa, I. Yudasaka and H. Ohshima, "Low temperature poly-Si TFTs using solid phase crystallization of very thin films and an electron cyclotron resonance chemical vapor deposition gate insulator", *Japanese Journal of Applied Physics*, Vol. 30, No. 12B, pp3724-3728, 1991.

[2] E. A. Al-Nuaimy and J. M. Marshall, "Excimer laser crystallization and doping of source and drain regions in high quality amorphous silicon thin film transistors", *Appl. Phys. Lett.* 69 (25), pp. 3857-3859,

October 1996.

- [3] Seok-Woon Lee and Seung-Ki Joo, "Low Temperature Poly-Si Thin-Film Transistor Fabrication by Metal-Induced Lateral Crystallization", *IEEE Electron Device Letters*, Vol. 17, No. 4, pp160-162, April 1996.
- [4] Hansuk Kim, J. Greg Couillard, and Dieter G. Ast, "Kinetics of silicide-induced crystallization of polycrystalline thin-film transistors fabricated from amorphous chemical-vapor deposition silicon", *Applied Physics Letters*, Vol. 72, No. 7, pp.803-805, February 1998.
- [5] Zhonghe Jin, Gururaj A. Bhat, Milto Yeung, Hoi S. Kwok, and Man Wong, "Nickel induced crystallization of amorphous silicon thin films", *Journal of Applied Physics*, Vol. 84, No. 1, pp.194-200, July 1998.
- [6] Tae-Hyung Ihn, Tae-Kyung Kim, Byung-Il Lee, Seung Ki Joo, "Electrical stress effect on poly-Si Thin Film Transistor fabricated by Metal Induced Lateral Crystallization", *Japanese Journal of Applied Physics*, Vol. 36, Part 1, No. 8, pp. 5029-5032, August 1997.
- [7] Mark S. Rodder and Oimitri A. Antoniadis, "Hot-Carrier Effects in Hydrogen-Passivated p-Channel Polycrystalline-Si MOSFET's", *IEEE Transactions on Electron Device*, ED-34(5), pp. 1079-1083, May 1987.
- [8] Mark Rodder, "ON/OFF Current Ratio in p-Channel Poly-Si MOSFET's: Dependence on Hot-Carrier Stress Conditions", *IEEE Electron Device Letters*, 11(8), pp. 346-348, August 1990
- [9] Vyshnavi Suntharalingam and Stephen J. Fonash, "Electrically reversible depassivation/passivation mechanism in polycrystalline silicon", *Appl. Phys. Lett.*, 68(10), pp. 1400-1402, March 1996.
- [10] Tae-Hyung Ihn, Seok-Woon Lee, and Seung-Ki Joo, Mat. "ECR plasma oxidation of amorphous silicon for improvement of the interface state in a poly-silicon thin film transistor", *Res. Soc. Symp. Proc.*, vol. 424, pp. 189-194, April 1996.
- [11] Tae-Hyung Ihn, Tae-Kyung Kim, Byung-Il, Seung-Ki Joo, "A study on the leakage current of poly-Si TFTs fabricated by metal induced lateral crystallization", *Microelectronics Reliability*, 39 pp. 53-p58, June 1998.
- [12] M. Hack, I-Wei Wu, A.G. Lewis and T.J. King "Numerical simulations of polycrystalline silicon thin film transistors including leakage effects", *Poly-Si Devices and Applications, IEE Colloquium on*, pp. 23/1-23/4, 1993.
- [13] Tae-Kyung Kim, Tae-Hyung Ihn, Byung-Il Lee and Seung-Ki Joo, "High-Performance Low-Temperature Poly-Silicon Thin Film Transistors Fabricated by New Metal-Induced Lateral Crystallization Process", *Japanese Journal of Applied Physics*, Vol. 37, Part 1, No. 8, pp. 4244- 4247, August 1998.
- [14] Tae-Kyung Kim, Gi-Bum Kim, Byung-il Lee and Seung-Ki Joo, "The Effects of Electrical Stress and Temperature on the Properties of Polycrystalline Silicon Thin-Film Transistors Fabricated by Metal Induced Lateral Crystallization", *IEEE Electron Device Letters*, Vol. 21, No. 7, pp. 347-349, July 2000.
- [15] Michel Shur, *Physics of Semiconductor Devices*, Prentice Hall, p. 57, 1990.

저 자 소개

金 奇 範(正會員) 第 36卷 D編 第 1號 參照

1975년 2월 8일생. 1997년 서울대학교 금속공학과 졸업(공학사). 1997년 서울대학교 금속공학과(전자재료) 공학석사학위 취득. 1999년 3월~현재 서울대학교 재료공학부(전자재료) 박사과정 재학중. 주관심 분야는 poly-Si TFT 및 구동소자, 반도체 제조 공정 등임

李 炳 一(正會員) 第 33卷 A編 第 9號 參照

金 兌 兪(正會員) 第 36卷 D編 第 1號 參照

1971년 3월 31일생. 1995년 서울대학교 금속공학과 졸업(공학사). 1997년 서울대학교 금속공학과(전자재료) 공학석사학위 취득. 2000년 서울대학교 재료공학부(전자재료) 공학박사학위 취득, 현재 삼성전자 MEMORY 사업부 근무중. 주관심 분야는 poly-Si TFT, 반도체 제조 공정, 전지박막재료 등임

朱 承 基(正會員) 第 31卷 A編 第 11號 參照

현재 서울대학교 재료공학부 교수