論 文
49A - 11 - 2

PC 인터페이스에 의한 디지털 계전기 시험기

A PC Based Tester for Digital Relay

朴 哲 圓* · 申 明 澈**
(Chul-Won Park · Myong-Chul Shin)

Abstract - Digital protective relay in power system play a prominent part. Simulators for the relay test were introduced in early 1980's. A number of open loop designs have been developed and recently, several developments of real-time simulators have been reported. But they are very high cost. And then they are difficult to apply for relay testing in small business. This paper presents the structure of low cost and performance of a new pc based tester for digital protective relay testing. The proposed tester was simulated of off-line and on-line with fault transient signals obtained from EMTP.

Key Words - digital relay, relay tester, simulator, fault transients, EMTP

1. 서 론

전력시스템의 안정도 향상을 위해서는 계통에 대한 올바른 해석이 수반되어야 하며, 동시에 과도상태에 대비하여 신뢰할 수 있는 보호계전기의 설치 및 운용이 매우 중요하다[1,2]. 이에 따라 현재 복잡하고 다양한 현상이 발생되는 전력시스템에서의 적절한 보호제어를 달성하기 위하여 마이크로프로세서를 응용한 디지털 보호 계전기류의 개발이 한창 진행 중에 있다[3,4]. 이에 따라 디지털 보호계전기를 실 계통에 설치·운영하기 전에 반드시 엄격한 성능 시험에 의하여 그 동작에 대한 올바른 평가가 선행되어야 한다. 그런데 이 디지털 계전기는 종래의 아날로그 계전기와는 다른 구조로 변화되었고, 복합적인 기능과 동작특성이 내장됨에 따라서 재래식 시험기로는 완벽한 성능 검증이 불가능하게 되었다. 이를 위하여 실 계통에서 수집된 사고 데이터나 아날로그 및 디지털 시뮬레이터에 의한 모의 실험 데이터의 수집이 필수적이다[5,10].

그러나 현실적으로 실 계통으로부터 다양한 데이터를 확보하는 것이 어렵고, 파형 발생기 등에 의한 정상상태의 신호 및 합성된 임의 파형만으로는 디지털 계전기를 완벽하게 시험할 수 없음이 지적되었다. 따라서 새로운 모의 시험장치들의 개발과제가 제기되었으며, 아울러 시험 규격의 표준화 및 사양 선정에 대한 연구도 진행되었다[6~9]. 이에 따라 설계된 소수의 시뮬레이터들은 계전기의 성능평가 도구로서 상당히 강력하고 뛰어나게 활용할 수 있게되었다. 그러나 대표적으로 아날로그방식인 TNA(Transient Network Analyzer)와 Hybrid형인 APSA(Advananced Power System Analyzer) 등의 시험기들은 전력계통의 전반적인 해석용 시뮬레이터로서 계통규모가 방대하고 모의하고자 하는 시스템에 대한 유연성이 결여되어 있으며, 단지 디지털 보호 계전기의 복합적인 동작을 시험하기에는 과 사양으로서 다소 무리가 발생되었다. 또한, 실시간 디지털 방식에 대한 연구가 제기된 후, 개발된 디지털 RTDS(Real Time Digital Simulator)와 혼합축소형 Micro Reseau 등은 성능 면에서는 우수하나 그 가격이 매우 고가이기 때문에 중소업체나 대학의 연구실에서 개발되는 시제품(prototype) 디지털 계전기의 성능시험용으로는 활용하는데 상당히 어려움이 있다[10].

따라서 본 논문에서는 종래의 시뮬레이터보다 경제성과 유연성을 고려하여 PC와 인터페이스(interface)가 용이한 디지털 계전기의 성능 시험기를 설계하였다[11]. 제안된 이 시험기는 개방 루프(open loop)으로서 계통모의에 있어서 널리 사용되고 있는 전자과도해석 프로그램인 EMTP를 기반으로 하였다. 그리고 PC를 이용하여 전력계통의 각종 사고를 모의 계산한 후 그 결과 전압, 전류신호들을 제작된 PC 인터페이스 시험기를 통하여 시험대상인 디지털 보호계전기의 입력신호로 사용할 수 있도록 하였다. 또한, 사용자 정의한 임의 신호들의 발생도 가능하여 파형발생기의 기능도 내장하였다. 제안한 시험기의 타당성 검증을 위하여 EMTP 시뮬레이션으로부터 수집한 모델 송전선로의 과도상태 데이터를 이용하여 오프라인 및 온라인 시험을 하였다.

2. 시험기의 구성

본 시험기는 시제품 디지털 계전기의 정확한 동작을 테스트하기 위해 개발된 것으로 EMTP를 기반으로 실 계통 모델에 대한 시뮬레이션을 하고 그 결과를 아날로그 파형으로 출력함으로써 실 계통에 계전기를 설치하여 그 성능 평가를 하는 것과 동일한 효과를 내도록 설계되었다. 이 시험기는 IBM PC용 EMTP를 시뮬레이션 엔진으로 하였고, 표시유닛(display unit)을 내장하고 있으며, IBM PC의 ISA 버스를 이용하여 인터페이싱을 한 후, D/A 변환과 신호 증폭(signal amplification)을 수행하도록 구성되어 있다. 그림 1은 디지털 계전기의 성능 시험을 위한 전반적인 시스템으로서 시뮬레이션 엔진, D/A 인터페이스, 시험 대상(target)

* 終身會員 : 原州大 電氣科 助教授 · 工博
** 終身會員 : 成均館大 電氣電子 및 컴퓨터 工學部 教授 · 工博
接受日字 : 2000年 1月 25日
最終完了 : 2000年 11月 8日

시스템, 그리고 모니터링 유닛으로 구성된다.

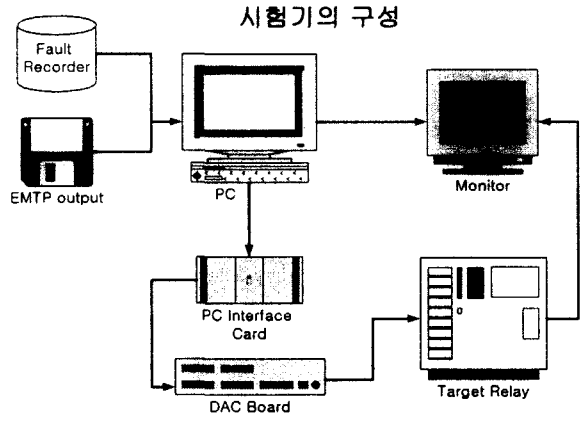

그림 1 시험기의 구성
Fig. 1 Tester system architecture

2.1 시뮬레이션 엔진

시뮬레이션 엔진은 전력계통의 정상상태 및 과도현상을 해석하는데 인증 되어 널리 활용되고 있는 EMTP가 사용되었다. EMTP를 기반으로 시뮬레이션 PC와 시험대상 디지털 계전기 사이에 PC 인터페이스를 구성함으로 디지털 계전기의 동작을 시험할 수 있도록 되어있다. 또한, 시험기는 고장기록장치(fault recorder)에 의하여 수집된 데이터나 Matlab과 Cyme 등 비 실시간 S/W 시뮬레이션의 출력파일을 데이터변환을 거치면 활용이 가능하다. 또한, 파형발생기와 같이 사용자가 원하는 임의 신호를 소프트웨어적으로 처리하여 재생도 가능하다. 그러나 본 시험기는 디지털 계전기 동작이후 차단기의 동작에 따른 계통 변화를 입력으로 받아들여 변화된 계통구성에 대한 재 시뮬레이션은 수행하지 않는 개방 루프형이다.

2.2 디지털/아날로그 인터페이스

D/A 인터페이스는 12 bit D/A 컨버터 6 채널로 각각 V_A, V_B, V_C, I_A, I_B, I_C의 계전 파형을 얻을 수 있도록 구성하였으며, PT, CT를 거쳐 시험대상 디지털 계전기의 입력으로 들어가는 2차측의 전압, 전류레벨에 맞도록 조절해주는 증폭부로 구성된다.

2.3 시험대상 시스템

시험대상 시스템은 디지털 계전기가 해당된다. 이 시험대상 시스템은 고장 등의 과도상태가 발생한 경우, 디지털 계전기 동작이 정상적으로 행하여졌는지 여부를 확인하기 위해 차단기로의 트립신호를 시험기로 피드백 해준다. 다만, 이 트립신호는 계전기의 정확한 동작의 수행여부만을 확인하기 위한 용도로 사용한다.

2.4 모니터링 유닛

모니터링 유닛은 시뮬레이션이 수행되어 전압, 전류신호를 발생시켜주는 시험기가 내장된 PC와는 별도의 PC상에서 시험기의 출력 및 시험대상 시스템의 트립신호를 받아 PC상의 모니터에 그 관련 신호를 출력해준다.

3. 시험기의 사양 및 특징

3.1 사양 및 특징

본 시험기에서의 샘플링 비는 최대 256 S/C를 지원하며, 최대 6채널까지 동시 출력이 가능하다. PC상의 메모리를 직접 사용함으로써 출력 가능한 신호주기에는 제한 없이 사용이 가능하고, 시험기의 출력형태로 데이터를 변환해 주면 변전소의 고장기록장치 등이 수집한 실 계통 데이터도 활용이 가능하다. 또한, 시험대상 계전기에 입력된 계전 신호 및 고장여부를 판단하여 발생되는 트립신호의 동작상태 등의 일련의 과정에 대한 파형을 모니터링 유닛화면에 의하여 확인이 가능하다. 부가하여 아날로그 파형의 출력부에는 고정된 전압 범위의 출력과 조정기를 사용한 가변 출력전압을 얻을 수 있도록 설계하였다. 제작된 디지털 계전기 시험기의 사양은 표 1과 같다.

표 1 제작된 시험기의 사양
Table 1 A specification of designed tester

PC Interface	16 bit
D/A conversion	12 bit
Output Channel	6 channel
Output Voltage Level	±5V ~ ±10V
EMTP sample	256 samples / cycle
Driving Current	50mA per channel.

3.2 모니터링 화면

모니터링 화면에서는 시험용 계전기의 동작유무를 판별하기 위해서 전압과 전류 신호를 화면에 출력시키고 그 트립신호 발생 여부를 화면에 나타내주는 동작이 표시된다. 그림 2는 모델 송전선로계통에서 1선지락고장이 발생된 경우, A상 전류 신호와 이에 따라 동작한 계전기의 트립신호의 예를 나타내준 모니터링화면이다.

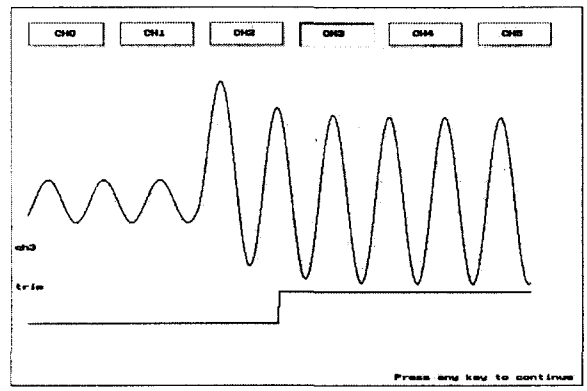

그림 2 모니터링 화면
Fig. 2 Monitoring screen

4. 시험기의 성능 시험

본 논문에서는 제작한 디지털 계전기 성능 시험기의 올바른 동작을 평가하기 위하여 EMTP의 시뮬레이션으로부터 수집한 출력데이터파일을 재생시키고, 소프트웨어적으로 처리하여 발생되는 임의 파형을 재생시켜 비교·검토하였다. 또한, 모의된 계통에서 전류와 전압의 신호를 수집한 후 전형적인 거리계전기법에 적용하여 성능을 평가하였다. 모델계통은 그림 3과 같이 154[KV] 송전계통으로 전체 긍장이 160[km]이다[4].

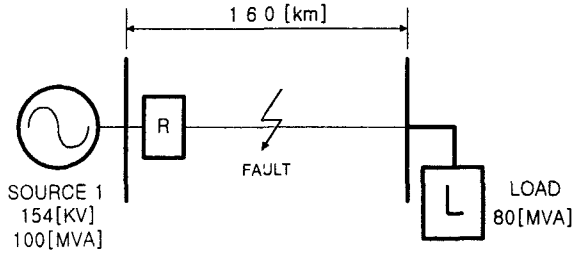

그림 3 모델 계통
Fig. 3 Model system

4.1 고장파형 비교

그림 4(a)는 송전단으로부터의 거리가 80[km] 떨어진 지점에서 1[Ω]의 고장저항에 의해 1선지락고장이 발생된 경우의 전류신호로서 EMTP 시뮬레이션을 수행한 결과를 TPPLOT로 출력한 결과이다. 그림 4(b)는 본 시험기에 의하여 재생된 아날로그 파형으로서 HP OSC로 하드 카피한 것이다. 구체적인 비교를 위하여 다음과 같이 FFT 분석과 THD를 수행하였다.

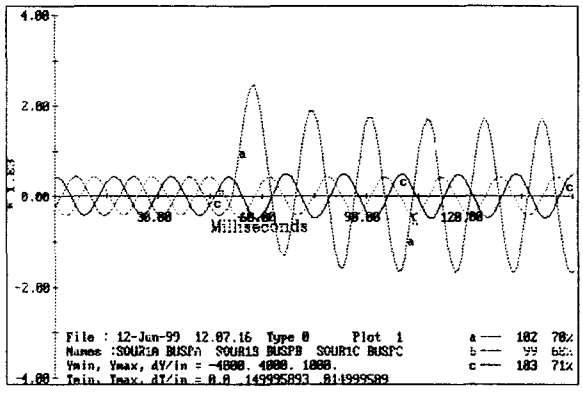

그림 4(a) 1선지락고장시의 EMTP에 의한 신호
Fig. 4(a) Signal by EMTP under 1LGF

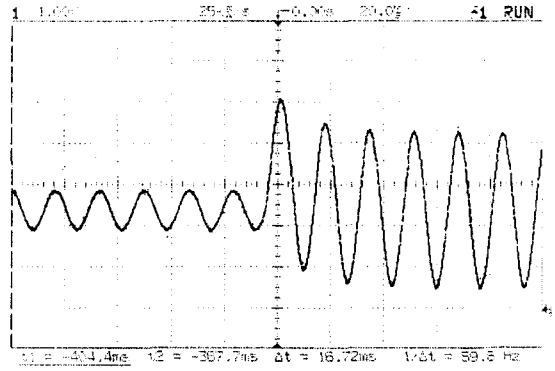

그림 4(b) 1선지락고장시 시험기에 의한 출력 파형
Fig. 4(b) Reproducing signal by tester under 1LGF

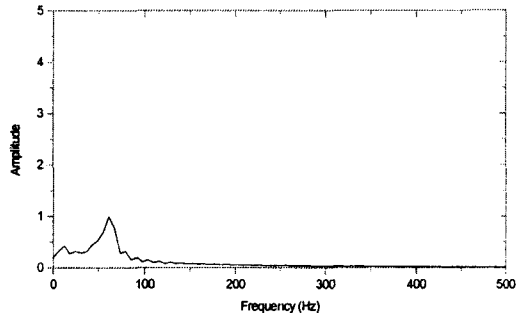

그림 4(c) EMTP 파형의 FFT 분석
Fig. 4(c) FFT analysis of EMTP data

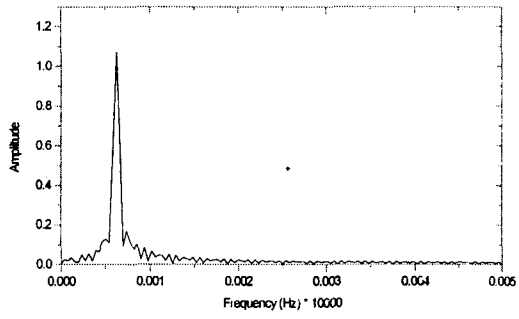

그림 4(d) 테스터 파형의 FFT 분석
Fig. 4(d) FFT analysis of tester data

그림 4(c),(d)로부터 테스터의 파형이 원 신호보다 고조파가 더 함유되어 있음을 알 수 있다.

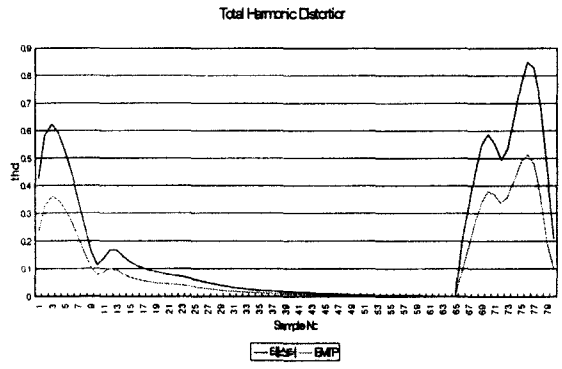

그림 4(e) 전고조파 왜형율의 분석

Fig. 4(e) Analysis of THD

그림 4(e)는 동일한 상황에서 주기당 16샘플링인 경우, THD(total harmonic distortion)에 의한 전 고조파의 왜곡율이다. 그림은 고장발생 1주기전 부터 표시한 것으로서 고장발생 후에는 왜곡율이 0에 접근함을 알 수 있다.

4.2 임의 파형 비교

그림 5(a),(b)는 식(1),(2)과 같이 표현되는 임의의 합성신호를 소프트웨어로 처리하여 시험기에서 재생된 사용자 정의 신호이다.

$$y = \sin wt + \frac{1}{3}\sin 3wt \cdots\cdots + \frac{1}{11}\sin 11wt \quad (1)$$

$$y = \sin wt + \frac{1}{3}\sin 3wt \cdots\cdots + \frac{1}{63}\sin 63wt \quad (2)$$

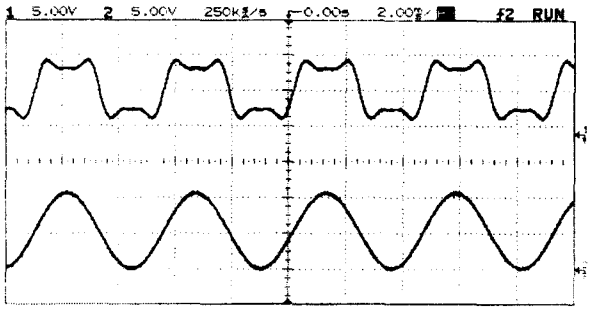

그림 5(a) 시험기에 의한 임의파형(1)

Fig. 5(a) Reproducing arbitrary signal by tester

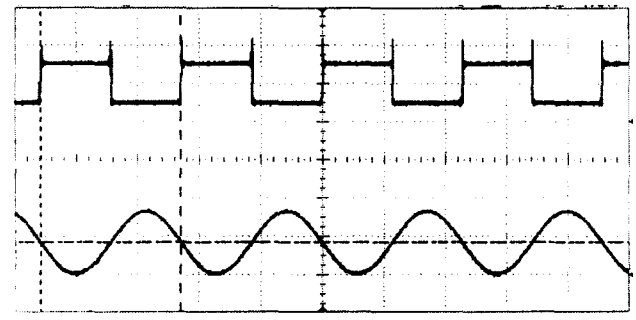

그림 5(b) 시험기에 의한 임의파형(2)

Fig. 5(b) Reproducing arbitrary signal by tester

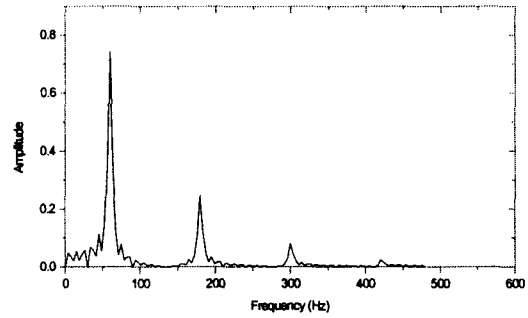

그림 5(c) 임의 파형에 대한 FFT 분석

Fig. 5(c) FFT analysis of arbitrary signal

식(1)에 의하여 합성된 이후 테스터에 의하여 재생된 임의파형에 대한 FFT 분석한 결과이다. 그림으로부터 합성전후 고조파성분은 그 크기가 유사하고, 직류 옵셋 및 고조파가 포함됨이 거의 없으므로 사용자에 의한 임의 파형들은 왜곡 및 변형이 없이 잘 발생되는 것을 알 수 있다.

4.3 거리계전기법에의 적용

제안된 시험기의 타당성을 확고히 하기 위하여 EMTP 시뮬레이션으로부터 얻은 데이터와 시험기를 통하여 재 수집된 신호를 이용하여 장거리 송전선 보호에 널리 사용되고 있는 일반적인 거리계전 알고리즘[12]에 적용한 후, RX 궤적과 계통변화에 따른 성능을 비교함으로서 디지털 보호계전기 개발 및 성능시험에 활용할 수 있는지의 여부를 평가하였다.

4.3.1 결과 및 고찰

그림6은 EMTP 시뮬레이션을 통해 직접 수집한 데이터와 시험기에 의해 재생된 신호를 디지털 보호계전기가 A/D변환기에 의하여 디지털 신호로 변환한 데이터들을 전형적인 거리 계전기법에 적용하여 추출한 RX 궤적이다. 그림 6의 (a),(b)를 비교해 보면, 그 수렴과정에는 다소 차이가 있으나 최종적인 고장점 추정에는 정확함을 알 수 있다. 수렴과정이 동일하지 않은 이유는 재생된 EMTP 신호를 이용하여

A/D변환하는 과정에서 양자화 오차(quantization error) 등에 기인한 것으로 생각된다. 그림 6의 (a),(b)를 비교해 보면, 그 수렴과정에는 다소 차이가 있으나 최종적인 고장점 추정에는 정확함을 알 수 있다.

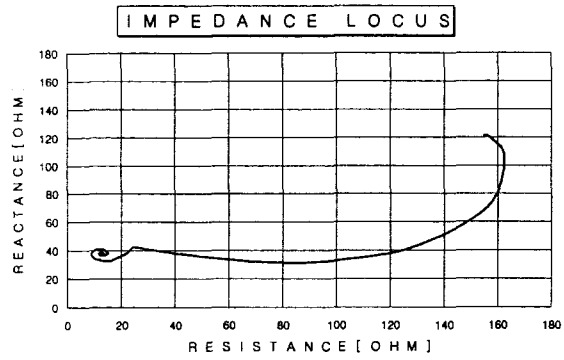

그림 6(a) EMTP 출력파일을 이용한 임피던스궤적
Fig. 6(a) Impedance locus by EMTP output file

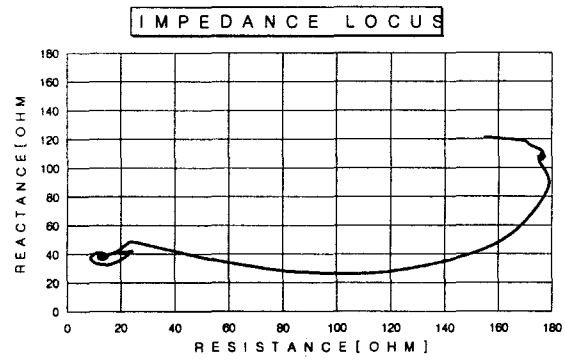

그림 6(b) 시험기의 출력을 활용한 임피던스 궤적
Fig. 6(b) Impedance locus by tester output

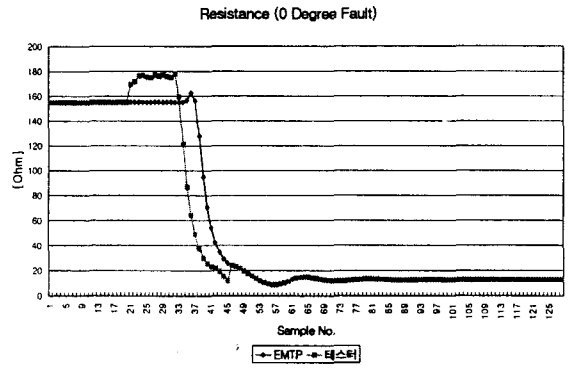

그림 6(c) 저항성분의 수렴특성
Fig. 6(c) Convergence characteristics of resistance

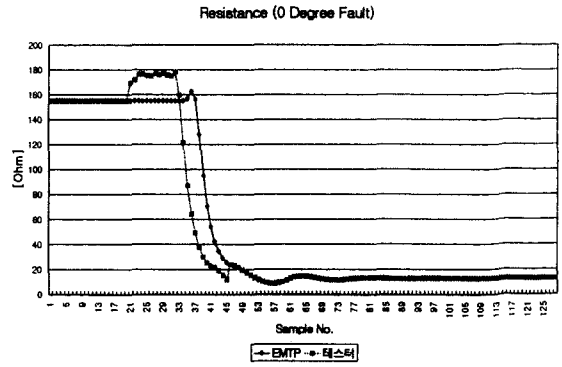

그림 6(d) 리액턴스성분의 수렴특성
Fig. 6(d) Convergence characteristics of reactance

표 2는 샘플링 수와 고장발생각, 그리고 계통 주파수의 변화에 대해 EMTP의 시뮬레이션에 의한 거리계전기법의 RX 값과 시험기에 발생된 신호를 활용하여 디지털 계전기가 온라인으로 연산한 RX값을 비교한 것이다. 여기서 시험 조건은 고장거리는 80㎞이고, 고장발생 저항은 1[Ω]인 경우이다. 표 2로부터 A/D변환에서의 양자화 오차를 고려하면 계통의 여러 변화에 대해서도 대체적으로 만족할 만한 결과가 나타남을 알 수 있다.

표 2 EMTP와 시험기의 결과
Table 2 Results of EMTP and tester

	R	X	R	X	R	X	R	X
실제값	10.738	38.120	10.738	38.120	10.738	38.120	10.738	38.120
샘플수	8		16		64		128	
EMTP	11.753	38.672	10.933	38.277	10.938	37.966	10.823	37.964
테스터	11.93	38.82	11.04	38.57	11.20	37.54	11.01	37.45
발생각	0		45		90			
EMTP	10.933	38.277	11.078.	38.039	11.852	38.164		
테스터	11.01	38.34	11.17	38.01	11.93	38.18		
주파수	57		60		63			
EMTP	11.993	37.966	10.933	38.277	10.067	38.499		
테스터	12.03	37.77	11.03	38.35	9.98	38.67		

5. 결 론

본 연구에서 개발한 디지털 계전기 성능시험을 위한 시험기의 결론을 요약하면 아래와 같다. 제안된 디지털 계전기 시험기는 PC와의 인터페이스가 용이하도록 설계하여 편의성이 향상되었으며, 경제성을 고려하였기 때문에 중소업체나 대학의 연구실에서의 성능 시험에 적당하다. EMTP를 계통의 시뮬레이션 주 엔진으로 채택하였으므로 계통의 모델링이 올바르게 시행된다면 그에 따른 시험결과를 신뢰할 수 있다. 과도상태의 EMTP 출력 데이터와 사용자가 원하는 임의 신호를 재생시킨 파형의 위상과 크기, 직류옵셋 및 고조파의 포함 여부 등을 비교한 결과 신호의 왜곡이 없이 양호함을 알 수 있다. 이에 따라 제안된 시험기를 디지털 거리계전기법에 오프라인 및 온라인 시험한 결과 만족할 결과를 나타내었기 때문에 시제품 디지털 계전

기의 성능시험과 계전 알고리즘 개발에 효과적으로 이용할 수 있다. 시험시 계전기의 입력·출력신호에 대한 모니터링이 가능하며, 사용자가 원하는 임의 신호의 재생이 가능하기 때문에 다른 디지털 전력제어기 시험에 확대·적용이 가능하다.

향후 사용자의 조작 편의성을 위한 MMI의 보완과 계통 신호들의 다양한 분석기능을 추가할 예정이다.

참 고 문 헌

[1] 차승태, 조강욱, "실시간 전력계통 해석용 시뮬레이터 기술", 대한전기학회 하계학술대회 논문집, pp. 1050~1052, 1998.7

[2] 김정훈, 신중린, 이홍재외 5인, "전력계통 시뮬레이터의 기술 현황과 국내개발의 방법론 고찰", 대한전기학회 하계학술대회 논문집, pp. 529-533, 1993. 7.

[3] 한국전력공사, "보호제어 유니트의 소프트웨어", '97 전력연-단57, pp. 1-389, 1997. 2.

[4] 신명철, 이복구, 윤석무, 박철원외 2인, "거리계전기법을 위한 신경회로망 패턴 추정기", 대한전기학회 논문지 Vol. 47, No. 11, pp. 1804-1811, 1998. 11.

[5] 유명호, 민완기, "RTDS를 이용한 전력계통 고장현상 마스터 시스템 개발", EMTP Workshop, pp. 63-72, 1994.12.

[6] Subcommitte of the IEEE power system relaying committee, "Digital Simulator Performance Requirements for Relay Testing", IEEE PWRD Vol. 13, No. 1, pp. 63-72, Jan., 1998.

[7] M. Oki et al., "Adanced Power System Analyzer", 1988 KIEE Annual Conference", pp. 38-42, 1988. 11.

[8] Kosuke Nojiri et al., "Modal Reduced Dynamic Equivalent Model For Analog Type Power System Simulator", IEEE PAS, Vol. 12, No. 4, pp. 1518-1523, Nov., 1997.

[9] R. Kuffel et al., "A Fully Digital Power System Simulator Operating Real Time", IEEE/KTH Stockholm Power Tech Conference, Stockholm, Sweden, pp. 49-54, June, 1995.

[10] Enrico De Paola et al., "A Pc Based, Low Cost, Real-Time Simulator For Traction Application", EPE'97, Tronheim, pp. 4.483-4.486, 1997.

[11] 박철원, 신명철외 3인, "PC 인터페이스를 이용한 디지털 보호계전기 시뮬레이터", 대한전기학회 하계학술대회 논문집, pp. 2902-2904, 1999. 7.

[12] A.T. johns, S.K. Salman, "Digital Protection for Power Systems", IEE Power Series 15, Peter Peregrinus Ltd., 1995.

저 자 소 개

박 철 원 (朴 哲 圓)

1961년 8월 13일생. 1988년 성균관대학교 공과대학 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(공박). 1989~1993년 금성 산전연구소 주임연구원. 1993~1997년 성균관대학교 전기전자 컴퓨터 공학부 강사. 1997년~현재 원주대학 전기과 조교수

Tel : 033-760-8425, Fax : 033-760-8420

E-mail : cwpark@sky.wonju.ac.kr

신 명 철 (申 明 澈)

대한전기학회 논문지 47권 11호 참조