論文2000-37SD-1-11

# CMOS 게이트에 의해서 구동 되는 배선 회로 압축 기술

# (A Compression Technique for Interconnect Circuits Driven by a CMOS Gate)

趙 敬 淳 *, 李 宣 永 *

(Kyeongsoon Cho and Seonyoung Lee)

요 약

본 논문은 수 만 개 이상의 소자로 구성된 대규모 배선 회로를 SPICE와 같은 회로 시뮬레이터로 분석할 수 있도록 그 규모를 축소 시키는 새로운 방법을 제안하고 있다. 이 방법은 배선 회로의 구조 분석과 Elmore 시정수에 바탕을 둔 여러 가지 규칙들을 사용하여 회로 소자 개수를 줄여나가는 기존의 방법과 근본적으로 다른 접근 방식이다. AWE 기법을 사용하여 CMOS 게이트 구동 특성 모델을 구하고, 이 모델에 배선 회로를 연결하여 타임 모멘트를 계산한 다음, 이와 동일한 모멘트를 갖는 등가 RC 회로를 합성하는 과정을 거친다. 이 방법을 사용하면 배선 회로를 구동하는 CMOS 게이트의 특성을 높은 수준의 정확도로 반영할 수 있을 뿐만 아니라, 압축된 회로의 크기가 원래 배선 회로에 포함되어 있던 소자의 개수와 관계없이 출력 노드의 개수에 비례하여 결정되므로, 대규모 배선 회로에 대해서 압축율이 극히 우수하다. 이 방법을 C 프로그램으로 구현하여 0.5$\mu$m CMOS ASIC 제품에 적용한 결과, 99% 이상의 극히 우수한 압축율을 보였으며, 원래의 배선 회로 대비 지연 시간 측면에서 1~10%의 오차를 갖는 정확도를 나타내었다.

**Abstract**

This paper presents a new technique to reduce a large interconnect circuit with tens of thousands of elements into the one that is small enough to be analyzed by circuit simulators such as SPICE. This technique takes a fundamentally different approach from the conventional methods based on the interconnect circuit structure analysis and several rules based on the Elmore time constant. The time moments are computed from the circuit consisting of the interconnect circuit and the CMOS gate driver model computed by the AWE technique. Then, the equivalent RC circuit is synthesized from those moments. The characteristics of the driving CMOS gate can be reflected with the high degree of accuracy and the size of the compressed circuit is determined by the number of output nodes regardless of the size of the original interconnect circuit, which results in the high compression ratio, especially for the large interconnect circuits. This technique has been implemented in C language, applied to several interconnect circuits driven by a 0.5$\mu$m CMOS gate and the equivalent RC circuits with more than 99% reduction ratio and accuracy with 1~10% error in terms of propagation delays were obtained.

* 正會員, 韓國外國語大學校 電子工學科

(Department of Electronics Engineering, Hankuk University of Foreign Studies)

※ 이 논문은 정보통신부에서 시행한 대학기초연구지원사업으로 수행된 연구 결과임.

接受日字:1999年6月4日, 수정완료일:1999年11月15日

## I. 서 론

ASIC (Application Specific Integrated Circuit)의 타이밍 특성 분석은 회로를 구성하는 게이트와 이들을 연결하는 배선의 지연 시간을 바탕으로 이루어진다. 배

선의 지연 시간은 배치 및 배선 설계 도면에서 추출한 배선 회로를 SPICE와 같은 회로 시뮬레이터를 사용하여 분석함으로써 구할 수 있다. 배선 회로는 배선에서 추출한 저항과 커패시턴스 성분으로 구성되는 선형 RC 회로로 모델링 되는 것이 보통이지만, ASIC의 동작 주파수가 GHz 수준으로 증가하게 되면 인덕턴스 성분도 포함할 수 있다. 배선 회로의 구조와 규모는 배선의 형태와 제조 공정의 특성에 따라 결정되며, 회로를 추출하는 알고리즘과 사용자가 원하는 정확도 목표에 의해서도 영향을 받는다. ASIC 동작 속도의 지속적인 증가는 타이밍 특성 분석에 대한 고도의 정확성을 요구하고 있으며, 반도체 제조 공정 선 폭의 미세화와 배선 층 수의 증가는 여러 가지 물리적인 현상들에 대한 추가적인 고려를 필요로 하고 있다. 이에 따라 배선 회로는 복잡한 구조를 갖는 대규모 회로로 모델링 되고 있으며, 하나의 배선 회로가 수만 개 이상의 소자를 포함하는 것은 흔히 볼 수 있는 현상이다. 이와 같은 대규모 회로를 SPICE로 분석하는 것은 컴퓨터 메모리 용량 및 수행 시간 측면에서 현실적이지 못하다.

SPICE를 이용하여 대규모 배선 회로를 분석하려면 회로의 전기적 특성에 영향을 주지 않는 범위에서 소자의 개수를 줄임으로써 SPICE가 다룰 수 있는 규모로 회로를 압축시켜야 한다. 기존에 제안된 방법[1,2,3]들은 회로 구조의 분석과 Elmore 지정수[4]에 바탕을 둔 여러 가지 규칙들을 사용하여 회로 소자 개수를 줄여 나가는 접근 방식을 취하고 있는데, 여기에는 다음과 같은 문제점들이 있다. 첫째, 배선 회로를 구동하는 게이트의 특성을 정확하게 반영하기가 어렵다. 구동 게이트는 비 선형 소자인 트랜지스터로 구성되어 있으므로 이에 대한 특성 분석을 포함하는 것은 Elmore 지연 시간 모델의 한계를 벗어난다. 특히 CMOS 게이트가 배선 회로를 구동하는 경우 그 특성을 반영하지 못한다면 이는 압축의 정확도에 심각한 영향을 준다. 둘째, 저항과 커패시턴스로 구성되는 RC 트리[5] 형태의 배선 회로에만 적용할 수 있다. RC 트리란 회로내의 모든 커패시턴스는 한 쪽 단자가 접지되고, 저항은 이들 커패시턴스들을 연결하는 역할만 하는 제한된 구조의 RC 회로를 의미한다. 배선의 층 수가 증가함에 따라 배선 간의 부동 커패시턴스의 비중이 커지는 추세를 볼 때, 이는 수용하기 곤란한 한계점이다. 셋째, 배선 회로의 주파수 특성이 포함하는 여러 개의 극점 중 하나, 즉 Elmore 지정수만을 고려한 근사 방법이므로 정확도가 우수하지 못하다.[6]

본 논문에서는 CMOS 게이트에 의해서 구동 되는 배선 회로에 대한 새로운 압축 방법을 제안하고자 한다. 우선 AWE (Asymptotic Waveform Evaluation) 기법[6]을 바탕으로 CMOS 게이트 구동 특성 모델[7]을 구한다. CMOS 게이트 구동 특성 모델은 CMOS 게이트의 비 선형적 구동 특성을 모델링하는 것이 목적으로서, 저항과 경사 함수 형태의 독립 전압원으로 구성된 선형 회로이다. 다음은 구동 특성모델과 배선 회로를 합한 전체 회로에서 출력 노드 전압에 대한 타임 모멘트를 계산한다. 여기서 출력 노드란 배선 회로가 구동하는 각각의 부하 게이트의 입력 노드이다. 타임 모멘트는 시간 $t$ 영역의 함수를 라플라스 변환하여 복소 주파수 $s$ 영역 함수로 표현하고 이를 $s=0$ 을 중심으로 테일러 급수로 전개하였을 때 $s^i$이 갖는 계수 값을 의미한다. 이와 같은 타임 모멘트를 구한 다음부터 AWE 기법을 사용하여 배선 회로를 해석하는 방법[6,7]과 차이가 난다. AWE 기법에서는 타임 모멘트 값들로부터 극점과 레지듀를 계산하여 주파수 영역 및 시간 영역 응답을 알아낸다. 본 논문에서 제안하는 압축 방법은 계산된 타임 모멘트 값들을 바탕으로 원래 회로의 출력 노드 전압의 타임 모멘트와 동일한 값을 갖는 노드로 구성된 $\pi$ 형태의 RC 회로를 합성자는 것이다. 본 논문에서 제안하는 방법에서는 $s^2$에 해당하는 타임 모멘트까지를 필요로 한다. 이 RC 회로는 원래 회로의 노드 중 출력 노드에 관한 정보만을 동일하게 유지하는 등가 회로로서, 하나의 출력 노드 당 하나의 저항과 하나의 커패시턴스 만으로 표현된다. 이와 같이 합성된 RC 회로는 원래 회로의 크기와 관계 없이 출력 노드 개수 만큼의 저항과 커패시턴스로 구성되는 규모가 작은 회로이므로 SPICE와 같은 회로 시뮬레이터의 입력으로 사용되기에 적합하다. 또한 타임 모멘트 계산은 임의의 선형 회로에 대하여 적용할 수 있으므로 배선 회로의 구조나 형태에 대하여 RC 트리와 같은 제한이 없을 뿐만 아니라, 정확성 측면에서도 1차 극점만을 고려하는 Elmore 지정수에 근거한 방법보다 우수하다.

본 논문에서는 CMOS 게이트 구동 특성 모델과 배선 회로에 대한 타임 모멘트를 추출하는 방법을 먼저 살펴본다. 다음은 본 논문의 핵심 내용으로서 등가 RC 회로를 구성하는 각각의 저항과 커패시턴스 값을 구하는 식을 유도하는 과정을 기술한다. 이 방법을 C 언어로 구현하여 실제 ASIC 제품에 적용하였을 때의 압축

율과 정확도에 대한 실험 결과도 제시하고 있다.

## Ⅱ. CMOS 게이트 구동 특성 모델

배선 회로의 동작은 이를 구동하는 게이트의 특성에 의해서 많은 영향을 받는다. 특히 CMOS 게이트는 배선 회로의 동작에 결정적인 영향을 주므로 이를 고려하여 배선 회로를 압축하여야 원하는 수준의 정확도를 얻을 수 있다. CMOS 게이트의 구동 특성을 AWE 기법을 사용하여 모델링하는 방법이 제안된 바 있으며, 본 논문에서는 이 모델을 배선 회로에 연계하여 해석한 자료를 바탕으로 압축된 회로를 합성해내는 방법을 제안하고 있다. 본 절에서는 이 모델에 대하여 [7]에서 제시하고 있는 개념을 요약하고자 한다.

배선 회로를 구동하는 CMOS 게이트의 특성은 게이트와 배선 회로가 연결되는 지점인 구동점의 전압 파형을 살펴 보면 알 수 있다. 구동 게이트의 출력 단을 구성하는 트랜지스터가 선형 영역에서 동작하는 동안 구동점의 전압 파형은 시간에 대한 지수 함수로서 디지털 파형으로 볼 수 없다.[8] 특히 배선 저항이 출력 단 트랜지스터의 ON 저항과 비교하여 상대적으로 클수록 디지털 파형과의 편차는 더욱 커진다. 따라서 구동점의 전압 파형을 단순한 경사 함수 등으로 표현하고, 이 파형이 배선 회로를 구동한다는 가정은 적합하지 않다. 결국 구동 게이트와 배선 회로를 합하여 전체 회로를 동시에 해석하여야 구동 게이트의 특성을 제대로 알아낼 수 있다.

CMOS 게이트의 구동 특성을 선형 회로 해석 기법인 AWE를 사용하여 추출할 수 있도록 선형 소자만을 사용하여 근사적인 모델로 표현한 것이 게이트 구동 특성 모델이다. 이 모델은 그림 1과 같이, CMOS 게이트가 배선 회로와 여러 개의 부하 게이트를 구동하는 경우, 이를 경사 함수 형태의 독립 전압원 $V_{dr}$과 선형 저항 $R_{dr}$로 근사화 한 것이다. $V_{dr}$과 $R_{dr}$은 유효 커패시턴스 (Ceff) 개념[8]과 이차원 테이블 형태의 타이밍 데이터 베이스[9]에 저장되어 있는 타이밍 파라미터 ( $T_\alpha$) 값들을 종합하여 구한다.[7] $C_{eff}$는 구동 게이트에서 배선 회로를 바라보았을 때의 등가 부하 커패시턴스로서, 배선 저항을 무시한다면 배선에 분포되어 있는 커패시턴스와 부하 게이트의 입력 커패시턴스들을 모두 합한 것으로 볼 수 있다. 그러나 게이트가 실제로 구동하는 부하 커패시턴스 값은 배선 저항이 클수록 감소하므로, 이와 같은 저항 차폐 효과가 고려된 등가 부하 커패시턴스 값이 $C_{eff}$로 정의된다. $T_\alpha$는 게이트가 커패시턴스만으로 구성된 부하를 구동할 때 입력 전압이 전원 전압 $V_{DD}$의 50%가 되는 순간부터 출력 전압이 $V_{DD}$의 $\alpha$% 지점에 도달하는데 소요되는 시간으로서, SPICE와 같은 회로 시뮬레이터를 통하여 추출되어 타이밍 데이터 베이스에 저장된다.

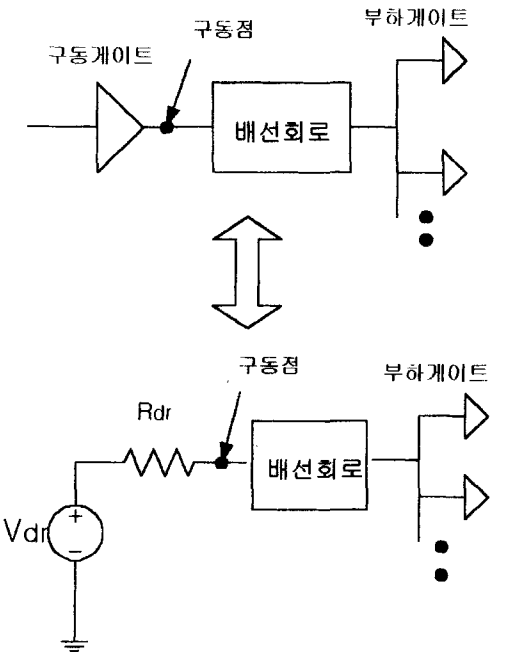



그림 1. 배선 회로를 구동하는CMOS 게이트에 대한 모델링

Fig. 1. Modeling for the CMOS gate driving interconnect circuits.

## Ⅲ. 타임 모멘트 계산

Ⅱ절에서 설명한 방법대로 CMOS 게이트 구동 특성 모델을 결정하고 이를 배선 회로에 연결하여 전체 회로를 구축한다. 이 전체 회로는 선형 소자만으로 구성된 특징을 가지고 있으며, 선형 소자와 비 선형 소자가 혼재해 있던 원래 회로의 전기적 특성을 근사적으로 유지하고 있다. 본 절에서는 이 회로의 출력 노드 전압에 대한 타임 모멘트를 구하는 방법을 기술하고 있다.

배선 회로는 CMOS 게이트에 의해서 구동 됨과 동시에 여러 개의 부하 게이트를 구동하는 것이 보통이

다. 배선 회로가 구동하는 부하 게이트는 각각 커패시턴스로 근사화하여 모델링할 수 있다. 이 커패시턴스 값은 CMOS 부하 게이트의 입력 커패시턴스이다. 이와 같이 배선 회로와 부하 게이트가 연결되는 지점, 즉 부하 게이트의 입력 노드를 전체 회로에 대한 출력 노드로 표현하고 그 전압에 대한 타임 모멘트를 구한다. 이를 위하여 우선 전체 회로에 대한 방정식을 수립하여야 한다. 본 논문에서는 단순성과 일반성이 뛰어난 modified nodal admittance matrix[10]를 바탕으로 회로 방정식을 수립하였으며, 다음과 같은 행렬 방정식으로 귀결된다.

$$C\frac{d}{dt}v(t)+Gv(t)-e(t)=0$$

여기서 $v(t)$는 비 접지 절점의 전압, 독립 전압원의 전류, 인덕터의 전류로 구성되는 회로 변수 벡터이고, $e(t)$는 독립 전압원과 독립 전류원을 나타내는 벡터이며, $G$와 $C$는 저항, 커패시터, 인덕터, 독립 전압원의 연결 상태에 따라서 결정되는 행렬이다. 이 행렬 방정식을 풀면 시간 영역에서의 출력 노드 전압을 구할 수 있지만, 본 논문에서는 AWE 기법과 마찬가지로 시간 $t$영역의 함수를 라플라스 변환하여 복소 주파수 $s$영역 함수로 표현한다. 위의 방정식에 대하여 라플라스 변환을 하고, $s=0$을 중심으로 $V(s)$를 테일러 급수로 전개하면,

$$(G+sC)\cdot V(s)=E$$

$$(G+sC)\cdot(V_0+sV_1+s^2V_2+\cdots)=E$$

가 된다. 이 식의 양변에서 $s^i$의 계수를 비교하면,

$$GV_0=E$$

$$GV_i=-CV_{i-1},\quad i=1,2,3,\ldots$$

의 관계식을 얻을 수 있고, 이 선형 연립 방정식의 해를 차례로 구함으로써 $V(s)$에 대한 테일러 급수 전개식이 포함하는 $s^i$의 계수, 즉 타임 모멘트 $V_i$를 구한다. 본 논문에서 제안하는 방법에서는 $s^0$, $s^1$, $s^2$에 대응되는 타임 모멘트 $V_0$, $V_1$, $V_2$를 구하여 등가 RC 회로 합성에 사용한다. 결국 CMOS 게이트의 구동 특성 모델과 배선 회로가 연결된 전체 회로 내의 모든 노드 중에서 압축 회로 합성에 필요한 출력 노드에 대한 주파수 영역 정보만을 일부 추출한 것이다.

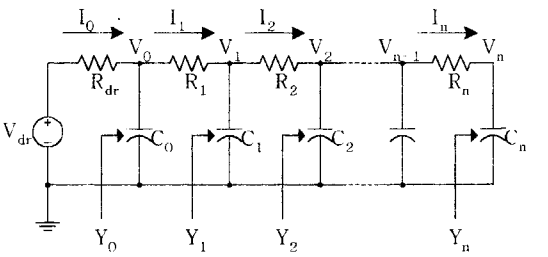



그림 2. 등가 RC 회로
Fig. 2. Equivalent RC circuit.

## Ⅳ. 등가 RC 회로 합성

CMOS 게이트 구동 특성 모델에 배선 회로를 연결한 전체 회로에 대한 타임 모멘트를 계산하면, 그 값은 배선 회로 뿐만 아니라 이를 구동하는 CMOS 게이트의 특성이 모두 고려된 주파수 영역 자료이다. 수 만 개 이상의 저항과 커패시턴스로 구성된 대규모 배선 회로와 게이트 구동 특성 모델이 연결된 전체 회로가 포함하는 노드의 개수는 수 만 개 이상일 것이다. 본 논문에서 제안하고 있는 방법은 이 중에서 출력 노드의 전압에 대한 타임 모멘트 만을 필요로 한다. 출력 노드란 배선 회로와 구동 되는 부하 게이트를 연결하는 노드를 의미한다. 타임 모멘트는 시간 $t$영역의 함수를 라플라스 변환하여 복소 주파수 $s$영역 함수로 표현하고 이를 $s=0$을 중심으로 테일러 급수로 전개하였을 때 $s^i$이 갖는 계수 값을 의미하는데, 본 논문에서는 $s^0$의 계수인 0차 타임 모멘트, $s^1$의 계수인 1차 타임 모멘트, $s^2$의 계수인 2차 타임 모멘트까지 계산하여 사용한다.

출력 노드의 전압에 대한 2차 타임 모멘트까지 구하면, 이를 바탕으로 전기적으로 등가의 특성을 갖는 RC 회로를 합성할 수 있다. 등가 RC 회로의 형태는 배선 회로가 $n$개의 부하 게이트 입력 노드를 구동하는 경우, 즉 $n$개의 출력 노드를 갖는 경우에 그림 2와 같이 $n$개의 $\pi$형태 구조[11]가 직렬로 연결된 것으로 모델링 되었다. 이 그림에서 $R_{dr}$과 $V_{dr}$은 CMOS 게이트 구동 특성 모델의 구성 요소와 동일한 값을 갖는 소자들이고, 노드 0은 구동 게이트와 배선 회로가 연결된 구동점과 등가인 노드이다. 나머지 노드들(1, 2, ..., $n$)은 각

각의 부하 게이트의 입력 노드인 출력 노드들과 등가인 노드들이다. 결국 원래의 전체 회로가 가지고 있던 노드 중에서 구동점과 출력 노드들만 남기고 나머지는 모두 제거한 형태로 볼 수 있다. 이 등가 RC 회로가 포함하는 노드들의 전압에 대한 타임 모멘트를 원래 회로와 갖도록 만드는 것이 등가 RC 회로 합성의 목표가 된다. 이를 위하여 우선 구동점으로부터의 지연 시간이 작은 노드에서 큰 노드 순서로 정렬되도록 회로를 구성하였다. 따라서 $n$개의 부하 게이트 입력 노드를 구동하는 배선 회로에 대한 등가 RC 회로 합성은 $n$개의 저항 $(R_1, R_2, \ldots, R_n)$과 $n+1$개의 커패시턴스 $(C_0, C_1, C_2, \ldots, C_n)$를 구하는 문제로 귀결된다. 이와 같은 $2n+1$개의 미지수 값을 구하기 위하여 다음과 같은 방법으로 연립 방정식을 세운다. 우선 등가 RC 회로에서 각각의 $\pi$형태 구조에서 바라 본 어드미턴스에 대한 타임 모멘트를 회로 구성 요소인 $R_i$와 $C_i$의 함수로 표현한다. 다음은 동일한 어드미턴스에 대한 타임 모멘트를 노드 전압의 타임 모멘트에 대한 함수로 표현하고, 이 두 가지의 타임 모멘트 식을 일치시킴으로써 $2n+1$개의 연립 방정식을 세울 수 있다. 여기에 이미 계산해 놓은 원래 회로의 출력 노드 전압의 타임 모멘트 값을 대입함으로써, $n$개의 저항과 $n+1$개의 커패시턴스 값들을 구한다. 본 절에서는 이와 같은 과정을 기술하고자 한다.

그림 2의 등가 RC 회로에서 $i$번째 커패시턴스 $C_i$에서 회로의 우편을 바라보았을 때의 어드미턴스 $Y_i$는 다음 단에 대한 어드미턴스 $Y_{i+1}$의 함수로 표현할 수 있다.

$$Y_n = C_n \cdot s$$

$$Y_i = C_i \cdot s + \frac{1}{R_{i+1} + \frac{1}{Y_{i+1}}}, \quad i = 0,1,2,\cdots,n-1$$

$Y_i$를 $s=0$을 중심으로 테일러 급수 전개하였을 때의 $s_i$계수, 즉 $Y_i$의 모멘트 중 1차와 2차 모멘트는 다음과 같다.

$$\left.\frac{dY_n}{ds}\right|_{s=0} = C_n \qquad \text{식 (1)}$$

$$\left.\frac{dY_i}{ds}\right|_{s=0} = C_i + \left.\frac{dY_{i+1}}{ds}\right|_{s=0}, \quad i = 0,1,2,\cdots,n-1$$

$$\left.\frac{d^2Y_n}{ds^2}\right|_{s=0} = 0$$

$$\left.\frac{d^2Y_i}{ds^2}\right|_{s=0} = \left.\frac{d^2Y_{i+1}}{ds^2}\right|_{s=0} - 2R_{i+1} \cdot \left[\left.\frac{dY_{i+1}}{ds}\right|_{s=0}\right], \quad i = 0,1,2,\cdots,n-1$$

식 (1)에서 $i=n$부터 시작하여 $Y_{i+1}$에 대한 모멘트를 $Y_i$에 대한 모멘트에 대입하면, 1차와 2차 모멘트를 모두 미지수 $C_i$와 $R_i$의 함수로 나타낼 수 있다.

$$\left.\frac{dY_n}{ds}\right|_{s=0} = C_n$$

$$\left.\frac{dY_{n-1}}{ds}\right|_{s=0} = C_{n-1} + C_n$$

$$\cdots\cdots$$

$$\left.\frac{dY_0}{ds}\right|_{s=0} = C_0 + C_1 + C_2 + \cdots + C_n$$

$$\left.\frac{d^2Y_n}{ds^2}\right|_{s=0} = 0$$

$$\left.\frac{d^2Y_{n-1}}{ds^2}\right|_{s=0} = -2R_nC_n^2$$

$$\left.\frac{d^2Y_{n-2}}{ds^2}\right|_{s=0} = -2R_nC_n^2 - 2R_{n-1}(C_{n-1} + C_n)^2$$

$$\cdots\cdots$$

$$\left.\frac{d^2Y_0}{ds^2}\right|_{s=0} = -2R_nC_n^2 - 2R_{n-1}(C_{n-1} + C_n)^2 - \cdots - 2R_1(C-1 + C_2 + \cdots + C_n)^2$$

그림 2의 회로에서 저항 $R_i$에 흐르는 전류를 $I_i$라 하고 커패시턴스 $C_i$의 전압을 $V_i$라 하면, 어드미턴스 $Y_i$는 다음 식으로 표현할 수 있다.

$$I_i = \frac{V_{i-1} - V_i}{R_i}$$

$$Y_i = \frac{I_i}{V_i} = \frac{1}{R_i} \cdot \left(\frac{V_{i-1}}{V_i} = -1\right)$$

$$= \frac{1}{R_i} \cdot (f_1 - 1), \quad i = 0,1,2,\cdots,n$$

여기서 $f_i$는 $\frac{V_{i-1}}{V_i}$이고, $V_{-1}$은 $V_{dr}$, $R_0$은 $R_d$에 해당된다. 이 식으로부터 $Y_i$에 대한 1차와 2차 모멘트를 구하면,

$$\left.\frac{dY_i}{ds}\right|_{s=0} = \frac{1}{R_i} \cdot \left.\frac{df_i}{ds}\right|_{s=0}, \quad i = 0,1,2,\cdots,n \qquad \text{식 (2)}$$

$$\left.\frac{d^2Y_i}{ds^2}\right|_{s=0} = \frac{1}{R_i} \cdot \left.\frac{d^2f_i}{ds^2}\right|_{s=0}, \quad i = 0,1,2,\cdots,n$$

이 된다. 출력 노드의 전압 $V_i$에 대한 모멘트는 이미 계산된 상태이므로, 이 값들로부터 $f_i$에 대한 모멘트를 구할 수 있다. 즉, $V_{i-1}$과 $V_i$를 추출된 모멘트를 사용하여 테일러 급수 전개식으로 표현하고, 이 전개식들로부터 $f_i(s)$를 구하면 다음과 같다.

$$V_i = n_0 + n_1 s + n_2 s^2 + n_3 s^3 + \cdots$$

$$V_i = d_0 + d_1 s + d_2 s^2 + d_3 s^3 + \cdots$$

$$f_i(s) = \frac{V_{i-1}}{V_i} = \frac{n_0 + n_1 s + n_2 s^2 + n_3 s^3 + \cdots}{d_0 + d_1 s + d_2 s^2 + d_3 s^3 + \cdots},$$

$$i = 0, 1, 2, \cdots, n$$

여기서 $n_0$, $n_1$, ...은 $V_{i-1}$에 대한 모멘트이고, $d_0$, $d_1$, ...은 $V_i$에 대한 모멘트이다. 이 식을 미분한 다음, $s=0$를 대입하여 모멘트를 구하면,

$$\left.\frac{df_i}{ds}\right|_{s=0} = \frac{n_1 d_0 - n_0 d_1}{d_0^2}$$

$$\left.\frac{d^2 f_i}{ds^2}\right|_{s=0} = \frac{2[d_0(n_2 d_0 - n_0 d_2) - d_1(n_1 d_0 - n_0 d_1)]}{d_0^3}$$

이 된다.

이상에서 유도한 $Y_i$의 모멘트에 대한 두 개의 방정식 즉, 식 (1)과 식 (2)를 일치시킴으로써 $C_0, C_1, C_2, \ldots, C_n$을 변수로 하는 $n+1$개의 선형 연립 방정식과 $R_1, R_2, \ldots, R_n$을 변수로 하는 $n$개의 선형 연립 방정식을 수립할 수 있다.

$$C_0 + C_1 + C_2 + \cdots + C_n = \frac{1}{R_0} \cdot \left.\frac{df_0}{ds}\right|_{s=0}$$

$$\left[\left.\frac{df_1}{ds}\right|_{s=0} \cdot c_1 + \cdots + \left(\left.\frac{df_1}{ds}\right|_{s=0} + \cdots + \left.\frac{df_n}{ds}\right|_{s=0}\right) \cdot C_n\right] \cdot \frac{\left.\frac{df_0}{ds}\right|_{s=0}}{\left.\frac{d^2 f_0}{ds^2}\right|_{s=0}} = -\frac{1}{2R_0} \cdot \left.\frac{df_0}{ds}\right|_{s=0}$$

$$\left[\left.\frac{df_2}{ds}\right|_{s=0} \cdot c_2 + \cdots + \left(\left.\frac{df_2}{ds}\right|_{s=0} + \cdots + \left.\frac{df_n}{ds}\right|_{s=0}\right) \cdot C_n\right] \cdot \frac{\left.\frac{df_1}{ds}\right|_{s=0}}{\left.\frac{d^2 f_1}{ds^2}\right|_{s=0}} = -\frac{1}{2} \cdot (C_1 + C_2 + \cdots + C_n) = 0$$

$$\left[\left.\frac{df_3}{ds}\right|_{s=0} \cdot c_3 + \cdots + \left(\left.\frac{df_3}{ds}\right|_{s=0} + \cdots + \left.\frac{df_n}{ds}\right|_{s=0}\right) \cdot C_n\right] \cdot \frac{\left.\frac{df_2}{ds}\right|_{s=0}}{\left.\frac{d^2 f_2}{ds^2}\right|_{s=0}} = -\frac{1}{2} \cdot (C_2 + C_3 + \cdots + C_n) = 0$$

.....

$$\left[\left.\frac{df_n}{ds}\right|_{s=0} \cdot C_n\right] \cdot \frac{\left.\frac{df_{n-1}}{ds}\right|_{s=0}}{\left.\frac{d^2 f_{n-1}}{ds^2}\right|_{s=0}} + \frac{1}{2} \cdot (C_{n-1} + C_n) = 0$$

위의 방정식을 풀어서 $C_0, C_1, C_2, \ldots, C_n$을 먼저 구하고, 다음 식들로부터 $R_1, R_2, \ldots, R_n$을 구한다.

$$R_n = \frac{1}{C_n} \cdot \left.\frac{df_n}{ds}\right|_{s=0}$$

$$R_{n-1} = \frac{1}{C_{n-1} + C_n} \cdot \left.\frac{df_{n-1}}{ds}\right|_{s=0}$$

.....

$$R_1 = \frac{1}{C - 1 + C_2 + \cdots + C_n} \cdot \left.\frac{df_1}{ds}\right|_{s=0}$$

## V. 실험 결과

본 논문에서 제안한 등가 RC 회로 합성 방법을 CMOS 게이트에 의해서 구동 되는 배선 회로 해석 시스템인 INT[7]에 추가로 구현하였다. 이의 정확성 및 효율성을 확인하기 위하여 0.5$\mu$m CMOS 공정을 바탕으로 설계된 클락 구동 게이트에 실제 ASIC 제품의 배치 및 배선 설계 도면으로부터 추출한 3가지 종류의 배선 회로를 연결하고, 각각의 배선 회로에 대해서 이와 전기적으로 등가인 RC 회로를 합성하였다. 실험에 사용한 배선 회로들은 모두 수 만 개 이상의 저항과 커패시턴스로 구성된 대규모 회로일 뿐만 아니라, 부동 커패시턴스, 접지 저항 등을 포함하는 복잡한 구조를 가지고 있다. 등가 RC 회로를 합성하는 도중 발생한 흥미 있는 사실은 배선 회로가 구동하고 있는 여러 개의 부하 게이트 중 일부 부하 게이트에 대해서는 이에 대응되는 커패시턴스가 음수로 계산되는 경우가 발생한다는 것이다. 이는 AWE 기법과 마찬가지로 타임 모멘트를 계산할 때의 수치해석적인 불안정성[12]에 기인하는 것으로 판단된다. 이에 대한 근사적인 해결 방안으로서 음수의 커패시턴스는 아주 작은 값이라고 가정하여 0으로 처리하였다. 표 1과 표 2는 이와 같은 근사화 과정을 거쳐서 3가지의 배선 회로를 압축한 결과이다.

이 표에 나타나 있듯이, 압축율이 99% 이상으로 극히 우수함을 알 수 있다. 여기서 압축율은 다음과 같이 정의된다.

$$\frac{\text{원래 배선 회로의 소자 개수} - \text{등가 RC 회로의 소자 개수}}{\text{원래 배선 회로의 소자 개수}} \times 100\%$$

이 표에서 알 수 있듯이, 등가 회로의 크기는 원래 배선 회로에 포함되어 있던 소자의 개수와는 관계없이 출력 노드의 개수에 의해서 결정된다. 본 논문에서 제안한 방법의 정확도를 측정하기 위하여 원래의 배선 회로에서 INT를 사용하여 구동점으로부터 각각의 출력 노드까지의 지연 시간을 구하였다. 합성된 등가 RC 회로에 대해서도 마찬가지로 각각의 출력 노드에 대한 지연 시간을 구하였다. 평균 지연 시간 오차는 각각의 출력 노드에 대한 지연 시간 오차를 평균한 값을 의미하는데, 1~10% 정도의 분포를 보이고 있다. 최대 지연 시간 오차란 모든 출력 노드에 대한 오차 중 가장 큰 값을 나타낸다. 이 표들에서 상승과 하강이란 클락 구동 게이트에 인가한 입력 파형의 종류를 나타낸다.

타임 모멘트 계산의 수치해석적인 불안정성에 기인하는 오차가 제외된 정확도를 살펴보기 위하여 음수의 커패시턴스로 귀결되는 부하 게이트를 인위적으로 제거하고 배선 회로의 압축을 시도하였으며, 그 결과가 표 3에 나타나 있다. 평균 및 최대 지연 시간 오차가 1% 내외로 극히 우수한 정확도를 보였으며, 압축율과 CPU 시간은 불안정성이 제거되기 전의 경우와 마찬가지이다.

표 4는 배선 회로들에 대한 실험에 소요된 CPU 시간을 보여주고 있다. 이 값들은 모두 SPARC20 workstation 상에서 측정한 결과이다. 이 표에서 SPICE로 표현된 열은 SPICE를 사용하여 CMOS 클락 구동 게이트에 의해서 구동 되는 배선 회로를 분석하고 지연 시간을 구하는데 소요된 CPU 시간을 나타내고 있다. 이 값은 구동 게이트의 입력에 상승 파형을 인가하고 시뮬레이션한 시간과 하강 파형을 인가한 경우의 시간을 합한 것이다. 이 표에서 INT로 표현된 열은 동일한 조건에서 SPICE 대신 INT를 사용하여 시뮬레이션한 시간이다. INT는 [7]에서 기술하고 있듯이 AWE 기법을 사용하여 배선의 지연 시간을 계산한다. 마지막으로 이 표에서 압축이라고 표현된 열은 AWE 기법을 사용하여 CMOS 게이트 구동 특성 모델을 구하고, 이 모델과 원래의 배선 회로를 연결하여 타임 모멘트를 계산한 다음, 이로부터 등가의 RC 회로를 합성하는데 소요된 시간을 모두 합한 것으로서 본 논문에서 제안한 알고리즘에 대한 CPU 시간이다. 이 표에서 알 수 있듯이, 배선 회로를 압축하는데 소요된 시간은 INT를 사용하여 이를 분석하는데 소요된 시간과 거의 비슷하다. 따라서 INT를 사용하여 배선 회로를 직접 분석하는데 필요한 정도의 시간으로 배선 회로를 한 번 압축해 두면, 향후 여러 가지 조건을 변화 시키면서 타이밍 특성을 분석할 때 압축된 작은 회로를 다루기만 하면 된다는 장점을 얻을 수 있다. 압축된 회로에 대하여 INT를 적용하면 이에 소요되는 분석 시간은 거의 0에 가까울 것이며, SPICE를 적용하여 트랜지스터 단위로 기술된 게이트와 이에 의해서 구동되는 압축된 배선 회로를 함께 분석하면 합리적인 시간 내에 정확한 결과를 얻을 수 있을 것이다. 이 표에 있는 실험 결과에 의하면 압축되지 않은 회로에 대한 SPICE 시뮬레이션 시간은 INT를 사용한 분석이나 압축 회로 합성 작업에 비하여 수십 내지 수백 배의 계산 시간을 필요로 한다.

표 1. 불안정성이 있는 경우 압축된 회로의 압축율

Table 1. Compression ratio of the compressed circuit with instability problem.

| | 원래 회로 | | 등가 회로 | | 압축율 |
|---|---|---|---|---|---|
| | R개수 | C개수 | R개수 | C개수 | |
| 배선 회로 1 | 4012 | 75025 | 18 | 19 | 99.95% |
| 배선 회로 2 | 13836 | 21666 | 79 | 80 | 99.55% |
| 배선 회로 3 | 12370 | 20249 | 50 | 51 | 99.69% |

표 2. 불안정성이 있는 경우 압축된 회로의 정확도

Table 2. Accuracy of the compressed circuit with instability problem.

| | 평균 지연 시간 오차 | | 최대 지연 시간 오차 | |
|---|---|---|---|---|
| | 상승 | 하강 | 상승 | 하강 |
| 배선 회로 1 | 3.93% | 9.68% | 8.12% | 14.60% |
| 배선 회로 2 | 0.73% | 1.87% | 1.72% | 2.57% |
| 배선 회로 3 | 7.50% | 2.75% | 8.52% | 3.06% |

표 3. 불안정성이 없는 경우 압축된 회로의 정확도
Table 3. Accuracy of the compressed circuit with no instability problem.

| | 평균 지연 시간 오차 | | 최대 지연 시간 오차 | |
|---|---|---|---|---|
| | 상승 | 하강 | 상승 | 하강 |
| 배선 회로 1 | 0.03% | 0.04% | 0.06% | 0.11% |
| 배선 회로 2 | 0.44% | 1.79% | 0.44% | 1.79% |
| 배선 회로 3 | 0.34% | 0.10% | 0.72% | 0.24% |

표 4. CPU 시간 비교
Table 4. Comparison of CPU time.

| | CPU 시간 [second] | | |
|---|---|---|---|
| | SPICE | INT | 압축 |
| 배선 회로 1 | 836.3 | 7.3 | 7.6 |
| 배선 회로 2 | 641.2 | 31.2 | 31.3 |
| 배선 회로 3 | 561.2 | 25.1 | 26.0 |

## VI. 결 론

배선 회로 추출의 정확도를 향상시키려는 노력이 증가함에 따라 추출된 배선 회로의 규모가 방대해져서 하나의 배선 회로에 수 만 개 이상의 소자가 포함되는 현상은 흔히 볼 수 있게 되었다. 본 논문에서는 이와 같은 대규모 회로를 SPICE와 같은 회로 시뮬레이터로 분석할 수 있도록 배선 회로를 압축하여 SPICE가 다룰 수 있는 규모로 축소 시키는 새로운 방법을 제안하였다. 배선 회로를 압축하는 기존의 방법은 배선 회로의 구조를 추적하면서 Elmore 시정수에 바탕을 둔 여러 가지 규칙들을 사용하여 회로 소자 개수를 줄여나가는 접근 방식을 취하는 것이 보통이지만, 본 논문에서는 근본적으로 다른 접근 방법을 채택하였다. AWE 기법을 사용하여 CMOS 게이트 구동 특성 모델을 구하고, 이 모델에 배선 회로를 연결하여 타임 모멘트를 계산한 다음, 이와 동일한 모멘트를 갖는 등가 RC 회로를 합성하는 새로운 방법을 제시하였다. 이 방법은 기존의 방법과 비교하여 다음과 같은 장점이 있다. 첫째, 배선 회로를 구동하는 CMOS 게이트의 특성을 높은 수준의 정확도로 반영할 수 있다. 둘째, 압축하려는 배선 회로의 구조에 대한 제한이 없다. 셋째, 배선 회로의 주파수 영역에서의 1차 극점만을 고려하는 Elmore 시정수에 근거한 방법보다 우수한 정확도를 보인다. 넷째, 압축된 회로의 크기는 원래 배선 회로에 포함되어 있던 소자의 개수와 관계없이 출력 노드의 개수에 의해서 결정되므로, 대규모 배선 회로에 대해서 압축율이 극히 우수하다.

합성된 등가 회로는 $\pi$형태 구조가 직렬로 연결된 형태를 취하고 있으며, 원래 배선 회로 크기와는 무관하게 배선 회로가 구동하는 각각의 부하 게이트 입력 노드 당 하나의 저항과 하나의 커패시턴스 만으로 구성된다. 이 방법을 CMOS 게이트에 의해서 구동 되는 배선 회로 해석 시스템에 추가로 구현하여 실제 ASIC 제품에 적용한 결과, 99% 이상의 극히 우수한 압축율을 보였으며, 원래의 배선 회로 대비 지연 시간 측면에서 1~10%의 오차를 갖는 정확도를 나타내었다. 이 오차에는 타임 모멘트 계산의 수치해석적인 불안정성을 해결하기 위한 근사화 과정이 포함되어 있다. 이와 같은 근사화 과정을 필요로 하지 않는 수치해석적인 불안정성이 제거된 예제의 경우는 불과 1% 내외의 오차만 갖는 정확도를 유지할 수 있었다. 압축 전후의 부하 커패시턴스 값의 변화를 보더라도 이 경향을 설명할 수 있다. 즉, II절에서 설명한 유효 커패시턴스 값을 압축하기 전과 후에 비교해 본 결과, 수치해석적인 불안정성을 제거한 경우 수 % 정도의 차이만 보이며 거의 같은 값을 유지하였으나, 제거하지 않은 경우는 많은 차이를 보이고 있었다. 이와 같은 문제점은 배선 회로의 형태 및 특성에 관련이 있으며, 동작 주파수가 높아질수록 커질 것으로 예상된다. 특히 동작 주파수가 GHz 수준으로 증가함에 따라 저항, 커패시턴스 뿐만 아니라 인덕턴스 성분도 배선 회로에 포함될 것으로 예상되므로 이에 대한 연구가 필요하다. 또한 현재의 알고리즘은 신호가 구동 게이트의 입력에서 출력 방향으로 전달된다고 가정하였으므로, 여러 개의 게이트가 배선 회로를 동시에 구동하는 경우와 같이 단순하게 신호의 방향성을 정하기 어려운 경우로 연구를 확장시키는 것이 필요하다.

## 참 고 문 헌

[1] S. L. Su, V. B. Rao and T. N. Trick, "A Simple and Accurate Node Reduction Technique for Interconnect Modeling in Circuit Extraction," Proc. of *IEEE International Conference on Computer Aided Design*, pp. 270-273, 1986.

[2] G. Yokomizo, C. Yoshida, M. Miyama, Y. Motono and K. Nakajo, "A New Circuit Recognition and Reduction Method for Pattern Based Circuit Simulation," *Proc. of Custom Integrated Circuits Conference*, pp. 9.4.1-9.4.4, 1990.

[3] P. Vanoostende, P. Six and H. J. De Man, "DARSI: RC Data Reduction," *IEEE Trans. on Computer-Aided Design*, vol. 10, no. 4, pp. 493-500, Apr. 1991.

[4] W. C. Elmore, "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers," *Journal of Applied Physics*, vol. 19, no. 1, pp. 55-63, 1948.

[5] J. Rubinstein, P. Penfield Jr. and M. A. Horowitz, "Signal Delay in RC Tree Networks," *IEEE Trans. on Computer-Aided Design*, vol. 2, no. 3, pp. 202-211, Jul. 1983.

[6] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," *IEEE Trans. on Computer-Aided Design*, vol. 9, no. 4, pp. 352-366, Apr. 1990.

[7] 조 경순, 변 영기, "CMOS 게이트에 의해서 구동되는 배선 회로의 타이밍 특성 분석," 전자공학회논문지 제 35 권 C편 제 4 호, pp. 21-29, Apr. 1998

[8] J. Qian, S. Pullela and L. T. Pillage, "Modeling the Effective Capacitance for the RC Interconnect of CMOS Gates," *IEEE Trans. on Computer-Aided Design*, vol. 13, no. 12, pp. 1526-1535, Dec. 1994.

[9] E. Y. Chung, B. H. Joo, Y. K. Lee, K. H. Kim and S. H. Lee, "Advanced Delay Analysis Method for Submicron ASIC Technology," Proc. of *IEEE ASIC Seminar*, pp. 471-474, 1992.

[10] C. W. Ho, A. E. Ruehli and P. A. Brennan, "The Modified Nodal Approach to Network Analysis," *IEEE Trans, on Circuits and Systems*, vol. 22, pp. 504-509, Jun. 1975.

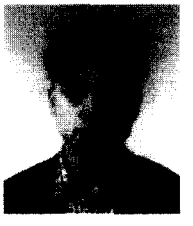
[11] T. Sakurai, "Approximation of Wiring Delay in MOSFET LSI," *IEEE Journal of Solid-State Circuits*, vol. SC-18, no.4, pp. 418-426, Aug. 1983.

[12] D. F. Anastasakis, N. Gopal, S. Y. Kim and L. T. Pillage, "Enhancing the Stability of Asymptotic Waveform Evaluation for Digital Interconnect Circuit Applications," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 13, no. 6, pp. 729-736, Jun. 1994.

## 저 자 소 개

**趙 敬 淳(正會員)**

1982년 2월 서울대학교 전자공학과 학사. 1984년 2월 서울대학교 전자공학과 석사. 1988년 12월 미국 Carnegie Mellon University 전기 및 컴퓨터 공학과 박사. 1988년 11월~1994년 8월 삼성전자㈜ 반도체부문 ASIC 선임, 수석 연구원. 1994년 8월~1996년 8월 한국외국어대학교 전자공학과 조교수. 1996년 9월~현재 한국외국어대학교 전자공학과 부교수. 주관심분야는 CAD 및 VLSI 설계



**李 宣 永(正會員)**

1976년 9월 9일생. 1998년 2월 한국외국어대학교 전자공학과 학사. 1998년 3월~현재 한국외국어대학교 전자제어공학과 석사과정. 주관심분야는 CAD 및 VLSI 설계