

영상 처리 기법을 위한 병렬화 네트워크 시스템의 구성

Realization of a Parallel Network System for Image Processing Techniques

서 원 찬, 조 강 현, 김 우 열
(Won-Chan Seo, Kang-Hyun Jo, and Woo-Yeol Kim)

Abstract : In this paper, realization techniques of the parallel processing and the parallel network system for image processing are described. The parallel image processing system is constructed by the characterization of image processing and processor. Several problems are solved to achieve effective parallel processing and processor networking with the particular properties of image processing, which are reduction of communication quantity, equalization of load and delay depreciation on communication. A parallel image input device is developed for the flexible networking of parallel image processing. An abnormal region detection algorithm which is the basic function in machine vision is applied to evaluate the constructed parallel image processing system. The performance and effectiveness of the system are confirmed by experiments.

Keywords : image processing, parallel processing, network system, multi-processor, transputer

I. 서론

자동화 시스템 개발을 위한 정보처리의 내용이 고도화되고 다양화됨에 따라 시각정보의 해석과 관련한 영상처리에 대한 많은 연구가 실시되고 있다. 영상에는 많은 정보가 포함되어 있어 이의 효과적인 획득법을 개발할 수 있다면 자동화 시스템의 구축에 대한 가능성은 매우 높다할 수 있다. 그러나 많은 양의 영상 데이터로부터 필요한 정보를 얻기 위해서는 고속·고기능의 영상처리 시스템의 개발이 필요하다. 영상처리 시스템에서는 영상의 연산 및 인식을 행하는 데 필요한 기능을 동일한 시스템 상에 구성하여야 하며 이들 기능을 유기적으로 결합하여야 한다. 따라서 영상처리 시스템의 개발에 있어서 병렬처리 컴퓨터를 이용하는 것에 의하여 연산속도 및 기능을 높히려는 연구가 많은 분야에서 시도되고 있다[1~6].

영상처리 기법에 있어서의 병렬화를 위한 복수의 프로세서에서의 처리 부담은 영상평면을 분할하고, 분할한 영상평면 단위(최소는 화소 단위)로 행하는 것이 보통이었다[2][6-8]. 또한 국소 처리 단계의 병렬화 혹은 화소 단위 처리의 고속화에 대한 특수한 병렬처리 머신의 개발이 대부분이었다[2][9][10]. 그러나, 영상평면을 분할할 경우 분할된 각각의 영상평면에 대한 처리량에 비하여 분할된 처리간의 통신량의 비율이 큰 것이 단점이며, 종래의 실용화되어 있는 장치를 단순히 결합하는 것으로는 각 장치의 아키텍처(architecture)의 부정합으로 인하여 목적으로 하는 기능을 가진 시스템을 실현하는 것은 불가능하다. 또한 영상처리 알고리즘의 구성에 있어서서는 데이터의 종속성으로 인하여 앞서의 처리 결과를 참조하여 다음의 처리를 진행하여야 하는 순차적인 경향을 가지는 경우가 많다. 그 때문에 영상처리 기법의 병렬화에 있어서는, 사용하는 프로세

서 및 네트워크의 특성을 충분히 파악하여야 하며, 적용하는 전체의 알고리즘은 물론 분할된 각각의 처리 단계에도 적합하도록 시스템을 구성하여야 한다.

본 연구에서는 현실문제에 있어서의 실현 가능성과 실용성을 고려하여 고가의 단일 병렬 프로세서 대신에 저가의 멀티프로세서(Transputer, T800, Inmos Co. Ltd.)를 사용하여 고속·고기능의 병렬 영상처리 시스템을 구성한다. 먼저, 병렬처리 네트워크의 구성에 있어서는 영상처리에서의 특수성을 고려한 병렬 영상 입력 장치를 개발하고, 이것에 의해 유연한 병렬처리 네트워크의 구성을 가능하게 한다. 또한, 영상처리에서 해결해야 할 기본적인 기능의 하나인 변화영역검출 알고리즘을 적용한 병렬 영상처리 시스템을 구축하고 실험에 의하여 시스템의 유효성을 검증한다.

II. 영상처리 기법의 병렬화와 병렬처리 네트워크

1. 트랜스퓨터의 특징

본 연구에 사용하는 트랜스퓨터는 병렬처리 컴퓨터용 멀티프로세서로서 단일 프로세서에 의하여 병렬처리가 가능하도록 구현되어 있으며 가격 대 성능비가 우수한 프로세서이다. 표 1에 본 연구에 사용한 트랜스퓨터(T800, 20MHz)의 제원을 나타낸다.

표 1. 트랜스퓨터(T800, 20MHz)의 제원.

Table 1. Specification of transputer(T800, 20MHz).

Data Bus	32bit	External Memory Access	3Tc
Memory	4M	Internal Memory Access	1Tc
Address Data Bus	Multiplex	FPU	1ea
Internal Memory	4K	Serial Link	4ch

프로세서를 연결함으로써 다양한 시스템 토폴로지(topology)의 구성이 가능하다는 것이다. 적용 알고리즘에 따라 파이프라인 구조, 링 구조, 트리 구조, 메쉬 구조, 하이퍼큐브 구조와 같은 토폴로지의 구현이 가능하여 해당 문제에 가장 적절한 네트워크를 구성 할 수 있으며, 프로세서의 확장으로 간단히 대규모의 병렬처리 컴퓨터를 구성할 수 있다.

적용 알고리즘의 작업을 분배하여 병렬로 실행 할 때 분할된 프로세스간의 자료 교환은 동일한 프로세서에 할당된 경우에는 같은 기억공간 안의 내부 채널(DMA전송)을 이용하고 다른 프로세서에 할당된 경우에는 외부 채널(1740KB/sec)을 이용하여 자료를 교환한다. 이때 모든 프로세스는 양방향 통신링크를 가지고 있어 다른 프로세스와 point-to-point 방식으로 채널을 연결하여 데이터를 교환한다.

2. 영상처리 기법의 병렬화

영상처리 기법의 병렬화는 통신량의 비율이 크고 순차적인 경향을 가진다. 이러한 영상처리 기법의 병렬화에 있어서의 특수성은 프로세서간은 물론 분할된 각각의 프로세스간의 통신량, 부하 등의 문제를 고려한 네트워크의 구성과 통신 방식의 선정을 필요하게 한다.

프로세스간의 통신은 공유 변수(공유 메모리)와 메시지 전송이라는 두 종류의 통신모델로 분류된다[11]. 공유 변수에 의한 프로세스간의 통신은 송신 프로세스가 데이터를 특정의 공유 변수에 쓰고 수신 프로세스가 그 공유 변수를 읽어 들이는 방식이다. 그러나 이 방식은 데이터의 전송과 동기가 독립적으로 일어나기 때문에 동기 조장을 명시하여야 하며 제어정보는 다른 경로를 통하여 직접 전달하여야 한다. 또한 영상처리에서와 같이 데이터의 종속성이 있는 경우는 적합하지 않다.

메시지 전송 방식은 직접 프로세서간에 데이터를 이동시키는 전송방식으로 데이터 및 제어정보 모두 동일선로를 통하여 전달된다[11][16]. 이 방식에 의한 프로세스간의 통신은 실현이 용이하며 실행효율이 뛰어난 장점을 가지고 있다. 그러나 메시지 전송 방식을 이용한 병렬처리 시스템의 경우, 전송에 의한 오버헤드(overhead)가 생겨 그만큼의 성능 저하가 발생한다. 트랜스퓨터에 의한 병렬 시스템을 구축한 경우, 선형적인 성능 향상이 얻어지지 않는 문제는 기본적으로 이 점에 집약된다.

병렬 시스템에서의 통신의 오버헤드에 의한 성능 저하를 방지하기 위해 본 연구에서는 각각의 프로세서 및 분할된 프로세스에 기본적으로 그림 1에 보이는 통신 프로세스와 계산 프로세스를 두고 각각이 동기를 취하면서 독립하여 병렬로 동작하도록 하였다. 통신 프로세스와 계산 프로세스에 의한 병렬 시스템의 구성은 다른 프로세서간 및 프로세스간의 통신 성립까지는 계산 프로세스만을 실행하기 때문에 항상 CPU의 자원을 100% 사용할 수 있으며 이와 같은 구성은 deadlock free한 네트워크의 구성이 가능하다. 아울러, 통신은 그림 2의 프로토콜(protocol)에 의하여 지정한 채널에서 지정한 채널로 처리결과의 전달을 실현하게 하였다.

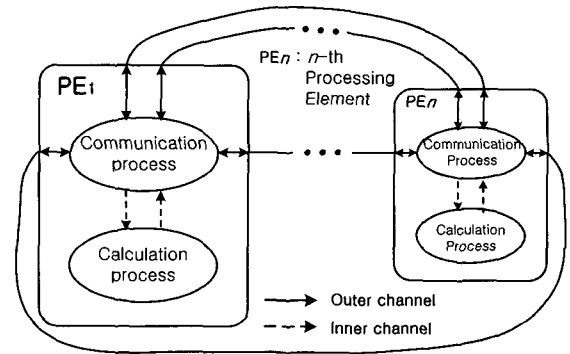


그림 1. 통신 프로세스와 계산 프로세스에 의한 병렬 네트워크의 구성.

Fig. 1. Process planning for communication and calculation in network system.

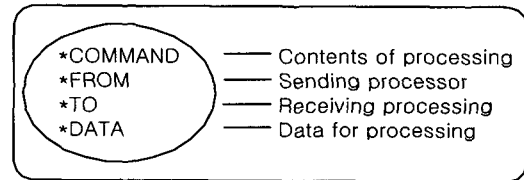


그림 2. 통신 프로토콜.

Fig. 2. Communication protocol.

또한 병렬 네트워크의 구성에 있어서도 영상처리 기법의 병렬화의 특수성을 고려하여 통신량의 삭감, 부하의 균등화 및 통신에 의한 지연의 저감에 특히 유의하였다.

3. 병렬 영상처리 네트워크의 구성

다수의 멀티프로세서를 이용하는 병렬처리 네트워크에서는 처리의 고속화, 고기능화를 위하여 처리내용에 대응하여 네트워크를 동적으로 고쳐서 목표로 하는 처리에 최적한 구조의 네트워크를 재구성할 수 있다. 영상처리에 적합한 병렬 네트워크의 구성 방식으로는 그림 3의 파이프라인 처리방식과 병렬분산 처리방식으로 대표된다[5][6][11].

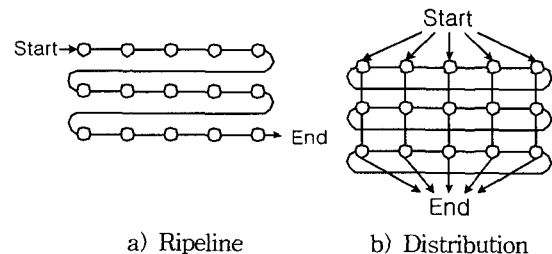


그림 3. 영상처리 시스템을 위한 대표적인 네트워크의 구성방식.

Fig. 3. Typical network topology used in image processing.

3.1 파이프라인 처리방식

영상의 근변 연산 등을 다단의 연산처리 단위로 분할하

고 분할한 처리를 각 프로세서에 할당하여 흐름 작업적으로 실행함에 의하여 처리속도를 향상시키는 구성에 의한 처리방식이다. 단 각 처리에서의 계산에 필요한 부하를 평균화 할 필요가 있으므로 부하의 분산을 효율적으로 행할 수 있는 환경 및 프로그래밍 기술이 요구된다. 따라서 복수의 처리단위로 분할할 수 없는 처리와 처리량의 평균화가 곤란한 처리에는 적합하지 않다.

3.2 병렬분산 처리방식

처리의 대상이 되는 화면을 각각 독립한 처리단위로 분할하고 이 처리단위를 각각의 프로세서에 분담하여 분산 처리함에 의하여 처리속도를 향상시키는 구성에 의한 처리방식이다. 분할하는 개수가 많게 되면 프로세서간의 통신에 시간이 걸려 속도의 향상은 기대할 수 없다. 이 때문에 프로세서간의 통신에 대기시간이 생기지 않도록 하는 분할처리의 기술이 필요하게 된다. 또한 각각의 처리단위가 독립적으로 계산할 수 없는 처리에는 적합하지 않다.

상기의 두 가지 처리방식은 제각기 장단점이 있어 영상 처리 기법의 병렬화의 특수성을 고려하여 두 방식을 결합하여 장점은 살리고 단점은 보완하는 구성을 하였다. 즉 전체의 처리를 복수의 그룹에 의한 병렬분산 처리방식으로 구성하고 각각의 그룹을 파이프라인 처리방식에 의해 실행되도록 하였다. 이와 같은 구성은 기존의 연구가 특정의 한가지 방식에 의한 병렬처리에 중점을 두고 있는 것과 차이가 있다.

4. 병렬 영상 입력 장치

복수의 멀티프로세서를 이용한 병렬처리 네트워크에서는 하드웨어 구성이 구축되는 일없이 소프트웨어에 의해 유연히 대처할 수 있다. 그러나 방대한 영상 데이터를 취급하는 영상처리 시스템에서는 입력되는 영상 데이터의 구조와 입력속도에 의하여 하드웨어의 구성이 제한 받게 되며 이로 인하여 전체 시스템의 처리속도 및 성능에 악영향을 미친다. 이 때문에 영상처리를 위한 병렬 네트워크의 구성에는 새로운 기능을 갖춘 영상 입력 장치의 개발이 필요하다[12][13]. 영상 입력 장치의 필요한 기능으로서의 유연한 병렬처리 네트워크의 구성이 가능할 것, 다양한 구조의 영상 데이터를 고속으로 얻을 수 있을 것, 그리고 시

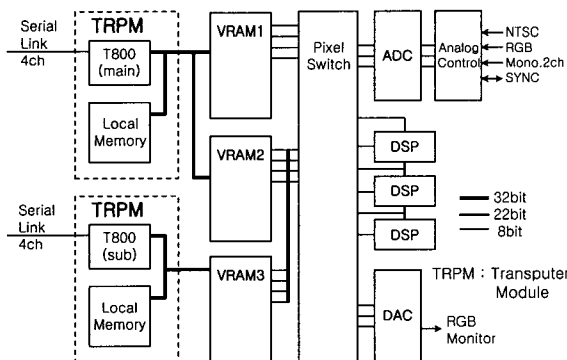


그림 4. 병렬 영상 입력 장치의 블록도.
Fig. 4. Block diagram of parallel image input device.

스템의 확장성이 있을 것 등을 들 수 있다.

이상의 기능을 고려하여 병렬 영상 입력 장치를 개발하였다. 그림 4에 병렬 영상처리 시스템 구축을 위하여 개발한 병렬 영상 입력 장치의 구성도를 나타낸다.

카메라로부터 취득된 아날로그 영상은 A/D변환기에 의해 디지털 영상 데이터로 변환되며, 이 영상 데이터는 픽셀 스위치에 연결되어 VRAM1 또는 VRAM2에 입력된다. 이때 병렬 영상 입력 장치의 메인 프로세서 내에는 팜 웨어(farm ware) 프로세스 및 유저(user) 프로세스의 2개의 프로세스가 동시에 실행되어 호스트 컴퓨터와 서로 통신을 하면서 데이터나 명령어를 주고받으며 유저 명령어의 설정에 의하여 DSP를 이용하여 필터링 처리를 한다. 병렬 영상 입력 장치를 제어하는 팜 웨어 프로세스는 유저 프로세스에서 팜 웨어 프로세스와의 접속채널(내부)을 경유하여 명령에 따라 팜 웨어가 H/W를 컨트롤하여 동작의 내용을 변경하는 구성으로 되어있다. VRAM3는 VRAM2와 시리얼 포트가 서로 접속되어 있어 VRAM2의 데이터가 VRAM3에도 입력된다.

본 병렬 영상 입력 장치의 주요한 특징은 이하와 같다.

- 복수(현재 2매)의 내장 프로세서(on board processor)에 의한 병렬처리가 가능.
 - 영상 데이터를 동시에 6개의 프로세서로 병렬 전송 가능.
 - 입력하는 영상의 크기를 중형의 화소수로 지정하여 제어하는 것이 가능
 - 3개의 DSP에 의해 3프레임(frame)의 7×3화소, 혹은 1프레임의 7×9 화소의 필터링(filtering) 처리를 실시간(video rate, 30매/초)으로 처리 가능.
 - VRAM, DSP, 내장 프로세서 등은 확장성을 가지고 있어 처리목적과 처리내용에 따라 유연한 대응이 가능.
- 이들 기능에 의해 하드웨어의 구성이 구축되는 일없이 자유로운 네트워크의 구성이 가능하다. 또한 본 장치의 병렬 전송 기능 및 확장성은 동일 영상을 이용한 다른 정보를 동시에 획득할 수 있으므로 시스템의 목적에 따라 유연한 병렬 영상처리 시스템을 구축할 수 있다.

5. 병렬 영상처리 시스템의 개요

본 연구에 이용하는 병렬 영상처리 시스템의 전체 구성

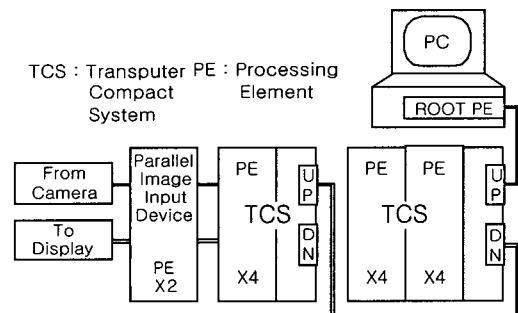


그림 5. 병렬 영상처리 시스템의 구성.
Fig. 5. Hardware configuration of parallel image processing system.

은 그림 5에 보이는 것과 같이 병렬 영상 입력 장치와 트랜스퓨터 12매 및 호스트 컴퓨터와 이에 장착된 루트 트랜스퓨터의 최대 15개의 트랜스퓨터로 구성하였다.

호스트 컴퓨터는 man-machine interface로서 기능하며 루트 트랜스퓨터는 프로그램을 서브 트랜스퓨터에 다운로드하는 기능과 처리된 데이터를 보존하는 기능을 한다. 그리고 영상입력 및 전처리를 행하는 병렬 영상 입력 장치, 특징추출 및 인식 등을 행하는 서브 트랜스퓨터에 의한 고차 처리부로 구성된다.

III. 병렬 영상처리를 위한 변화영역 검출법

병렬 영상처리 시스템의 성능평가에는 영상처리의 분야에서 해결하려고 하는 물체인식 시스템이 필요로 하는 가장 기본적인 기능의 하나인 변화영역 검출법을 이용한다. 변화영역 검출법은 처리의 대상이 되는 정경영상(배경영상)과 현 시각에 획득한 영상(입력영상)과의 사이에 의미있는 차이가 있는 영역(변화영역)의 존재유무를 판정하고 그 영역을 검출하는 기법이다[14][15].

여기에서 이용하는 변화영역 검출법은 그림 6에 나타낸 바와 같이 장치의 내부에 배경영상을 기억하여 두고 배경

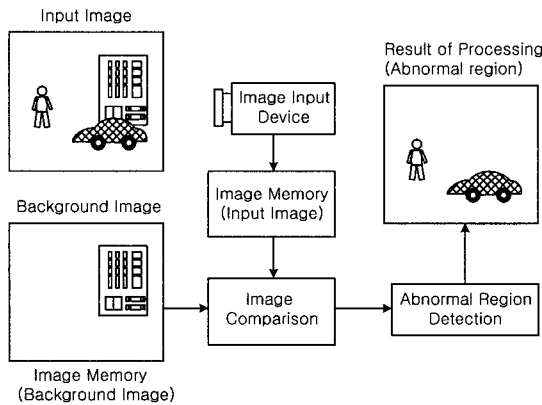


그림 6. 변화영역 검출법의 원리.
Fig. 6. Primitive mechanism of abnormal region detection.

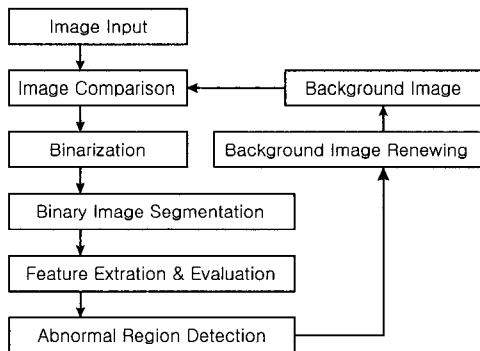


그림 7. 변화영역 검출법에 대한 처리의 흐름도.
Fig. 7. Processing flow of abnormal region detection.

영상과 입력영상과를 각 화소 별로 비교하여 차이가 있는 화소의 집합으로서 변화영역을 검출하고 특정의 요인(여기서는 물체의 출현의 여부를 가정하였음.)에 의한 영역만을 식별하는 방법이다. 이 기법은 자동감시, 인원수 파악, 상태인식 등의 자동화 시스템으로의 매우 넓은 응용범위를 가지고 있다. 그림 7에 변화영역 검출법에 대한 처리의 흐름도를 보인다.

IV. 병렬 영상처리 시스템의 구성

본 논문에서 이용한 영상처리 기법의 병렬처리 프로그램은 병렬처리용 기술 언어 Occam에 의해 작성하고, 15대의 트랜스퓨터로 구성된 병렬 네트워크 상에서 처리를 실시하였다[16][17]. III절에서 설명한 변화영역 검출법을 병렬화하여 병렬처리 네트워크 상에서 실행하는 경우, 전체 알고리즘을 5개의 처리단계로 나누어 각각의 처리단계 및 전체 시스템으로서의 병렬 네트워크를 구성하였다.

1. 변화영역 검출법의 병렬화

병렬 네트워크의 구성은 영상 평면의 분할에 의한 통신량의 증가를 방지하기 위하여 영상평면의 분할은 행하지 않고 전체의 처리를 복수의 프로세서 그룹으로 분담시키는 병렬분산 처리방식으로 하였다. 또한 각각의 그룹을 구성하는 프로세서에는 알고리즘을 분할하고 분할된 각각의 처리단계를 할당하여 전체의 처리가 파이프라인 처리방식에 의해 실행되도록 하였다.

전체 알고리즘을 구성하는 프로세스를 최소의 단위별로 연산시간을 측정하여 각각의 프로세서에 대한 부하가 균등히 배분되도록 하였다. 각각의 프로세서에는 복수의 프로세스에 의한 구성을 통하여 항상 CPU의 자원을 100% 사용할 수 있도록 하였다. 통신에 의한 지연시간 및 대기시간의 단축을 위하여 각각의 프로세스에는 전용의 통신 프로세스와 계산 프로세스를 설정하였다. 또한 프로세서간 및 프로세서간의 통신제어가 복잡한 곳은 중계역의 통신 프로세스를 설정하여 원활한 통신을 가능하게 하였다.

그림 8에 병렬 영상처리 네트워크 시스템의 구성결과를 보인다. 영상처리 알고리즘을 각 단계별로 분할하고 파이프라인 처리에 의해 처리를 진행한다. 전체 알고리즘을 4개의 병렬분산 처리에 의하여 처리속도의 향상을 실현하였다. 또한 영상입력의 시간 간격은 전체 시스템의 처리속도에 의해 자동적으로 결정 되도록 하였다.

병렬 영상처리 시스템에 변화영역 검출법을 적용하는 경우, 전체 알고리즘을 영상입력 및 전처리부, 영상비교 및 배경영상 갱신 처리부, 2치화 계산 및 영역분할 처리부, 특징량 검출 및 인식 처리부, 결과표시 및 전체 제어부의 5개의 처리단계로 나누어 병렬화 하였으며, 이중에 영상비교 및 배경영상 갱신 처리부의 병렬구성 결과를 그림 9에 나타낸다. 그림에서 사각형은 1개의 처리단계를 나타내며, 그 안의 작은 타원은 각각 1개의 프로세스를 나타낸다. 또한, PAR은 그 전체의 처리가 동시에 병렬 실행되는 것을 나타낸다.

2. 병렬 시스템에서의 처리 흐름

4그룹의 병렬분산 처리와 파이프라인 처리에 의한 병렬

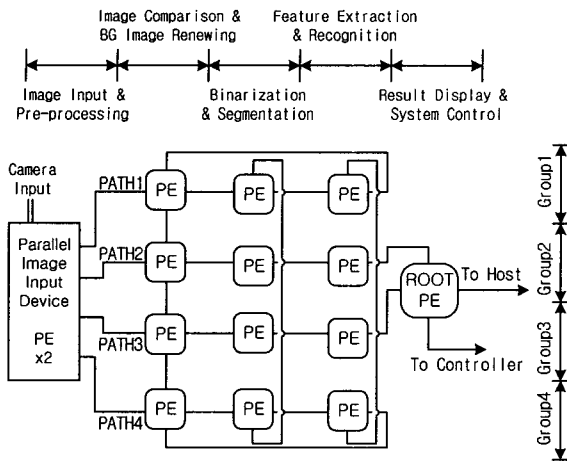


그림 8. 병렬 영상처리 네트워크 시스템의 구성 결과.
Fig. 8. Constructed parallel image processing network system.

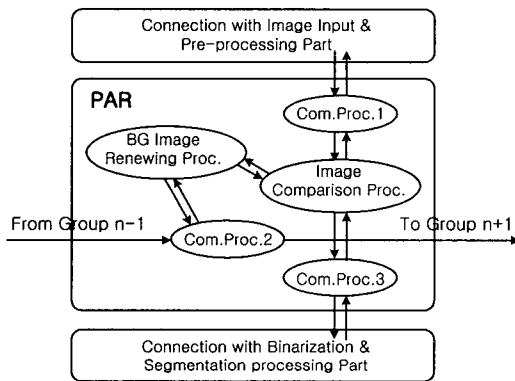


그림 9. 영상비교 및 배경영상 경신 처리부의 병렬구성의 결과.
Fig. 9. Parallel process planning of image comparison and background image renewing processing part.

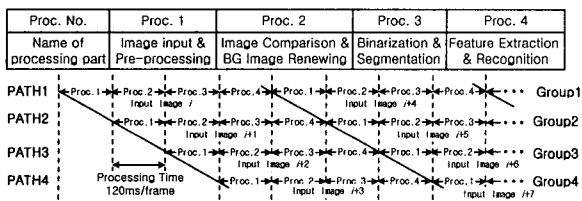


그림 10. 구축한 병렬 영상처리 시스템에서의 처리 흐름.
Fig. 10. Processing flow in constructed network system.

영상처리 시스템 상에서의 처리의 흐름을 그림 10에 나타낸다. 경로 1로부터의 입력영상 i 에 대하여 Proc. 1, Proc. 2, ...의 순서로 처리가 진행된다. 다음의 계속되는 입

력영상 $i+1$ 은 4그룹의 병렬분산 처리부에서 아직 처리가 개시되지 않은 경로 2, 입력영상 $i+2$ 는 경로 3, 경로 4의 순서(이후 순환)로 차례로 입력되어 처리된다. 이상의 처리는 4 그룹의 병렬분산 처리와 파이프라인 처리에 의해 전체 시스템은 쉬는 부분이 없이 효율 좋게 연속적으로 동작한다.

V. 병렬처리 효율의 평가 실험

구성한 병렬 영상처리 시스템의 유효성을 확인하기 위하여 변화영역 검출 알고리즘을 적용하고 실험을 실시하였다. 실험은 병렬도에 대한 처리시간을 측정하여 시스템의 병렬화에 의한 처리속도 향상의 평가를 목적으로 하는 실험(실험 I)과 변화영역 검출에서의 성능평가를 목적으로 하는 실험(실험 II)의 2가지로 나누어 실시하였다.

1. 병렬도에 의한 처리속도 향상의 평가(실험 I)

전체 시스템의 처리속도 평가의 실험에는 변화영역의 면적을 변화시켜 작성한 인공 영상을 이용하였다. 입력영상의 면적에 대한 변화영역의 면적비를 나타내는 (1)의 변화 면적율에 대한 처리속도를 측정하여 병렬도에 대한 처리시간을 비교하였다.

$$R_A = \frac{A_a}{A_i} \times 100 (\%) \quad (1)$$

여기서, A_a 는 변화영역의 면적(area of abnormal region), A_i 는 영상평면의 크기(area of image plane)이며, 그리고 R_A 는 변화영역의 전체 영상평면에 대한 비율을 나타낸다.

그림 11에 변화 면적율과 병렬도에 대한 처리 시간을 측정 한 결과를 나타낸다. 전체 1000프레임의 처리시간을 측정하여 1프레임에 대한 처리시간을 계산하였다. 그림에서 Seq.는 순차처리에 의한 1프레임당 처리시간을 P1(그룹1에 의한 처리), P2(그룹1 및 2), P3(그룹1, 그룹2 및 그룹3) 및 P4(그룹1, 그룹2, 그룹3 및 그룹4)는 각각 병렬도 1, 2, 3 및 4에서의 1프레임당 처리시간을 나타낸다. 순차 처리와 파이프라인 처리에 대한 처리시간을 비교하여 그림 12에 나타낸다. 파이프라인 처리만으로도 변화영역의 면적이 작을 경우(변화 면적율 10%이하)에는, 상당한 처리속도의 향상이 가능하였다. 그러나, 변화영역의 면적이 크게 됨에 따라 그 처리량의 증가에 의한 영향으로 처리속도의 향상은 감소되었다. 처리속도 향상비는 (2)를 이용하였다.

$$S_p = T_1 / T_n \quad (2)$$

여기서, T_1 및 T_n 는 각각 병렬도가 1 및 n 일 때의 처리시간이며, S_p 는 속도 향상비(speed-up ratio)를 나타낸다.

그림 13에 시스템의 병렬도와 변화 면적율에 대한 처리속도 향상비를 나타낸다. 그림 13에서의 결과로부터 알 수 있듯이 변화 면적율 15%에서는 거의 이상적인 속도향상의 결과가 얻어짐을 알 수 있다.

상기의 실험결과로부터 구성된 병렬 영상처리 시스템이 처리시간의 단축에 상당히 유효하다는 것을 확인할 수 있었다. 그러나, 변화영역이 작은 경우(변화 면적율 5% 이하)에는 병렬도가 높아져도 처리속도는 그다지 향상되지

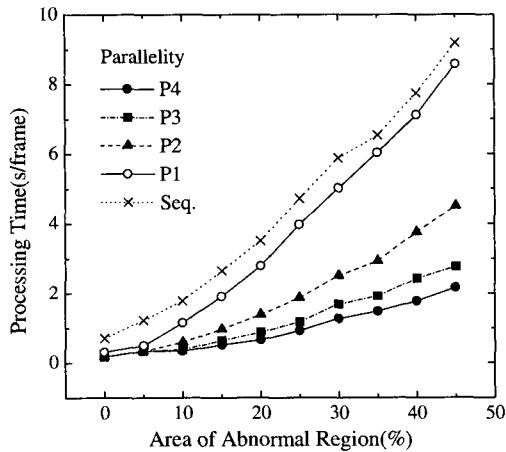


그림 11. 변화영역의 면적율과 병렬도에 대한 처리시간.
Fig. 11. Processing time correspond to area ratio of abnormal region and parallelity.

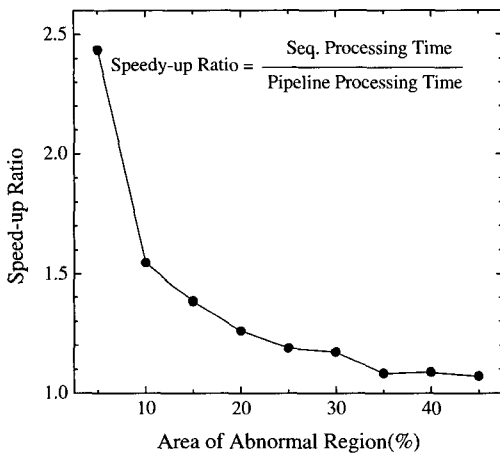


그림 12. 순차 처리와 파이프라인 처리의 속도 향상비.
Fig. 12. Speed-up ratio between sequential processing and pipeline processing.

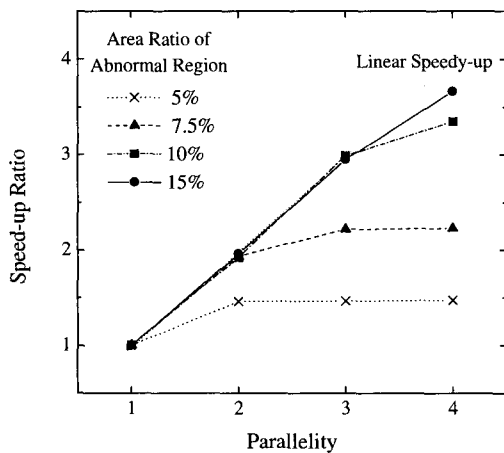


그림 13. 병렬도와 변화영역 면적율에 대한 속도 향상비.
Fig. 13. Speed-up ratio correspond to parallelity and area ratio of abnormal region.

않았다. 이것은 변화영역의 면적이 작게 될수록 1개의 프로세서에 대한 처리효율이 저하되고 동시에 처리량에 비하여 프로세서간의 통신에 필요한 통신량의 비율이 크게 되어 오버헤드의 영향이 나타나기 때문이다.

2. 변화영역 검출의 성능평가(실험II)

본 실험에서는 실제의 대상물을 선정하여 CCD 카메라로부터 입력되는 대상물의 영상 데이터를 이용하여 그 입력영상으로부터 변화영역을 검출하고 그 개수를 계측하였다. 실험은 건물을 출입하는 사람을 대상으로 가정하고, 입력된 영상 중에 사람의 유무를 판정하여, 그 계수를 행하는 것으로 하였다. 10,000프레임의 영상을 이용하여 실험을 실시하였다. 실험에서의 영상은 256×240×8bit로 양자화하였다. 전체의 계산시간으로부터 1프레임의 처리시간은 약 120ms로, 1초당 약 8프레임의 처리가 가능하였다. 이는 실험 전에 예상한 처리속도에 미치지 못한 결과로써 그 원인은 입력영상 중에 변화영역이 존재하지 않거나 혹은 존재하는 경우라도 그 면적이 작은 때가 비교적 많았기 때문이다.

실험에서 이용한 변화영역 검출 결과 영상의 예를 그림 14에 나타낸다. 물체 출현의 경우 물체의 영역을 변화영역으로써 검출하고 있다.

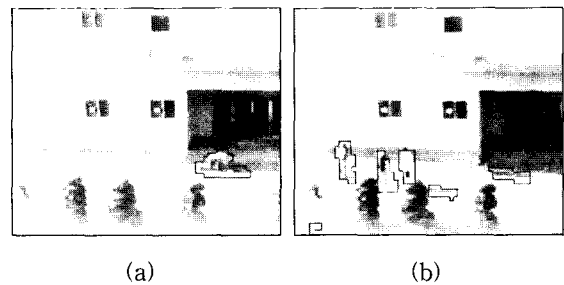


그림 14. 변화영역 검출 결과 영상의 예.
Fig. 14. Examples of result image.

상기의 실험 I 및 실험II에서의 결과는 15개의 프로세서를 이용하여 4그룹의 병렬분산 처리와 파이프라인 처리에 의해 구성된 병렬 시스템을 이용한 것이다. 본 시스템은 처리목적에 대응하여 확장성을 가지고 있으므로 프로세서의 수를 늘린다면, 영상평면 및 프로세스를 분할하지 않고도 처리속도의 향상에 의한 실시간(real-time) 처리가 가능하다. 그러나 현재의 시스템에서는 변화영역의 면적에 의하여 전체 시스템의 처리속도가 좌우되므로 보다 고속의 처리가 요구될 때는 처리의 bottleneck이 되는 영역분할처리(segmentation)에 대해서는 한 개 이상의 프로세서에 처리를 분담시키는 것이 필요하다.

VI. 결론

본 논문에서는 영상처리의 특수성을 고려한 병렬처리 시스템의 구성에 필요한 몇 가지 문제를 해결하였다. 또한, 변화영역 검출 알고리즘을 병렬 영상처리 시스템에 적용한 실험을 통하여, 구성된 병렬 영상처리 시스템의 유효성

을 검증하였다. 본 연구에 의해 얻은 결과는 다음과 같이 요약할 수 있다.

1) 병렬처리 네트워크의 구성에 있어서, 영상처리에서의 특수성을 고려하여 병렬 영상처리에 적합한 병렬 영상 입력 장치를 개발하였으며, 이를 이용하여 유연한 병렬처리 네트워크의 구성을 가능하게 하였다.

2) 파이프라인 처리와 병렬분산 처리를 합성한 병렬처리 방식에 의하여 통신량의 절감, 부하의 균등화, 통신에 의한 지연시간 및 대기시간의 저감이 가능한 병렬 영상처리 시스템을 구성하였다.

3) 실험의 결과 고속·고성능의 병렬 영상처리 시스템이 구성되었음을 확인하였다.

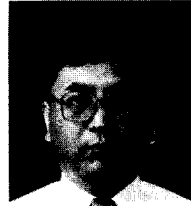
참고문헌

- [1] 권오봉, "고속 광선 추적법을 위한 멀티프로세서의 부하분산방식," 한국정보처리학회 논문집, 제6권, 제5호, pp. 1362-1372, 1999.
- [2] J. Robert Jump and Sudhir R. Ahuja, "Effective pipelining of digital systems," *IEEE Trans. on Computers*, vol. C-27, no. 9, pp. 855-865, 1978.
- [3] A. A. Amini, T. E. Weymouth, and D. J. Anderson, "A parallel algorithm for determining two-dimensional object positions using incomplete information about their boundaries," *Pattern Recognition*, vol. 22, no. 1, pp. 21-28, 1989.
- [4] H. S. Don and K. S. Fu, "A parallel algorithm for stochastic image segmentation," *IEEE Trans. Pattern Anal. Machine Intell.*, vol. PAMI-8, no. 5, pp. 594-603, 1992.
- [5] 八木伸行, 矢島亮一, "實時間動画像處理システム Picot-system," 日本情報處理學會研究會資料, PRU 88-100, pp. 3-10, 1988.
- [6] 金子正秀, 小池淳, "柔軟性を有した並列画像處理装置 FP3の構成及び處理形態," *コンピュータビジョン*, 57-5, 1988.
- [7] W. Wiwat, 石塚滿, "トランスペュータによる並列移動物体檢出," *Symp. on Advanced Image Understanding*, Tokyo, pp. 89-96, April, 1989.
- [8] R. T. Chin and H. K. Wan, "A one-pass thinning algorithm and its parallel implementation," *Comput. Vision, Graphics, Image Processing*, vol. 40, pp. 30-40, 1984.
- [9] 化田潔, 井宮涼, "Hilditchの細線化の並列處理," 日本情報處理學會研究會資料, PRU89-98, pp. 73-80, 1989.
- [10] D. Ben-Tzvi, A. Nagui, and M. Sander, "Synchronous multiprocessor implementation of the Hough transformation," *Comput. Vision, Graphics, Image Processing*, vol. 52, no. 1, pp. 437-446, 1990.
- [11] 富田眞治, 末吉敏則, "並列處理マシン," オーム社, 1989.
- [12] 朴東宣, 李俊煥, "영상처리 하드웨어," 전자공학회지, 제21권, 제10호, pp. 1029-1035, 1994.
- [13] 孔泰鎬, 金南哲, "多機能 映像處理 시스템의 하드웨어具現," 전자공학회논문집, 제24권, 제2호, pp. 315-323, 1987.
- [14] 安居院猛, 齊藤智明, 中嶋正之, "動画像を用いた移動人物抽出," 日本電子情報通信學會春季全國大會講演集, SD-11-5, 1990.
- [15] 川端敦, 谷藤眞也, 諸岡泰男, "移動物體像の抽出技術," 日本情報處理學會論文集, vol. 28, no.4, pp. 395-402, 1987.
- [16] INMOS Limited, "Transputer development system 2.0," *Beta 2 documentation*.
- [17] INMOS Limited, "Transputer reference manual", Prentice Hall, 1986.



서 원 찬

1963년 2월 1일생. 1988년 부산수산대학교(현 부경대학교) 졸업(학사), 1992년 일본 Osaka대학 대학원 생산가공공학과 졸업(석사), 1995년 일본 Osaka대학 대학원 생산가공공학과 졸업(박사), 1998년~현재 부경대학교 공과대학 생산가공공학과 교수, 관심분야는 시각센서 시스템, 자동화 시스템.



김 우 열

1948년 7월 4일생. 1975년 부산대학교 졸업(학사), 1981년 동대학 대학원졸업(석사), 1992년 동대학 대학원 졸업(박사), 1978년~현재 부경대학교 공과대학 생산가공공학과 교수, 관심분야는 접합 시스템 및 자동화 시스템.



조 강 현

1964년 3월 19일생, 1989년 부산대학교 정밀기계공학과 졸업(학사), 1993년 일본 Osaka대학 대학원 전자제어기계공학과 졸업(석사), 1997년 Osaka대학 대학원 전자제어기계공학과 졸업(박사), 1997년~1998년 ETRI 시스템공학연구소 포스트닥터 연구원, 1998년~현재 울산대학교 공과대학 제어계측공학과 교수, 관심분야는 컴퓨터 비전, 휴먼컴퓨터인터랙션(HCI), 지능시스템 제어.