
단정도/배정도 승산을 위한 200-MHz@2.5-V 이중 모드 승산기

이종남*, 박종화*, 신경욱**

A 200-MHz@2.5-V Dual-Mode Multiplier for Single /Double-Precision Multiplications

Jong-Nam Lee, Jong-Hwa Park, Kyung-Wook Shin

본 논문은 금오공과대학교 학술 연구비(1999년도 자유공모과제) 지원과 반도체설계교육센터 (IDEC)의 CAD Tool 지원에 의한 연구결과와 일부임.

요 약

단정도 (single-precision) 승산과 배정도 (double-precision) 승산을 연산할 수 있는 이중 모드 승산기 (dual mode multiplier; DMM)를 0.25- μm 5-metal CMOS 공정으로 설계하였다. 단정도 승산기 회로를 사용하여 배정도 승산을 연산할 수 있는 효율적인 알고리즘을 제안하였으며, 이는 배정도 승산을 4개의 단정도 부분 승산으로 분할하여 순차적인 승산-누적 연산으로 처리하는 방법을 기초로 한다. 제안된 방법은 배정도 승산기에 비해 latency와 throughput cycle은 증가하나, 회로 복잡도를 약 1/3로 감소시킬 수 있어 칩 면적과 전력소모 측면에서 장점을 갖는다. 설계된 DMM은 radix-4 Booth recoding과 redundant binary (RB) 연산을 적용하여 설계된 28-b \times 28-b 단정도 승산기, 누적기 그리고 동작모드 선택을 위한 단순한 제어회로 등으로 구성되며, 약 25,000개의 트랜지스터와 0.77 \times 0.40-mm²의 면적을 갖는다. 시뮬레이션 결과, 2.5-V 전원전압에서 200-MHz의 클럭 주파수로 안전하게 동작할 수 있을 것으로 예상되며, 평균 전력소모는 배정도 승산모드에서 약 130-mW이다.

* 금오공과대학교 대학원 전자공학과 석사과정

** 금오공과대학교 전자공학부 부교수

접수일자 : 2000. 9. 1.

ABSTRACT

A dual-mode multiplier (DMM) that performs single- and double-precision multiplications has been designed using a 0.25- μm 5-metal CMOS technology. An algorithm for efficiently implementing double-precision multiplication with a single-precision multiplier was proposed, which is based on partitioning double-precision multiplication into four single-precision sub-multiplications and computing them with sequential accumulations. When compared with conventional double-precision multipliers, our approach reduces the hardware complexity by about one third resulting in small silicon area and low-power dissipation at the expense of increased latency and throughput cycles. The DMM consists of a 28-b \times 28-b single-precision multiplier designed using radix-4 Booth recoding and redundant binary (RB) arithmetic, an accumulator and a simple control logic for mode selection. It contains about 25,000 transistors on the area of about 0.77 \times 0.40mm². The HSPICE simulation results show that the DMM core can safely operate with 200-MHz clock at 2.5-V, and its estimated power dissipation is about 130-mW at double-precision mode.

I. 서론

승산기는 마이크로 프로세서 및 마이크로 컨트롤러의 부동소수점 연산기 (Floating Point Unit; FPU), 디지털 신호처리 프로세서 (Digital Signal Processor; DSP) 등의 핵심 구성요소이며, 모든 연산회로에서 필수적으로 사용되는 기본적인 연산장치이다. 최근, 디지털 통신, 멀티미디어, 영상처리, 전자회로 시뮬레이션 등 많은 계산량을 실시간으로 처리해야 하는 응용분야가 급속히 확대됨에 따라 고성능 승산기에 대한 요구가 점점 커지고 있으며, 휴대용 장비의 증가로 인한 저전력 회로에 대한 관심 또한 커지고 있다.

일반적으로, 두 이진수에 대한 승산은 부분곱 생성과 일련의 부분곱 가산과정으로 구현되므로, 승산기 operand의 비트 수가 커질수록 부분곱의 수가 증가하여 승산기 회로의 복잡도, 승산시간, 전력소모 등이 크게 증가한다. 예를 들어, DSP 및 FPU의 구성 블록들 중 승산기는 시스템 성능에 미치는 영향과 면적 및 전력소모가 가장 큰 부분으로 알려지고 있다. 따라서, 고집적/고속/저전력 승산기의 구현을 위해서는 새로운 승산 알고리즘, 승산기 구조, 회로 설계 기법 등에 대한 종합적인 고려가 필요하다.

1985년 IEEE에서 제정하여 대부분의 부동소수점 연산회로에 적용되고 있는 IEEE Standard 754-1985 [1]에 따르면, 단정도 (single-precision) 승산을 위해

서는 24-b \times 24-b 승산기가 필요하며, 배정도 (double-precision) 승산을 위해서는 53-b \times 53-b 승산기가 필요하다. 배정도 승산기는 단정도 승산기에 비해 약 4배의 복잡도를 가지므로, 칩 면적과 전력소모 측면에서 큰 부담이 된다. 따라서, 일부 DSP나 FPU에서는 고집적/저전력/저가의 배정도 승산기 구현을 위해 배정도 승산을 2~4개의 부분 승산으로 분할한 후 1개의 부분승산을 처리하는 하드웨어를 사용하여 승산-누적하는 방법을 사용하고 있다 [2,3,4]. 그러나 이러한 방법들은 피승수 (multiplicand)는 그대로 유지하면서 승수 (multiplier)만을 분할하고 부분 승산된 값을 두개의 벡터 즉, carry 벡터와 sum 벡터로 저장하기 때문에 부분 승산된 값을 더하는 과정에서 적지 않은 하드웨어를 필요로 하고, 단정도 승산이 필요한 경우, 배정도 승산기를 그대로 사용하여야 하기 때문에 불필요한 전력 소모나 동작 속도의 지연을 가져온다.

본 논문에서는 이와 같은 기존의 방법이 갖는 단점을 개선하기 위해 칩 면적과 전력소모를 줄이면서 24-b \times 24-b 단정도 승산과 53-b \times 53-b 배정도 승산을 선택적으로 연산할 수 있는 새로운 이중 모드 승산 알고리즘을 제안하고, 이를 적용한 회로설계를 기술하고자 한다. 본 논문에서 제안하는 이중 모드 승산기 (Dual-Mode Multiplier; DMM)는 radix-4 Booth 알고리즘, redundant binary (RB) 수치계 [5]와 Wallace tree 구조를 이용하여 설계된 28-b \times 28-b 단정도 승산기를 기본으로 하여 구성된다. 또한, 분할

된 4개의 단정도 부분 승산 (sub-multiplication) 결과들을 순차적으로 가산하기 위한 누적기 (accumulator)와 shifter 등의 추가적인 회로를 포함하고 있으며, 외부에서 인가되는 단정도/배정도 승산 선택신호에 의해 내부 구조가 재구성되도록 설계되었다.

2장에서는 본 논문에서 제안하는 새로운 이중 모드 승산 알고리즘을 기술하며, 3장에서는 제안된 알고리즘을 적용한 이중 모드 승산기의 구조와 회로 설계, 그리고 0.25- μm 5-metal CMOS 공정을 이용한 시뮬레이션 결과 및 레이아웃 설계 등에 관해 기술한다.

II. 이중 모드 승산 알고리즘

2.1 IEEE 부동소수점 표준

1985년 IEEE에서 정한 부동소수점 표준 [1]에서 단정도 또는 배정도 표현은 그림 1에 보인 바와 같이 다음의 3가지로 구성된다.

- 1 비트 부호 s
- Bias된 지수 e = E + bias
- 가수 $f = .b_1 b_2 \dots b_{p-1}$



Single Precision



Double Precision

s = sign, e = exponent, f = fraction

그림 1. IEEE 표준 단정도/배정도 형식

Fig. 1. IEEE standard for single- and double-precision formats

p는 단정도의 경우 24, 배정도의 경우는 53이다. 실제의 값(v)은 식(1)과 같이 표시된다.

$$v = (-1)^s \cdot 2^E \cdot (1.f) \dots \dots \dots (1)$$

2.2 이중 모드 승산 알고리즘

각각 2n 비트인 두 이진수 A와 B는 식(2)와 같이 표현될 수 있으며,

$$A = \sum_{i=0}^{2n-1} a_i \cdot 2^i = \sum_{i=0}^{n-1} a_i \cdot 2^i + \sum_{i=n}^{2n-1} a_i \cdot 2^i = A_H \cdot 2^n + A_L$$

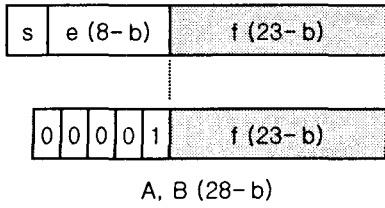
$$B = \sum_{i=0}^{2n-1} b_i \cdot 2^i = \sum_{i=0}^{n-1} b_i \cdot 2^i + \sum_{i=n}^{2n-1} b_i \cdot 2^i = B_H \cdot 2^n + B_L$$

..... (2)

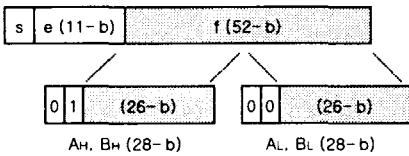
A와 B의 승산은 식(3)과 같이 부분 승산 4개의 합으로 표현될 수 있다.

$$\begin{aligned} A \times B &= (A_H \cdot 2^n + A_L) \times (B_H \cdot 2^n + B_L) \\ &= A_H \cdot B_H \cdot 2^{2n} + A_H \cdot B_L \cdot 2^n \dots \dots \dots (3) \\ &\quad + A_L \cdot B_H \cdot 2^n + A_L \cdot B_L \end{aligned}$$

식(3)을 배정도 승산에 적용하면 각각 2n 비트인 두 이진수의 승산을 각각 n 비트인 두 이진수의 승산 4개의 합으로 표현할 수 있으며, 각각 n 비트 보다 작은 비트 수를 갖는 단정도 승산을 1개의 부분 승산으로 표현할 수 있다. 그러므로 부분 승산된 값의 출력방법에 따라 배정도 승산 모드, 단정도 승산 모드로 구분될 수 있다. 이러한 이중 모드 승산을 위해서는 배정도 승수(피승수)와 단정도 승수(피승수)가 같은 입력 형식으로 변환되어야 하며 그림 2에 이러한 이중 모드 승산을 위해 변환된 입력 형식을 나타내었다. 배정도 승수(피승수)인 경우, 가수가 52 비트이므로 26 비트씩 둘로 나누어졌으며, 표준 형식에 표현되어 있지 않지만 연산시에는 필요한 소숫점 위 비트를 나타내기 위해서 A_H 와 B_H 에 1 비트가 추가되었으며, radix-4 Booth 알고리즘을 구현하기 위해선 입력이 짝수 비트가 되어야 하므로 1 비트가 더 추가되어 이중 모드 승산기의 입력은 28 비트로 구성된다. 사실 추가된 2 비트는 정규화된 수 (normalized number)의 배정도/단정도 연산만 고려하면 하드웨어적으로 처리가 가능하여 입력을 26 비트로 구성하는 것이 가능하지만, 비정규화된 수 (denormalized number) 및 integer 연산을 고려하여 28 비트로 구성하였다.



(a) single-precision format



(b) double-precision format

그림 2. 이중 모드 승산을 위한 입력 변환
Fig. 2. Input format Conversions for DMM

본 논문에서 제안되는 이중 모드 승산기는 그림 2에 보인 바와 같이 승수와 피승수가 모두 28 비트인 $28-b \times 28-b$ 승산기를 기본으로 하여 구성되며, 단정도 승산은 한번의 승산으로, 배정도 승산은 부분 승산 4개의 합으로 얻어진다. 배정도 승산인 경우, 식 (3)에서 볼 수 있듯이 부분 승산된 값에 2^{2n} 및 2^n 이 곱해지는 항이 있으므로 이를 먼저 부분 승산 결과에 곱한 후 가산되어야 하며, 이러한 부분 승산 결과를 가산하는 방법은 순서에 따라 가산기 및 주변회로의 동작범위 및 전력소모에 영향을 주므로 이를 최소화하도록 그림 3과 같이 하위 비트부터 연산되도록 설계하였다.

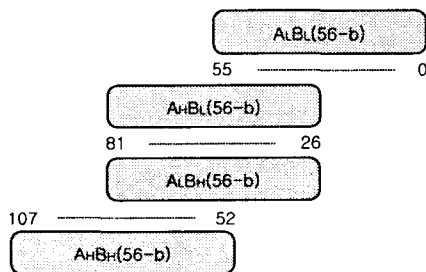
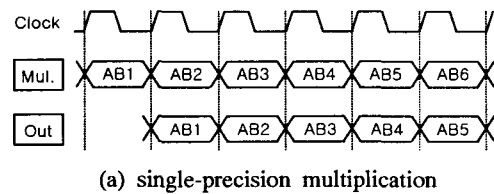
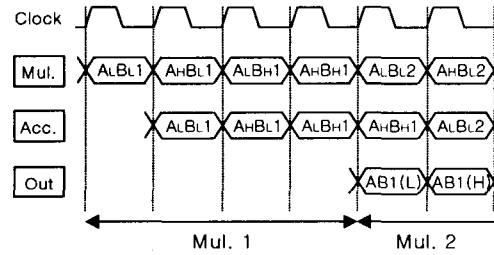


그림 3. 배정도 승산을 위한 4개의 부분승산 결과의 가산 방법
Fig. 3. Addition scheme of four submultiplications for double-precision multiplication

본 논문에서 제안되는 이중 모드 승산기는 배정도 승산과 단정도 승산을 효과적으로 선택할 수 있기 때문에 단정도 승산 시, 배정도 승산기를 그대로 사용하는 기존의 방식 [2,3,4]보다 효율적인 연산이 가능하며 적은 전력소모 특성을 갖는다. 그림 4는 배정도 승산과 단정도 승산의 동작순서를 나타내고 있다. 배정도 승산인 경우, latency와 throughput은 각각 4-cycle이며, 단정도 승산인 경우는 latency와 throughput이 각각 1-cycle이다.



(a) single-precision multiplication



(b) double-precision multiplication

그림 4. 이중 모드 승산기의 동작순서
Fig. 4. Multiplication sequence of the DMM

III. 회로 설계

3.1 아키텍처 개요

II장에서 제안된 방식을 적용한 이중 모드 승산기의 전체적인 구조는 그림 5와 같으며, 설계시 가용한 pin수의 제한으로 모든 입/출력을 동시에 처리할 수 없어 부가적인 회로를 추가하여 순차적으로 처리되도록 하였다. 이중 모드 승산기의 전체적인 구조는 다음과 같이 크게 6개의 기능블록으로 구성된다. radix-4 Booth 리코딩을 통해 7개의 RB 부분곱을 생성하는 블록, 생성된 RB 부분곱을 가산하는 부분곱 가산블록, 가산된 최종결과를 2진 수치계로 변환하기 위한 수치계변환 (RB-to-Binary

Converter; RB2BC) 블록, 배정도 승산 시 4개의 부분 승산된 값을 더하기 위한 누적기 블록, 모드에 따른 출력을 내보내기 위한 MUX 블록 및 외부에서 인가된 모드 선택 신호에 의해 내부회로를 재구성하고, 배정도 승산시, 부분 승산 결과의 가산을 제어하기 위한 제어 블록으로 구성된다.

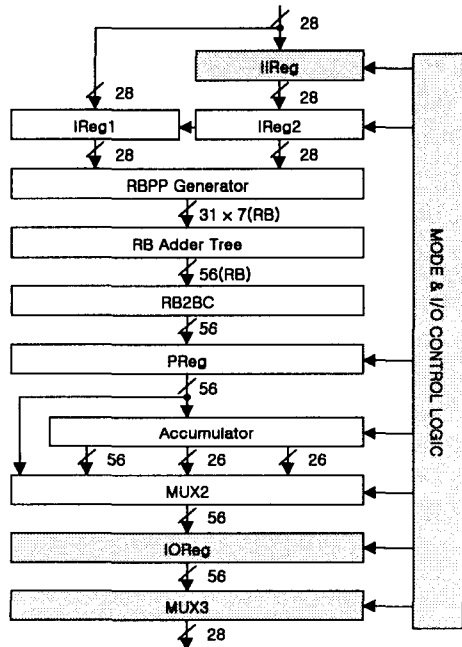


그림 5. 설계된 이중 모드 승산기의 구조
Fig. 5. Architecture of the designed DMM

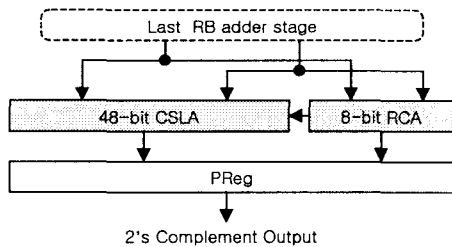
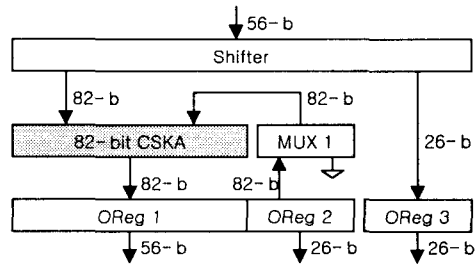


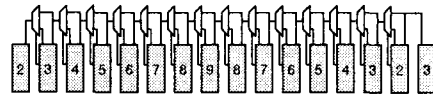
그림 6. RB2BC의 구조
Fig. 6. Block diagram of the RB2BC

본 논문에서는 RB2BC가 부분 승산마다 연산되도록 설계되어 배정도 승산 시 부분 승산된 결과를 두 개의 벡터 즉, carry 벡터와 sum 벡터로 저장하

는 기존의 방식에 비해 동작속도가 다소 느려지나, 부분 승산된 값을 누적하기 위해 필요한 하드웨어를 1/2이상 감소시킬 수 있었으며, 단정도 승산은 매 클럭마다 연산이 가능하게 되었고, 단정도 승산 시 누적기 블록을 차단하여 불필요한 전력소모를 줄일 수 있었다. 그림 6은 RB2BC 블록을 나타내며, 면적과 속도를 최적화하기 위하여 ripple-carry adder (RCA)와 carry-select adder (CSLA)가 혼합된 구조를 사용하였다.



(a) Accumulator



(b) 82-b carry-skip adder (CSKA)

그림 7. 누적기의 구조

Fig. 7. Block diagram of accumulator

3.2 부분 승산 누적회로

부분 승산 누적회로는 배정도 승산시에만 4개의 부분 승산된 값을 누적하는 기능을 수행하며, 그림 7(a)와 같이 shifter, 82-b carry-skip adder (CSKA), MUX, register로 구성된다. shifter는 그림 3에서 언급하였듯이 부분 승산된 값이 가산되기 전에 2^{2n} 및 2^n 을 곱하는 기능을 수행하며, 단정도 승산시, 누적기로의 모든 입력을 차단하는 역할을 하여 이중 모드 승산기가 저전력 특성을 갖도록 한다. MUX는 누적기의 reset 기능을 수행한다. 그림 3에서 첫번째로 부분 승산된 $A_L B_L$ 의 하위 26 비트는 가산과정이 필요 없으므로 부분 승산된 결과를 순차적으로 가산하여 108 비트 출력을 얻는데 82 비트 가산기가 사용되었으며, 그 구조는 그림 7(b)와 같이 전체 이중 모드 승산기의 동작특성을 고려하여 면적과 연산 속

도가 최적화 되도록 하나의 캐리 전달 경로를 갖는 82 비트 carry-skip adder를 사용하였고, 이로 인해 누적기가 차지하는 면적을 최소화하였다. 블록 안에 표시된 숫자는 블록의 가산기 비트수를 나타낸다. register는 순차적으로 더해진 중간 결과를 저장하는 기능을 수행하며, 부분 승산된 결과가 가산되는 과정을 고려하여 register의 동작을 세분화함으로써 전력 소모를 줄이도록 설계되었다.

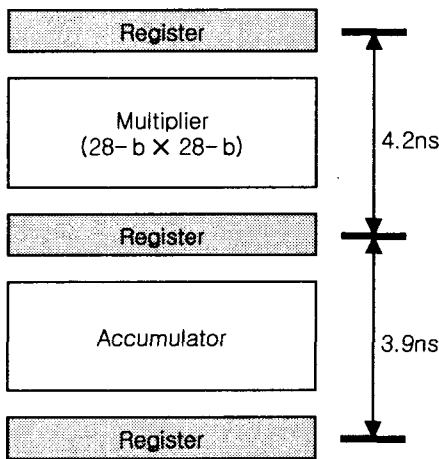


그림 8. 설계된 이중 모드 승산기의 critical path 지연시간

Fig. 8. Critical path delay of the designed DMM

3.3 모드 및 입/출력 제어 회로

모드 및 입/출력 제어 회로는 외부에서 인가된 모드 선택 신호에 의해 단정도 및 배정도 승산모드를 결정하고, 승산모드에 따라 register, shifter 및 MUX등의 제어신호를 발생하는 블록이다. 그림 4의 배정도 승산 동작순서에서는 4-cycle 단위로 제어신호를 발생하지만 설계된 칩의 가용한 pin수의 제한으로 모든 입/출력을 동시에 처리할 수 없어 외부에서 주어진 clock 신호에 따라 6-cycle 단위로 발생하며, 주로 입/출력의 순서 및 부분 승산된 결과의 누적연산을 제어한다. 또한, 단정도 승산 모드인 경우에는 부분 승산 누적회로가 불필요하므로 모든 제어 신호를 차단하여 불필요한 전력 소모가 없도록 설계되었다.

3.4 시뮬레이션 및 레이아웃 설계

설계된 회로는 Mentor에서 VHDL로 모델링하여 블록 설계 및 1차 논리 검증을 수행하였고, 0.25- μ m 5-metal CMOS 공정 파라미터와 timemill을 사용하여 2차 논리 검증을 수행하였다. 전체 회로의 최악지연경로는 HSPICE를 이용하여 시뮬레이션하였고 그 결과는 그림 8과 같이 부분 승산 블록이 4.2-ns, 부분 승산 누적블록이 3.9-ns로써 부분 승산 블록에 의해 동작속도가 결정됨을 알 수 있다. 시뮬레이션 결과에 의하면, 설계된 이중 모드 승산기는 2.5-V 전원전압에서 약 200-MHz 속도로 동작할 수 있을 것으로 예상되며, powermill을 사용하여 측정된 전력소모는 배정도 승산 모드에서 약 130-mW로 추정되었다. 표 1은 설계 결과를 요약한 것이다.

표 1. 이중 모드 승산기의 주요 특성

Table 1. Summary of the DMM

Technology	0.25- μ m 5-metal CMOS
Transistor count	25,300
Active area	0.77 \times 0.40 mm ²
Operating clock frequency	200-MHz @2.5-V
Power dissipation	130mW @2.5V, 200MHz
Layout density	82.2k Transistors/mm ²
Supply voltage	Core : 2.5-V, I/O : 3.3-V
I/O pins	Input : 28 , Output : 28 clock, reset, mode : 3 Power : 5

레이아웃 설계는 Cadence 레이아웃 편집기를 사용하여 full custom 방식으로 수행하였으며, 설계 규칙검사 (Design Rule Checking : DRC) 및 LVS (Layout Versus Schematic) 검사 등을 통하여 설계의 정확성을 검증하였다. 설계된 회로는 약 25,000 개의 트랜지스터로 구성되며, 코어 부분의 면적은 약 0.77 \times 0.40 mm²이다. 그림 9는 0.25- μ m 5-metal CMOS 공정으로 제작된 칩의 확대사진이다. IMS

ATS2를 이용한 테스트 결과로부터 칩이 정상적으로 동작함을 확인하였으며, Schmo plot은 그림 10과 같다. 2.5-V의 전원전압에서 약 45-MHz로 동작하여 시뮬레이션 결과와 차이를 보였으나, 칩 내부의 출력버퍼의 크기가 작게 설계되어 테스트 장비에 의한 부하를 충분히 구동하지 못한 것이 주된 원인으로 분석되었다.

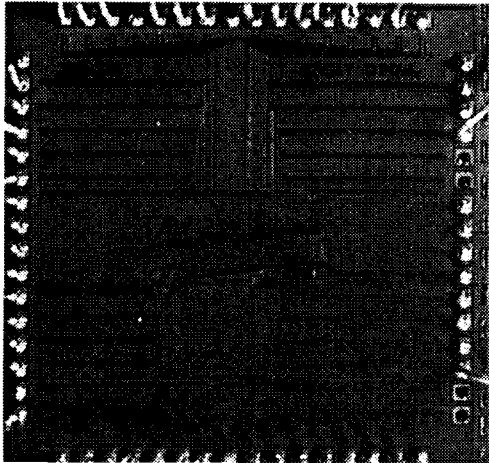


그림 9. 제작된 칩의 확대 사진
Fig. 9. Chip microphotograph

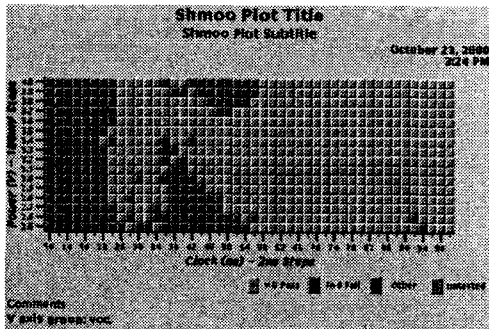


그림 10. 제작된 칩의 Schmo plot
Fig. 10. Schmo plot of the chip

IV. 결론

본 논문에서는 고집적/저전력/저가 부동소수점 승산기의 구현을 위한 새로운 이중 모드 승산 알고리즘을 제안하였다. 배정도 승산을 4개의 부분 승산으로

분할하여 순차적으로 승산-누적하며, 단정도 승산을 부분 승산 하나로 처리하는 이 방법은 다음과 같은 장점을 갖는다. 첫째, 배정도 승산을 한 번에 처리하는 방식 [6,7,8]과 비교할 때 회로의 복잡도를 약 1/3~1/4로 줄일 수 있으므로, 칩 면적과 전력소모 측면에서 매우 유리하다. 표 2는 배정도 승산을 한 번에 처리하는 방식 [6,7,8]과 본 논문에서 제안된 이중 모드 승산기를 비교한 것이다. 둘째, 피승수는 그대로 유지하면서 승수만을 분할하여 부분 승산하는 방식 [2,3,4]보다 부분 승산된 값을 더하기 위해 필요한 하드웨어가 적고, 단정도 승산시 불필요한 하드웨어의 사용을 제거할 수 있어 빠른 동작 특성과 적은 전력 소모를 갖는다.

표 2. 배정도 승산기의 비교

Table 2. Comparison of double-precision multipliers

	[6]	[7]	[8]	DMM*
Function	D	D	D	D, S
Tr. count	100,200	78,800	60,797	25,300
Delay	4.4-ns	8.8-ns	4.1-ns	4.2-ns
Area	12.86-mm ²	9.39-mm ²	1.32-mm ²	0.31-mm ²
Latency	1	1	1	4(D), 1(S)
Throughput	1	1	1	4(D), 1(S)
Technology	0.25- μ m 3-metal 2.5-V	0.5- μ m 3-metal 3.3-V	0.25- μ m 3-metal 2.5-V	0.25- μ m 5-metal 2.5-V

* D=Double-precision multiplication
S=Single-precision multiplication

제안된 방법을 적용하여 설계된 이중 모드 승산기는 약 25,000개의 트랜지스터로 구성되며, 전원전압 2.5-V에서 200-MHz의 동작 주파수가 예상된다. 설계된 승산기 코어에 몇 가지 추가적인 회로의 추가를 통해 FPU를 구현할 수 있으며, 따라서 FPU가 내장된 단일 칩 마이크로 프로세서, 마이크로 컨트롤러 및 DSP 프로세서의 구현에 적용 가능한 것으로 판단된다.

참고문헌

- [1] IEEE Standard Committee, "IEEE Standard for Binary Floating-Point Arithmetic", New York : IEEE, 1985.
- [2] H. Murakami, N. Yano, Y. Ootaguro, et al, "A Multiplier-Accumulator Macro for a 45 MIPS Embedded RISC Processor", IEEE J. of Solid-State Circuits, IEEE, vol. 31, no. 7, pp. 1067-1071, July 1996.
- [3] R. M. Jessani and M. Putrino, "Comparison of Single- and Dual-Pass Multiply-Add Fused Floating-Point Units", IEEE Trans. on Computers, IEEE, vol. 47, no. 9, pp. 927-937, Sep. 1998.
- [4] W.S. Briggs and D.W. Matula, "A 17×69 Bit Multiply and Add Unit with Redundant Binary Feedback and Single Cycle Latency", Proc. 11th IEEE Symp. Computer Arithmetic, IEEE, pp. 163-170, June 1993.
- [5] K.W. Shin, B.S. Song and K. Bacrania, "A 200MHz Complex Number Multiplier Using Redundant Binary Arithmetic", IEEE J. of Solid-State Circuits, IEEE, vol. 33, no. 6, pp. 904-909, June 1998.
- [6] N. Ohkubo, M. Suzuki, T. Shinbo, et al, "A 4.4 ns CMOS 54×54-b Multiplier Using Pass-Transistor Multiplexer", IEEE J. of Solid-State Circuits, IEEE, vol. 30, no. 3, pp. 251-256, March 1995.
- [7] H. Makino, Y. Nakase, H. Suzuki, et al, "A 8.8 ns 54×54-Bit Multiplier with High Speed Redundant Binary Architecture", IEEE J. of Solid-State Circuits, IEEE, vol. 31, no. 6, pp. 773-782, June 1996.
- [8] G. Goto, A. Inoue, R. Ohe, et al, "A 4.1 ns Compact 54×54-b Multiplier Utilizing Sign-Select Booth Encoders", IEEE J. of Solid-State Circuits, IEEE, vol. 32, no. 11, pp. 1676-1682, Nov. 1997.



신경욱(辛卿旭)

1984년 2월 한국항공대학교 전자공학과 졸업 (공학사)

1986년 2월 연세대학교 대학원 전자공학과 졸업 (공학석사)

1990년 8월 연세대학교 대학원 전자공학과 졸업 (공학박사)

1990년 9월 - 1991년 6월 한국전자통신연구소 반도체연구단 선임연구원

1991년 7월 - 현재 금오공과대학교 전자공학부 부교수

1995년 8월 - 1996년 7월 Univ. of Illinois at Urbana-Champaign 방문연구

※ 관심분야 : 통신 및 신호처리용 집적회로 설계, 저전압/저전력 집적회로 설계, 적외선 센서용 Readout 회로 설계.



이종남(李鍾男)

1999년 2월 금오공과대학교 전자공학과 졸업 (공학사)

현재 금오공과대학교 대학원 전자공학과 석사과정 재학 중

※ 관심분야 : 통신 및 신호처리용 집적회로 설계, FPU 설계, IP 설계



박종화(朴鍾華)

1999년 2월 금오공과대학교 전자공학과 졸업 (공학사)

현재 금오공과대학교 대학원 전자공학과 석사과정 재학 중

※ 관심분야 : 고속 승산기 설계, 저전력 집적회로 설계