

---

# 시다중처리 셀룰러 신경망 칩설계

박병일\*, 정금섭\*\*, 전흥우\*\*\*, 신경욱\*\*\*\*

## Design of a Time-Multiplexing CNN Chip

Byung-Il Park, Kum-Sub Jung, Hung-Woo Jeon, Kyung-Wook Shin

---

본 연구는 1998년도 금오공과대학교 학술연구비 지원과 IDEC의 CAD Tool 지원에 의하여 연구된 논문임

---

### 요 약

셀룰러 신경망은 국부적 연결특성을 가지고 있어 실시간 영상처리에 폭넓게 이용되는 비선형 정보처리 시스템이다. 본 논문에서는 소규모의 CNN( $6 \times 6$ ) 셀 블록을 이용하여, 크고 복잡한 처리에 적합한 시다중화 기법을 처리할수 있는 CNN칩을 설계하였다. 대부분의 출력 형태는 기준레벨화된 출력에 기인하여 흑백 영상 처리에 적합하나, 본 논문의 출력형태는 아날로그 상태값으로 나타나기 때문에 그레이 레벨 영상처리에 적합하다.

CNN 칩은  $0.65\mu\text{m}$  2P2M N-Well CMOS 공정으로 설계되었으며, 설계된 칩은 15400여개의 트랜지스터로 구성되며 칩면은  $1.85 \times 1.75 \text{ mm}^2$  이다. 설계된  $6 \times 6$  CNN 칩은 그 보다 큰 입력 영상에 대한 윤곽선 검출의 실험을 통하여 회로의 동작을 검증하였다.

### Abstract

Cellular Neural Networks(CNN) is a nonlinear information-processing system that has a locally connected characteristic and is widely used in the real-time high speed image processing.

In this paper, a practical system approach of time-multiplexing CNN implementations suitable for processing large and complex images using small CNN arrays is presented and  $6 \times 6$  CNN hardware is

---

\* 현대전자메모리 연구소 연구원

\*\* 구미기능대학 자동화과 조교수(연락책임자)

\*\*\* 금오공과대학교 전자공학부 교수

\*\*\*\* 금오공과대학교 전자공학부 부교수

접수일자 : 2000년 5월 7일

designed for the processing of a large image. While previous implementations are mostly suitable for black and white applications because of the thresholded outputs, our approach is especially suitable for applications in gray image processing due to the analog nature of the state node. CNN chip is designed using a  $0.65\mu\text{m}$  2P2M(double poly, double metal) N-Well CMOS process technology. It contains about 15,400 devices on an area of about  $1.85 \times 1.75 \text{ mm}^2$ . The designed  $6 \times 6$  CNN is tested for the edge detection of a large image input and its performance is verified.

### I. 서론

셀룰러 신경회로망(CNNs)은 일반적인 신경회로망과는 다른 형태의 회로구조를 가진다. 이것은 간단한 처리요소인 셀들의 배열로 이루어져 있으며, 각 셀들은 국부적인 연결특성과 공간불변 템플릿 특성을 갖는다. 이런 국부적인 연결특성과 공간불변 템플릿 특성은 CNN을 하드웨어로 구현할 때 배선이 용이하며 칩의 집적도를 높일 수 있다는 장점을 가진다. 공간 불변성(space invariant) 특성은 모든 셀이 동일한 형태를 가지므로 규칙적인 레이아웃을 할 수 있고, 또한 이 특성은 서로 다른 가중치(weight)가 매우 적으므로 템플릿(template)의 숫자를 이윽한 셀들의 숫자보다 훨씬 줄일 수 있다 것을 의미한다. 그리고, 셀룰러 신경회로망의 아날로그 회로구현은 병렬연산 및 연속시간 동작이 가능하므로 디지털 회로에서의 병목현상으로 인한 처리속도의 문제를 해결할 수 있는 대안이 되고 있으며, 윤곽선 검출(edge detection), 잡음 제거(noise removal), 필터링(filtering), 문자 인식 및 분류 등과 같은 영상처리 분야에 응용되고 있다<sup>[1,2,3,4]</sup>.

셀룰러 신경회로망의 VLSI 구현에 대한 연구도 많이 진행되어 트랜스컨덕턴스 모드를 기초로 한 처리요소의 구현, 이산시간 구현과 전류모드 구현 등이 연구되어 왔다<sup>[5,6,7,8]</sup>. 각각의 CNN 구현 방법들은 몇몇 장단점을 가지는데, 가장 비중 있는 것은 면적과 전력소비를 줄이는 것으로 정밀도와 상호 대칭적 관계에 있다. 예를 들어 이산시간 CNN은 정확한 템플릿 가중치를 얻을 수 는 있지만 더 큰 면적과 더 많은 전력소비를 가져오게 된다. 그리고, 하드웨어로 구현된 것이 매우 효과적이라 할 지라도 큰 영상 처리에 대해 이들을 어떻게 적용할 것인가의 문제가 있다. 실제 크기 영상처리의

적용에서 현재의 설계 기술의 제한으로 인해 CNN 하드웨어 프로세스와 영상에 포함된 모든 화소를 일대 일로 적용하기는 불가능하다. 즉,  $256 \times 256$  영상을 처리하기 위해서는  $256 \times 256$  셀 배열을 갖는 대규모의 CNN 칩이 필요하지만 이러한 규모의 칩을 실제로는 구현할 수 없다.

따라서, 현재의 주요 관심사는 구현된 소규모의 하드웨어를 대규모의 영상입력에 대한 신호처리에 적절히 이용하는 방법에 관한 연구이다. 본 논문에서는 소규모의 CNN 셀 블록을 적용하여 대규모의 입력영상을 블록으로 처리하는 실용적인 방법인 시다중화 영상처리 기법을 소개한다<sup>[10]</sup>. 그리고, 시다중화 기법을 적용할 수 있는  $6 \times 6$  CNN 셀블록을 설계하여  $6 \times 6$  CNN 셀블록보다 큰 영상에 대한 윤곽선 검출 등의 실험을 통하여 설계된 회로의 동작을 시험하였다.

### II. 셀룰러 신경회로망(Cellular Neural Networks ; CNNs)

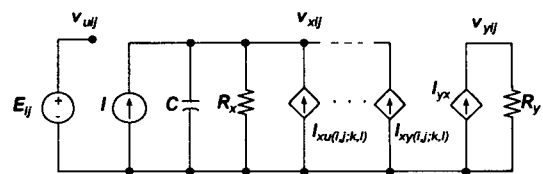


그림 2-1. 기본단위 셀의 등가회로

셀룰러 신경회로망의 셀  $C(i, j)$ 에 대한 상태방정식은 그림 2-1의 등가회로에 KVL과 KCL을 적용하여 상미분 방정식으로 유도되며 식(2-1)로 정의된다.

$$\begin{aligned}
 C \frac{dv_{xij}(t)}{dt} = & -\frac{1}{R_x} v_{xij}(t) \\
 & + \sum_{\alpha(k,l) \in N_r(i,j)} A(i,j;k,l) v_{ykl}(t) \\
 & + \sum_{\alpha(k,l) \in N_r(i,j)} B(i,j;k,l) v_{ukl} + I \\
 & \dots\dots\dots (2-1)
 \end{aligned}$$

$v_{xij}$ 는 셀의 상태전압으로 셀  $C(i,j)$ 와 거리  $r$ 이내에 이웃한 셀들  $N_r(i,j)$ 의 입력전압 및 출력전압들과 바이어스전류  $I$ 에 의해 결정되며, 셀의 초기 상태전압 값은 -1에서 1사이의 값을 가진다.  $I_{xy}(i,j;k,l)$ 는 이웃셀의 출력전압  $v_{ykl}$ 과 귀환 연산자  $A(i,j;k,l)$ 에 의해 제어되는 선형 전류이며,  $I_{xu}(i,j;k,l)$ 은 이웃셀의 입력전압  $v_{ukl}$ 과 입력 제어 연산자  $B(i,j;k,l)$ 에 의해 제어되는 선형전류이다. 바이어스전류  $I$ 는 시분변 독립 전류원으로 바이어스점을 조절한다.  $E_{ij}$ 는 셀의 입력전압으로 시분변 독립 전압원이며, -1에서 1사이의 값을 가진다.  $C$ 는 선형 커패시터이며,  $R_x$ 는 선형 저항으로서  $CR_x$ 는 셀의 수렴시간을 결정하는 시상수이다.

$I_{yx}(i,j;k,l)$ 은 상태전압  $v_{xij}$ 에 의해 제어되는 구간 선형 전류원 이며, 셀  $C(i,j)$ 의 출력전압  $v_{yij}(t)$ 는 식(2-2)으로 정의된다.

$$\begin{aligned}
 v_{yij}(t) = & \frac{1}{2} ( |v_{xij}(t)+1| - |v_{xij}(t)-1| ) \\
 & \dots\dots\dots (2-2)
 \end{aligned}$$

출력전압  $v_{yij}(t)$ 는 구간 선형함수로 귀환 연산자로 제어되어 귀환하며, 자신과 이웃한 다른 셀들의 상태값에 영향을 미친다. 식(2-1)의 양변에 적분을 취하면 시간에 대한 상태값을 구할 수 있으며, 식(2-3)와 같다.

$$\begin{aligned}
 v_{xij}(t) = & v_{xij}(0) + \frac{1}{C_x} \int_0^t \left[ -\frac{1}{R_x} v_{xij}(\tau) \right. \\
 & + \sum_{\alpha(k,l) \in N_r(i,j)} A(i,j;k,l) v_{ykl}(\tau) \\
 & + \sum_{\alpha(k,l) \in N_r(i,j)} B(i,j;k,l) v_{ukl} + I \left. \right] d\tau \\
 & 1 \leq i \leq M, 1 \leq j \leq N \\
 & \dots\dots\dots (2-3)
 \end{aligned}$$

식 (2-4)는 시간  $t$ 에서의 상태전압 값을 나타내며,  $t \rightarrow \infty$  에서 상태전압 값은 안정화된다.

### Ⅲ. 시다중화 기법

영상을 처리하기 위해서는 원 영상의 각 화소들과 CNN의 각 셀을 일대 일로 맵핑하여야 한다. 따라서 실제 크기 영상을 처리하기 위한 CNN 하드웨어를 구현하는 것은 현실적으로 거의 불가능하다. 이러한 하드웨어의 제약 문제를 극복하기 위해 작은 크기의 CNN 하드웨어를 사용하여 실제 영상을 그림 3-1에 보인 절차와 같이 시다중화 기법을 적용하여 처리할 수 있다<sup>[10]</sup>.

#### 1. 기본 원리

시다중화 기법에서는 원 영상을 작은 크기의 부분영상(subimage)으로 분할하며, 분할된 영상은 같은 크기의 CNN 셀블록에서 영상이 처리된다. 이 과정은 한 부분영상을 입력으로 받아 CNN 셀블록이 수렴되면 인접한 새로운 부분영상으로 이동하여 처리되며, 이 과정은 렉시코그래피컬(lexicographical) 기법을 적용하여 처리한다. 즉, 왼쪽에서 오른쪽으로 그리고 위에서 아래로 전체 영상이 처리 될 때까지 반복적으로 이루어진다. 이러한 기법을 적용하여 실제의 대규모 영상을 처리하면 소규모의 CNN 셀블록으로도 전체영상을 쉽게 처리할 수 있다.

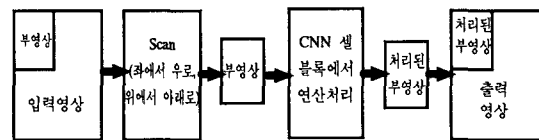


그림 3-1. 시다중화 기법에 의한 영상처리과정

이러한 기법은 매우 간단하면서도 효과적인 영상처리 방법이지만 처리되어진 각각의 부분영상에서 가장자리 화소는 이웃 셀들의 입력정보와 출력 귀환정보 없이 처리됨으로 인해 부정확한 출력 값을 가져온다. 그러나, CNN은 단지 이웃 반경 내에서 국부적인 상호작용을 가지므로 각각의 가장자리 셀을 이웃셀과 적절한 상호작용을 가지도록 다

음의 두 가지 경계조건을 고려함으로써 부분적인 오류를 제거할 수 있다.

- 1) 처리되는 부분영상의 가장자리에 있는 원 영상의 화소들을 벨트입력으로 가져야 된다.
- 2) 처리되는 부분영상 간에 화소의 중복(overlap)을 가져야 한다.

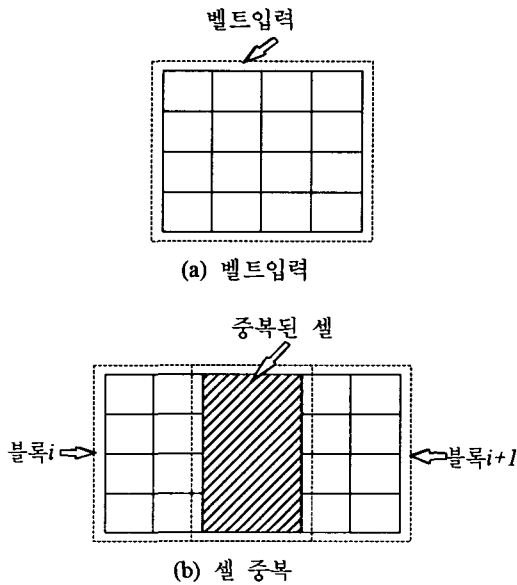


그림 3-2. 시다중화 기법의 경계조건

이 기법을 이용하여  $M \times N$  크기의 영상에 대해  $m \times n$  CNN 셀블록과 중복  $o$ 를 가지도록 영상처리에 적용하였을 때, 영상을 완전히 처리하는데 필요한 총 영상블록(부분영상)의 수는 식(3-1)과 같이 정의할 수 있다.

$$\text{블록수} = \frac{M}{m-o} \times \frac{N}{n-o} \dots\dots\dots (3-1)$$

2. 컴퓨터 프로그램에 의한 시다중화 기법 실현  
 시다중화 기법에 의한 영상처리 CNN의 하드웨어 설계에 앞서 C언어로 구현한 컴퓨터 프로그램을 이용해  $256 \times 256$  영상에 대한 실험을 하였다<sup>[9,10]</sup>. 본 모의 실험에서는  $4 \times 4$  CNN 셀블록을 가정하였으며, 실험의 편의를 위해 출력을 최종상태값 대신 PWL함수를 거친 제한된 출력을 사용하였다. 입력

영상으로는 그림 3-3(a)와 (c)의 그레이 레벨의 lena 영상과 흑백 lamp 영상을 사용하였다. 그림 3-3(b)는 lena 원 영상에서 윤곽선 검출시 블록의 중복과 벨트입력을 인가하여 처리한 결과이다. 그림 3-3(d)는 그림 3-3(b) 그림과 같은 조건으로 처리한 결과로써 윤곽선 검출이 완전하게 이루어짐을 알 수 있다. 그림 3-3(e)는 블록 외부의 벨트입력을 고려하지 않고 블록의 중복만을 고려하여 처리한 결과로써 부분영상 간의 경계가 발생하는 것을 볼 수 있다. 그림 3-3(f)는 중복과 외부 입력 모두를 고려하지 않고 처리한 결과로 모든 부분영상이 각각 분리되어 있음을 볼 수 있다. 이 결과로 볼 때 (e)와 (f)의 경우는 완벽한 영상처리 효과를 기대하기가 어렵다. 따라서, 작은 CNN 셀 블록을 큰 실영상 처리에 이용하기 위해서는 블록의 중복과 벨트입력을 인가해 주어야 오류를 최소화 할 수 있음을 확인하였다.

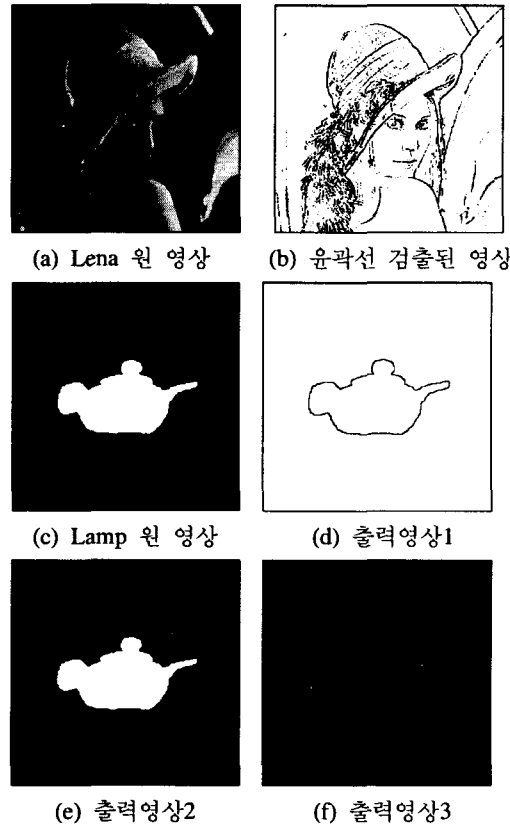


그림 3-3. 시다중화 기법을 이용한  $256 \times 256$  영상의 모의 실험

#### IV. CNN 하드웨어 설계

##### 1. 전체 셀블록 구조

본 논문에 설계한 CNN 셀블록은 행 셀들의 각 입력과 각 출력을 공유하고 있는 6×6 셀 배열이다. 설계된 CNN 셀블록은 A, B 템플릿의 모든 요소를 제어 가능하도록 설계되었으며, 적분시간을 조절할 수 있도록 하였고, 셀의 최종 상태값을 외부 출력으로 하고있다.

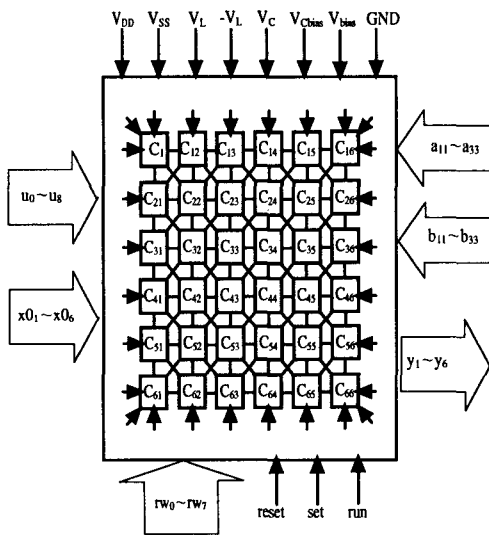


그림 4-1. 6×6 CNN 셀블록 구조

그림 4-1은 시다중화 기법을 적용할 수 있도록 설계한 CNN 셀블록의 입출력 단자형태를 보여주고 있다. 여기서,  $u_0 \sim u_6$ 는 벨트입력을 포함한 영상 입력단자 이며,  $x_{01} \sim x_{06}$ 는 초기 상태입력 단자,  $y_1 \sim y_6$ 는 최종상태 값을 외부로 출력하는 출력단자이다. 이와 같은 입출력 단자는 각 행에 위치한 셀들간에 공유하고 있으며,  $rw_0 \sim rw_7$ 신호에 의해 영상입력이 각 셀에 로드되며, 처리된 출력영상이 출력된다.  $a_{11} \sim a_{33}$ 은 귀환 연산자인  $A_{ij}$ 의 아날로그 템플릿 값을 설정하는 단자이며,  $b_{11} \sim b_{33}$ 은 입력 연산자인  $B_{ij}$ 의 아날로그 템플릿 값을 설정하는 단자이다.  $V_c$ 는 OTA 저항의 트랜스컨덕턴스를 조절하기 위한 제어전압 단자이며,  $V_{cbias}$ 와  $V_{bias}$ 는 오프셋 바이어스 전압을 인가하는 단자이다.  $rw_0 \sim$

$rw_7$ , reset, set, run 단자는 입출력 단자를 다중화하기 위해 다른 주기를 가지는 제어신호이다.  $V_{DD}$ ,  $V_{SS}$ 은 CNN 셀블록에 공급하는 전압단자로 각각 5V, -5V가 공급되며,  $V_L$ ,  $-V_L$ 은 구간선형함수(PWL) 회로에 인가하는 전압단자로 각각 1V, -1V가 공급된다.

##### 2. 입·출력 구조

본 논문에 제시하는 CNN 셀블록의 입출력 처리는 모든 셀의 입출력을 공유하고, 직렬입력-직렬출력 구조의 병목현상을 최소화하기 위해 행은 직렬 입출력 구조를 가지며, 열은 병렬 입출력 구조를 가지도록 설계하여 입출력 핀의 과다 문제를 해결하였다. 행 입출력을 처리하기 위한 기본셀 회로를 그림 4-2에 보였다.

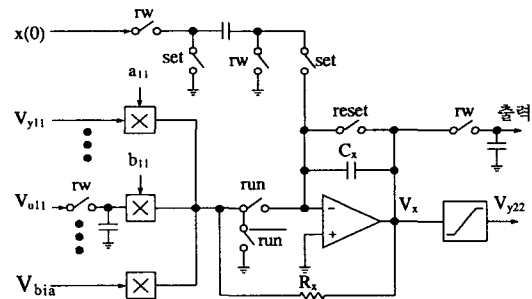


그림 4-2. 셀의 입출력 구조

그림에서  $rw$  스위치는 각 입력을 커패시터에 저장하고, 전 상태의 입력으로 연산한 최종 상태값을 출력하며, reset 스위치는  $C_x$ 를 방전하여 셀의 상태를 초기화하며, set 스위치는 커패시터에 저장된 초기 상태값을 셀에 로드한다. run과  $\overline{run}$  스위치는 서로 반대로 작용하며, CNN 셀을 동작시킨다. 이 과정은  $rw \rightarrow reset \rightarrow set \rightarrow run$  순으로 반복적으로 동작한다.

##### 3. 기본 셀 회로

그림 4-3는 식(2-3)과 식(2-4)를 기본으로 하여 구성한 기본 단위 셀의 블록도 이다. 여기서, 적분

회로는 OP amp와  $C_x$ ,  $g_x = 1/R_x$  값을 가지는 OTA로 구성되며, 적분 시상수는  $R_x$ 와  $C_x$ 값에 의해 결정된다. A, B 템플릿과 I 바이어스를 구현하기 위해 사용된 19개의 아날로그 곱셈기는 모두 병렬로 연결되며, 이것은 한 개의 아날로그 곱셈기의 출력 임피던스 보다 매우 작은 출력 임피던스를 가지며, 또한 한 개의 아날로그 곱셈기에서 나타나는 기생 커패시턴스 보다 19배 큰 기생 커패시턴스를 포함하게 된다. 이들 두 비이상적인 요소는 유효  $R_x$ 값을 감소시키고,  $C_x$ 는 증가시키는데, 이것은 서로 병렬로 연결되었기 때문이다. 그러나, RC 적분기에 쓰인 OP amp의 가상접지에 의해  $R_x$ 와  $C_x$ 로부터 아날로그 곱셈기의 출력 임피던스를 분리시킬 수 있다. 다른 한편으로 가상접지는 각 아날로그 곱셈기가 가상적으로 부하가 '0'이 되게 만듦으로써 트랜스컨덕턴스 아날로그 곱셈기의 작은 출력 임피던스로 인한 부하효과를 제거할 수 있다. 이것은 또한 많은 기생 커패시턴스에 의해 적분기의 시상수가 변하는 것을 방지할 수 있다.

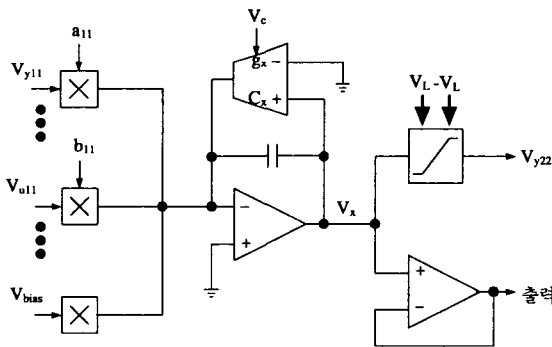


그림 4-3. 기본 단위 셀의 블록도

출력에 쓰인 버퍼는 셀블록 내부의 상태전압과 외부 환경을 분리하는 하는 것으로 외부 요인에 의해 내부 상태전압이 변하는 것을 방지한다.

3.1 아날로그 곱셈기 회로

아날로그 CNN 설계에 대한 트랜스컨덕턴스 곱

셈기의 일반적인 요구조건은 선형성과 공정의 비정합을 어느 정도 허용할 수 있어야 한다.

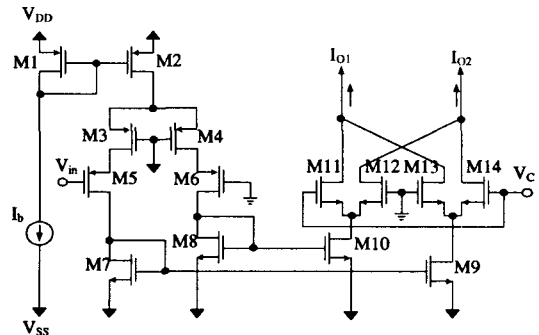


그림 4-4. 선형성을 확장한 Folded Gilbert 아날로그 곱셈기

본 논문에서는 향상된 선형성을 가진 folded Gilbert 아날로그 곱셈기<sup>[16]</sup>를 사용하였으며, 이 회로는 그림 4-4와 같다. 그림의 PMOS 트랜지스터 M1과 M2는 입력쌍 M5와 M6에 바이어스 전류를 공급하는 전류미러 쌍이다. 따라서,  $I_5 = I_6 = I_b/2$ 이다. M3와 M4는 triode 영역에서 바이어스 되어 선형 저항으로 동작하며, 입력쌍 M5와 M6의 선형성을 확장하는 기능을 한다.  $V_c$ 는 a11, b11 등의 템플릿 값으로 표현된 제어전압이다. 식(4-1)은 편위상 M3와 M4를 무시하고 수학적으로 분석한 것으로 아날로그 곱셈기의 출력 차 전류에 관한 식이다. 여기서,  $k = k_5 = k_6 = (W/2L)K_p$ 이며,  $k' = k_{11} = k_{12} = k_{13} = k_{14}$ 이다. 식(4-1)은 입력전압  $V_{in}$ 과 제어전압  $V_c$ 를 가지는 사사분면 아날로그 곱셈을 수행하기 위한 기본식이다. 회로의 선형성은 long channel 트랜지스터를 사용하거나 큰 바이어스 전류를 공급함으로써 향상시킬 수 있다.

$$\begin{aligned}
 I_{o1} - I_{o2} &= k' V_c (\sqrt{2I_5/k'} - \sqrt{2I_{10}/k'}) \\
 &= k' V_c \sqrt{2k/k'} (V_{gs5} - V_{gs6}) \dots\dots\dots (4-1) \\
 &= \sqrt{2kk'} V_{in} V_c
 \end{aligned}$$

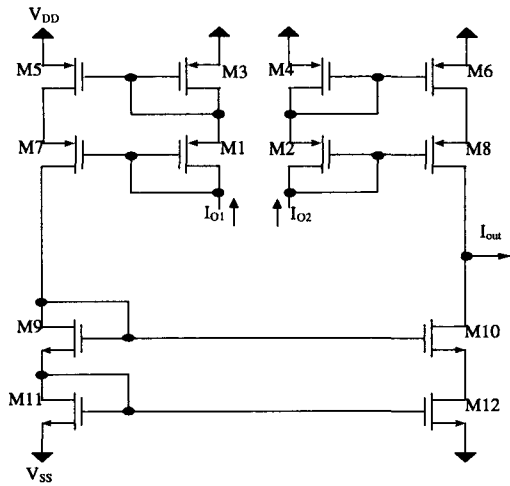


그림 4-5. 곱셈기 출력전류 합산 미러 회로

집적회로의 면적과 소비전력을 줄일 목적으로 아날로그 곱셈기의 출력전류를 합하는 각각의 전류미러를 추가하지 않고, 그림 4-5의 캐스코드 전류미러 회로에 모든 아날로그 곱셈기의 출력을 입력으로 하여 아날로그 곱셈기의 각각의 출력전류  $I_{o1}$ 과  $I_{o2}$ 가 전류 합산회로의 입력 노드에서 더해지고, 각각 더해져진 아날로그 곱셈기의 출력전류는 전류 합산회로에서 두 전류의 차전류를 최종 출력으로 하였다. 아날로그 곱셈기의 Hspice 시뮬레이션 결과는 그림 4-6에 보였다. x축은 입력전압  $V_{in}$ 을 나타내며, 입력전압  $V_{in}$ 의 [-1V, +1V] 범위와 제어전압  $V_C$ 의 [-1V, +1V]범위에서 y축의 출력전류는 약[-14uA, +14uA] 범위의 값을 가지며, 선형성을 갖는다.

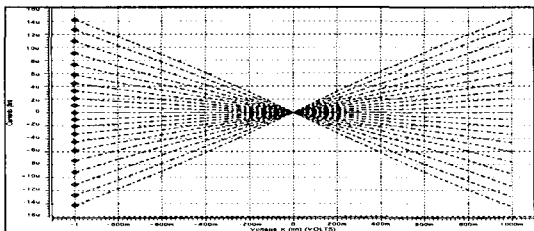


그림 4-6. 아날로그 곱셈기의 Hspice 시뮬레이션 결과

### 3.2 선형 OTA 저항

단위 셀의 선형 저항은 조절 가능한 OTA를 사용하였다. OTA의 선형성과 조절성을 동시에 활용하는 한 적절한 방법으로 프로그래머블 전류미러를 이용하는 것이다<sup>[11]</sup>. 이 방법은 선형성과 조절성을 모두 만족하며, 입력쌍의 바이어스 전류보다는 전류미러의 이득을 조정하도록 구성되어있다. 이것은 간단한 구조를 가지면서 성능 또한 양호하다. OTA의 회로 구조는 그림 4-7에 보였다. 이 회로는 기본적인 CMOS OTA에서와 다른 부분은 두 트랜지스터 MR1과 MR2이며, 이것은 triode 영역에서 바이어스 된다. 이 두 능동 저항의 기능은 두 개의 Widlar 전류미러 M3-M5와 M4-M6의 전류 이득을 조절함과 더불어 선형 범위도 증가시킨다.

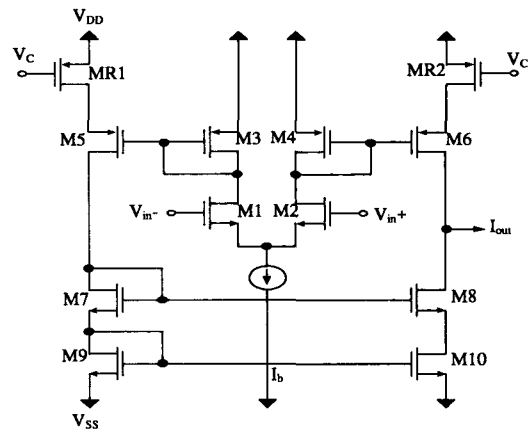


그림 4-7. 프로그래머블 전류미러 선형 OTA 회로

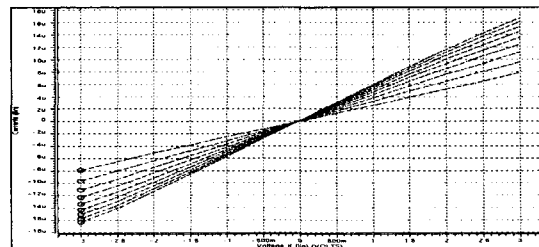


그림 4-8. OTA의 Hspice 시뮬레이션 결과

### 3.3 구간 선형(Piece-Wise Linear ; PWL) 회로

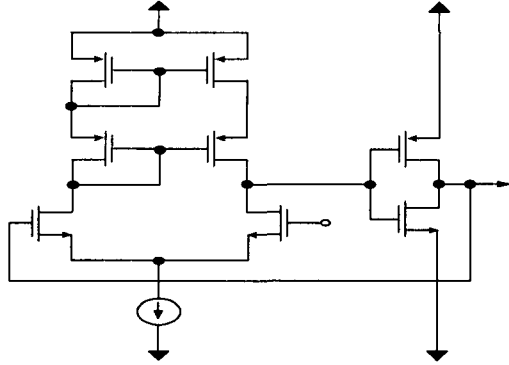


그림 4-9. 구간 선형 회로의 구조

구간 선형 회로의 구조는 그림 4-9와 같다. 이것은 기본적인 OP Amp에 단위 이득 귀환 연결을 가지지만 첫 번째 단과 두 번째 단의 공급전압이 다르게 설계되었다. 첫 단의 공급전압은 -5V와 +5V이며, 두 번째 단은 -1V와 1V를 공급하며, 모두 외부에서 공급된다. 이런 독립적인 공급전압은 구간 선형 회로의 문턱전압을 쉽게 정의 할 수 있으며, 조절할 수 있는 이점이 있다. 그러므로, 구현하기 어려운 제한회로를 사용할 필요가 없어지고, 문턱전압을 공정에 관계없이 쉽게 변경할 수 있다.

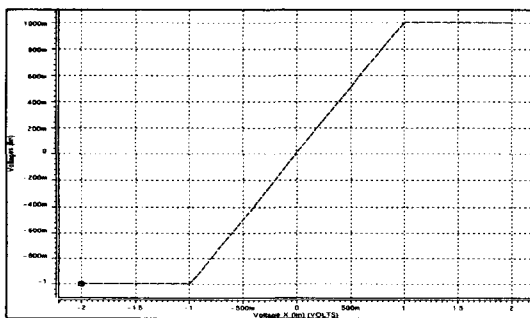


그림 4-10. PWL 회로의 Hspice 시뮬레이션 결과

PWL 회로의 Hspice 시뮬레이션 결과는 그림 4-10와 같으며, 입력전압  $V_{in}$ 의 [-1V, +1V] 범위에서 출력전압은 [-1V, +1V] 범위의 구간 선형 특성을 갖는다.

### 3.4 OP Amp

OP Amp는 CNN 셀블록에서 각각의 단위셀에 두 개씩 사용하고있다. 하나는 RC 적분회로에 사용하고 있으며, 하나는 출력단에서 외부환경에 의해 내부 상태값이 변하는 것을 방지하기 위해 출력버퍼로 사용하였다. 여기서, 사용한 OP Amp는 미러된 캐스코드 OP Amp이며, 그림 4-11에 보인 것과 같이 1단 구조로 되어있다. 1단 OP Amp를 사용하는 이점은 2단 OP Amp보다 더 안정하다는 것이며, 부하 커패시턴스가 OP Amp의 안정성에 영향을 미치지 않는다는 것이다. 1단 OP Amp의 이득은 그렇게 높진 않지만 CNN 셀에 사용하기에는 충분하다.

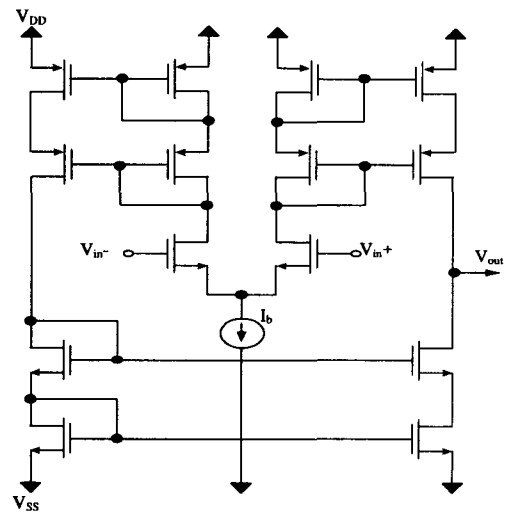


그림 4-11. 미러된 캐스코드 OP Amp 회로

OP Amp 회로에 대한 Hspice 시뮬레이션 결과는 그림 4-12와 같으며, DC 전압이득은 약 60dB 이다.

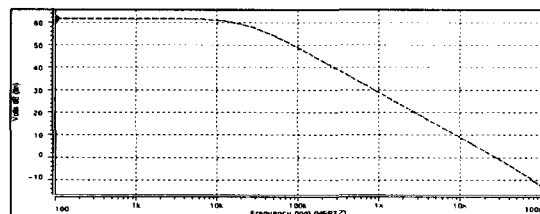


그림 4-12. Op Amp의 Hspice 시뮬레이션 결과



4. CNN 셀블록의 레이아웃(Layout)

설계된 6×6 셀블록은 각 구성요소의 설계 및 검증 완료 후, 0.65 $\mu$ m 2P2M(double poly, double metal) N-Well CMOS 공정으로 레이아웃 하였다. CNN 셀블록은 기본 셀의 규칙적인 배열 구조를 가지므로 별도의 floor-plan과정 없이 기본 셀을 연속적으로 배열하는 형태로 레이아웃을 진행하였다. 그림 4-13는 전체 셀블록 레이아웃을 보였으며, 기본 셀 레이아웃을 6×6으로 배열하여 레이아웃 하였다. 전체 셀블록 내의 core 셀블록의 레이아웃의 면적은 1.85×1.75 mm<sup>2</sup>이며, 15400개의 MOS 트랜지스터와 136개의 poly capacitor를 포함하고 있다. 전체 칩은 입출력 pad를 포함하여 2.89×2.89 mm<sup>2</sup> 크기의 die 면적을 가진다.

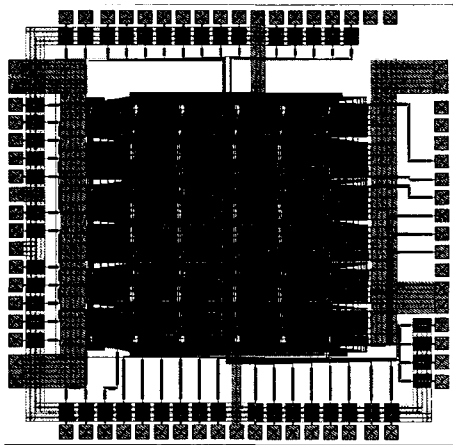


그림 4-14. 전체 셀블록 레이아웃

V. CNN 셀블록 실험 및 고찰

본 논문에서 설계한 6×6 CNN 셀블록 회로로 임의의 영상입력에 대한 영상처리 동작에 대하여 Hspice tool을 이용하여 시뮬레이션 하였다. 실험은 셀블록의 가장자리 셀에 벨트입력이 있는 경우와 없는 경우에 대한 윤곽선 검출 및 시다중화 기법을 적용한 윤곽선 검출결과를 보였다.

그림5-1은 6×6 CNN 셀블록의 입력영상에 대한 윤곽선 검출에 이용하는 A 템플릿 값과 B 템플릿

값이며, 모든 실험에 공통적으로 사용된다.

0.0	0.0	0.0
0.0	2.0	0.0
0.0	0.0	0.0

0.0	-0.5	0.0
-0.5	2.0	-0.5
0.0	-0.5	0.0

(a) A 템플릿 (b) B 템플릿

그림 5-1. 윤곽선 검출을 위한 A, B 템플릿

1. 8×8 입력영상의 시다중화 영상처리

그림 5-2(a)의 8×8 입력영상을 6×6 CNN 셀블록으로 2개의 중복을 가지도록 하여 영상을 처리할 때, 총 블록 수는 4개의 부분영상으로 분할된다. 이 부분영상은 좌에서 우로, 위에서 아래로 2


0.0	0.0	0.0	-1.0	-1.0	0.0	0.0	0.0
0.0	0.0	-2.0	1.7	1.7	-2.0	0.0	0.0
0.0	-2.0	1.7	-0.2	-0.2	1.7	-2.0	0.0
-1.0	1.7	-0.2	-0.2	-0.2	-0.2	1.7	-1.0
-1.0	1.7	-0.2	-0.2	-0.2	-0.2	1.7	-1.0
0.0	-2.0	1.7	-0.2	-0.2	1.7	-2.0	0.0
0.0	0.0	-2.0	1.7	1.7	-2.0	0.0	0.0
0.0	0.0	0.0	-1.0	-1.0	0.0	0.0	0.0

(a) 입력영상 (b) 출력영상

0.0	0.0	0.0	0.0	0.0	0.0		
0.0	0.0	0.0	0.0	-1.0	-1.0		
0.0	0.0	0.0	-2.0	1.7	1.7		
0.0	0.0	-2.0	1.7	-0.2	-0.2		
0.0	-1.0	1.7	-0.2	-0.2	-0.2		
0.0	-1.0	1.7	-0.2	-0.2	-0.2		

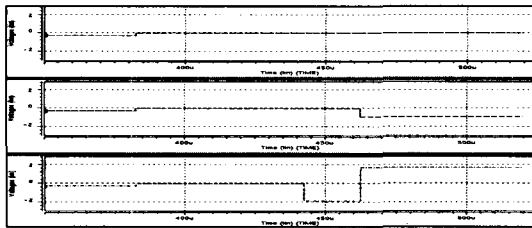
(c) 처리블록 1

		0.0	0.0	0.0	0.0	0.0	0.0
		-0.1	-0.1	0.0	0.0	0.0	0.0
		1.7	1.7	-2.0	0.0	0.0	0.0
		-0.2	-0.2	1.7	-2.0	0.0	0.0
		-0.2	-0.2	-0.2	1.7	-1.0	0.0
		-0.2	-0.2	-0.2	1.7	-1.0	0.0

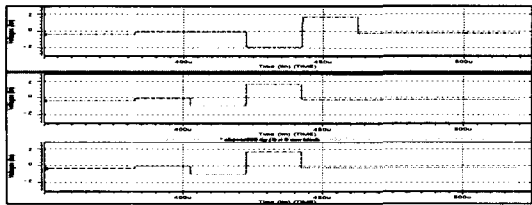
(d) 처리블록 2

그림 5-2. 8×8 영상의 입력 및 출력결과

개의 중복을 가지면서 순차적으로 처리된다. 각 부분영상을 순차적으로 처리하는 과정 중 첫 번째와 두 번째 처리과정 및 최종 출력결과를 그림 5-2(c), (d)에 보였다. 여기서, 굵은선은 6×6 CNN 셀블록을 나타내며, 내부의 4×4는 유효한 출력을 나타낸다. 나머지 부분은 완전한 입력을 갖지 못해 오류를 포함하고 있으므로 출력결과 중 가장자리 부분의 출력결과를 사용하지 않는다. 이 과정을 마지막 부분영상까지 순차적으로 처리하여 그림 5-2(b)에 보인 전체 출력 영상을 얻는다. 따라서, 설계된 6×6 CNN 셀블록은 대규모 영상의 시분할 영상처리에 이용될 수 있다.

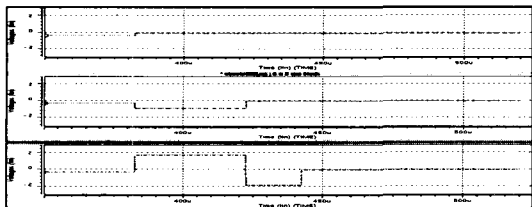


(a) 처리블록 1의 1~3행

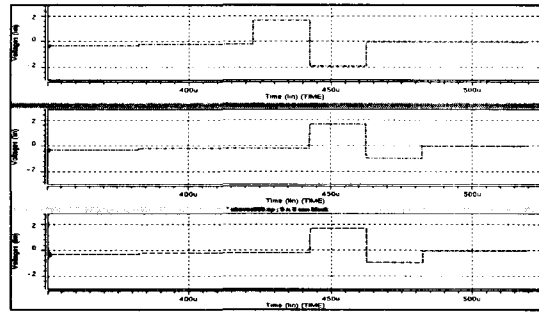


(b) 처리블록 1의 4~6행

그림 5-3. 처리블록 1의 시뮬레이션 출력결과



(a) 처리블록 2의 1~3행



(a) 처리블록 2의 4~6행

그림 5-4. 처리블록 2의 시뮬레이션 출력결과

## VI. 결 론

본 논문에서는 6×6 CNN 셀블록을 설계하고, 0.65 $\mu$ m 2P2M(double poly, double metal) N-Well CMOS 공정으로 셀블록을 레이아웃 하였으며, 설계된 회로를 Hspice 시뮬레이션 tool을 이용하여 셀블록 검증 및 영상처리 실험을 하였다. 영상처리 실험을 통하여 작은 크기의 CNN 셀블록으로도 큰 크기의 실영상처리가 가능함을 실험을 통하여 검증하였다. 이때, 오류가 없는 영상처리 결과를 얻기 위해서는 다음과 같은 두 가지 조건이 필수적으로 고려되어야 함을 확인하였다. 첫째로 처리되는 부분영상 간에는 중복을 가져야 하고, 둘째로 가장자리 셀의 벨트입력이 있어야 한다. 이로서 큰 영상을 처리하려할 때 영상에 포함된 모든 픽셀에 대응하는 CNN 셀을 일대 일로 맵핑해야하는 문제를 시다중화 기법을 적용함으로써 하드웨어 설계에 대한 기술적인 제한을 극복할 수 있었다.

본 논문에서는 2진 영상에 대한 실험 및 고찰만을 진행하였으며, 설계된 CNN 셀블록은 외부 출력을 구간 선형 함수를 거친 2진 레벨의 출력으로 하지 않고 연속적인 값을 가지는 상태값으로 하고 있다. 따라서, 상태출력을 이용한 다중 레벨의 그레이 영상 또는 칼라 영상의 영상처리에도 이용될 수 있을 것이다. 또한 기존의 소프트웨어 알고리즘을 이용한 영상처리 시스템보다 빠른 처리속도를 가지므로, 정지 영상의 압축·복원 및 동영상의 압축·복원 같은 빠른 영상처리 속도를 요구하는 분야에 응용되어질 수 있을 것이다.

향후 설계된 6×6 CNN 셀블록 회로를 칩으로 제작하고, 제작된 칩과 PC와의 인터페이스를 통해 시다중화 기법을 적용한 영상처리 시스템을 구현할 것이다. 이와 같이 구현된 영상처리 시스템은 대규모 영상의 영상처리 및 다양한 영상처리에 응용할 수 있을 것이다

참 고 문 헌

[1] L. O. Chua and L. Yang, "Cellular neural networks: Theory", *IEEE Trans. Circuits & Systems*, vol. CAS-35, pp. 1257-1272, Oct. 1988.

[2] L. O. Chua and L. Yang, "Cellular neural networks: Applications", *IEEE Trans. Circuits & Systems*, vol CAS-35, pp. 1273-1289, Oct. 1988.

[3] L. O. Chua and T. Roska, "The CNN paradigm", *IEEE Trans. Circuits & Systems*, vol. CAS-40, pp.147-155, March 1993.

[4] T. Roska and L. O. Chua, "The CNN universal machine: An analogic array computer", *IEEE Trans. Circuits & Systems*, vol. CAS-40, pp. 163-172, March 1993.

[5] T. Kacprzak and K. Slot, "Multiple-input OTA based circuit for cellular neural network implementation in VLSI CMOS technology", *Proc. IEEE CNNA-92*, pp 157-162, 1992..

[6] H. Harrer and J. Nossek, "Discrete-Time Cellular Neural Networks", *Int. Journal of Circuit Theory and Applications*, vol. 20, pp. 453-467, Sept. 1992.

[7] J. E. Varrientos, E. Sanchez Sinencio, and J. Ramirez Angulo, "A Current Mode Cellular Neural Network Implementation", *IEEE Transactions on Circuits and Systems II*, vol. 40, no. 3, pp. 147-155, 1993.

[8] A. Rodriguez Vazquez, S. Espejo, R. Dominguez Castro, J. L. Huertas, and E. Sanchez Sinencio, "Current Mode Techniques for the Implementation of Continuous and

Discrete Time Cellular Neural Networks", *IEEE Transactions on Circuits and Systems II*, vol. 40, no. 3, pp. 132-146, 1993.

[9] C.C. Lee and J. Pineda de Gyvez, "Single Layer CNN Simulator", *Proc. IEEE Int. Symposium on Circuits and Syst.*, pp. 217-220, 1994

[10] C.C. Lee and J. Pineda de Gyvez, "Time Multiplexing CNN Simulator", *Proc. IEEE Int. Symposium on Circuits and Syst.*, pp. 407-410, Dec. 1994

[11] J. Ramirez-Angulo and I. Grau, "Wide gm adjustment range, highly linear OTA with linear programmable current mirrors", *Proc. IEEE Int. Symp. Circuit & System*, vol. 3, pp.1372-1375, 1992.

박 병 일(Byung-Il Park)

1998년 2월 금오공과대학 전자공학과졸업  
 2000년 2월 금오공과대학 대학원 전자공학과졸업 (공학석사)  
 2000년 4월 ~ 현재 현대전자 메모리연구소 근무  
 \*주관심분야: 신경망 ASIC

정 금 섭(Kum-Sub Jung)

1990년 2월 금오공과대학교졸업  
 1992년 2월 금오공과대학 대학원 전자공학과졸업 (공학석사)  
 1999년 8월 금오공과대학 대학원 박사과정 수료  
 1996년 2월 ~ 현재 구미기능대학 생산자동화과 조교수  
 \*주관심분야: 신경망, ASIC, 영상처리, 자동화

전 흥 우(Hung-Woo Jeon)

1980년 2월 한국항공대학 전자공학과 졸업(공학사)  
 1982년 2월 고려대학교 대학원 전자공학과 졸업(공학석사)  
 1988년 8월 고려대학교 대학원 전자공학과 졸업(공학박사)  
 1989년 3월 - 현재 금오공과대학교 전자공학부 교수.

\*주관심분야: 신경망 ASIC 설계

신 경 욱(Kyung-Wook Shin)

1984年 2月 한국항공대학교 전자공학과 졸업(공학사)

1986年 2月 연세대학교 대학원 전자공학과 졸업(공학석사)

1990年 8月 연세대학교 대학원 전자공학과 졸업(공학박사)

1990年 9月 - 1991年 6月 한국전자통신연구소 반도체연구단 선임연구원.

1991年 7月 - 현재 금오공과대학교 전자공학부 부교수.

1995年 8月 - 1996年 7月 Univ. of Illinois at Urbana-champaign 방문연구.

\*주관심분야: 통신 및 신호처리용 집적회로 설계, 저전압/저전력 집적회로 설계, 적외선 센서용 Readout 회로 설계