

---

# 게이트 물질을 달리한 MOS소자의 플라즈마 피해에 대한 신뢰도 특성 분석

윤 재 석\*

## The Evaluation for Reliability Characteristics of MOS Devices with Different Gate Materials by Plasma Etching Process

Jae-Seog Yoon

---

이 논문은 1999학년도 대전대학교 학술연구비지원에 의한 것임

---

### 요 약

본 논문에서는 다양한 안테나 면적을 가지는 다결정실리콘(poly-Si) 및 폴리사이드(polycide) 게이트 물질을 게이트로 갖는 커패시터 및 n/p-MOS 트랜지스터를 사용하여 AAR(Antenna Area Ratio)의 크기에 따른 플라즈마 피해를 측정 및 분석하였다. 플라즈마 공정에 대한 신뢰도 특성을 조사하기 위해, MOS 소자의 게이트 물질을 달리하여 플라즈마 공정에 대한 초기 특성 및 F-N 스트레스와 hot carrier 스트레스 인가시의 n/p-MOSFET의 열화 특성을 측정된 결과 금속 AR에 의하여 플라즈마 공정의 영향을 받는 것으로 관찰되었다. 폴리사이드 게이트 구조가 다결정실리콘 게이트 구조보다 AAR에 따른 정전류 스트레스 인가시의 TDDB(Time Dependent Dielectric Breakdown) 및 게이트 전압의 변화 등과 같은 신뢰성 특성에서 상당히 개선됨을 알 수 있었다. 이는 텅스텐 폴리사이드 형성 공정 중에 불소가 게이트 산화막에 함유되었기 때문인 것으로 설명할 수 있으며, 게이트 물질로 폴리사이드를 사용한 소자에서 플라즈마 영향을 줄일 수 있다는 사실이 차세대 MOS 소자의 게이트 박막으로 폴리사이드 게이트 박막을 활용할 수 있는 가능성을 확인하였다.

### ABSTRACT

It is observed that the initial properties and degradation characteristics on plasma of n/p-MOSFET with

---

\* 대전대학교 이공대학 컴퓨터공학과  
접수일자 : 2000년 4월 21일

polycide and poly-Si as different gate materials under F-N stress and hot electron stress are affected by metal AR(Antenna Ratio) during plasma process.

Compared to that of MOS devices with poly-Si gate material, reliability properties on plasma of MOS devices with polycide gate material are improved. This can be explained by that fluorine of tungsten polycide process diffuses through poly-Si into gate oxide and results in additional oxide thickness.

The fact that MOS devices with polycide gate material can reduce damages of plasma process shows possibility that polycide gate material can be used as gate material for next generation MOS devices.

## I. 서 론

ULSI(Ultra Large Scale Integration) 집적회로에서 플라즈마 공정은 미세한 패턴의 형성과 저온에서의 박막 증착 특성 때문에 널리 사용되는 공정이다. 플라즈마 공정에서 웨이퍼 및 웨이퍼 내에 있는 소자들이 직접 광자 및 이온과 전자들과 같은 고 에너지 입자에 노출되는데 이 때 입자들이 갖고 있는 전하들이 안테나 역할을 하는 알루미늄이나 다결정실리콘에 모여 얇은 게이트 산화막에 전류를 흐르게 한다. 따라서 이러한 플라즈마 공정에 의한 MOS 소자의 게이트 산화막의 노쇠화는 ULSI 집적회로의 심각한 문제점의 하나로 부각되었다. 이러한 플라즈마 공정 후 스트레스로 인한 게이트 산화막의 노쇠화 문제를 해결하기 위해 많은 연구가 진행되어 왔다.<sup>[1]-[5]</sup>

또한 이온 주입 공정 또는 CVD 공정으로 MOSFET의 게이트 산화막에 불소를 함유시켜 제작한 불화된 산화막(FO: Fluorinated Oxide)의 특성에 관하여 광범위하게 연구되어 왔으며<sup>[6]-[9]</sup>, 불화된 산화막의 ULSI 기술에 응용 가능성에 관한 많은 논문들이 발표되었다<sup>[10]</sup>. 최근에 메모리와 논리회로 소자 응용으로 게이트 저항을 감소시켜 회로의 동작 속도를 증가시키기 위하여  $WF_6$  가스를 사용하여 CVD 방식으로 증착한 텅스텐 폴리사이드( $WSi_x$ ) 게이트 CMOS 트랜지스터의 사용을 증가하고자 노력해 왔으며, 이때  $WF_6$  가스에 함유되어 있는 불소가 게이트 산화막에 포함되게 되어 소자 특성에 영향을 미치는 것으로 알려진다. CVD  $WSi_x$  공정은 더 높은 열 공정 및 불소의 영향에 의하여 S/D dopant의 측면 확산을 증진시키는 것으로 알려져 있으며, 이로 인하여 또한  $WSi_x$  게이트 트랜지스터는 다결

정실리콘 게이트 트랜지스터보다 약간 큰 전자와 정공의 이동도( $\mu_n, \mu_p$ )를 나타내는 것으로 알려져 있다<sup>[7]</sup>. 또한  $WSi_x$  게이트 n/p-MOSFET의 성능은 다결정실리콘 게이트 n/p-MOSFET보다 각각 5%와 10% 정도의 개선된 성능을 나타내며,  $WSi_x$  n-MOSFET 소자의 hot carrier 수명 시간은 다결정실리콘 n-MOSFET에 비하여 10배 이상 더 큰 것으로 발표되었다<sup>[11]</sup>. 또한 불화된 산화막 커패시터의 TDDB(Time-Dependent Dielectric Breakdown) 특성 및 항복 전계 특성은 순수한 산화막에 비하여 약간 개선된다고 발표되었다<sup>[12]</sup>.

본 논문에서는 이러한 불화된 산화막의 특성을 이용하여 다양한 안테나 면적을 가지는 다결정실리콘(poly-Si) 게이트를 갖는 MOS 커패시터의 신뢰성 특성을 동일한 구조의 폴리사이드 게이트를 갖는 MOS 커패시터와 비교하고자 하며, 또한 동일한 금속 패드 면적을 갖는 CG(Common Gate) 및 SG(Separated Gate) 구조를 갖는 다결정실리콘(poly-Si) 게이트를 갖는 n/p-MOSFET 대한 정전계 F-N 스트레스, hot carrier 스트레스 인가시의 특성들을 폴리사이드 게이트를 갖는 n/p-MOSFET의 특성과 비교하여 AAR(Antenna Area Ratio)의 크기에 따른 플라즈마 피해를 측정 및 분석, 평가하고자 한다

## II. 실험

본 실험에 사용된 게이트 물질들의 공정 조건을 표 1에 나타내었다. 다결정실리콘 게이트는 570°C의 온도에서  $SiH_4$ 와  $PH_3$ 의 가스를 사용하여 증착되면서 n+ 형으로 도핑하여 2000Å의 두께로 증착시켰다. 텅스텐 폴리사이드 게이트의 경우에는 앞

에서와 동일 방식으로 증착시킨 1000Å의 다결정 실리콘 위에 570℃의 온도로 SiH<sub>2</sub>Cl<sub>2</sub>와 WF<sub>6</sub> 가스를 사용하여 1000Å의 텅스텐 폴리사이드를 증착한 이후에 850℃에서 30분 동안 N<sub>2</sub> 분위기에서 열처리하였다. 이 때 성장된 폴리사이드와 Poly-Si의 두께는 C-V 방법으로 측정한 결과 각각 83Å과 84Å이었다.

MOS 소자는 보통의 twin well CMOS공정 및 LOCOS 공정을 진행한 후에 채널 이온 주입을 하여 제작하였다. GA, GB는 표 1에서와 같이 게이트 물질에 따른 구분으로 각각 다결정실리콘 게이트와 텅스텐 폴리사이드 게이트를 나타낸다. 게이트 전극의 모양을 형성한 후 LDD(Lightly Doped Drain) n-MOSFET 제작을 위해 n<sup>-</sup> 이온 주입을 P<sup>+</sup>, 30KeV, 2.0E13/cm<sup>2</sup>으로, 그리고 p<sup>-</sup> 이온 주입을 BF<sub>2</sub><sup>+</sup>, 30KeV, 1.0E13/cm<sup>2</sup>으로 진행하였고, n<sup>+</sup> 이온 주입을 As<sup>+</sup>, 40KeV, 3.0E15/cm<sup>2</sup>으로 하였으며, p<sup>+</sup> 이온 주입은 BF<sub>2</sub><sup>+</sup>, 30KeV, 1.5E15/cm<sup>2</sup>으로 하였다. CVD 산화막을 증착하고 contact 식각 공정 후, TiN/Al/Ti/TiN를 증착하고 금속 mask를 사용하여 금속 전극 모양을 형성한 후 H<sub>2</sub> 가스에서 열처리하여 공정을 완성하였다.

표 1. 게이트 전극 물질의 증착 조건  
 시료 GA - 다결정실리콘 게이트  
 시료 GB - 텅스텐 폴리사이드 게이트

Table 1. The deposition conditions of gate materials.

Sample GA - poly-Si gate  
 Sample GB - W-polycide gate

Sample	Items	Poly-Si 증착	W-Polycide 증착 조건	Anneal 조건
GA	가스: SiH <sub>4</sub> +PH <sub>3</sub> 온도: 570℃ 두께: 2000 Å		×	×
GB	가스: SiH <sub>4</sub> +PH <sub>3</sub> 온도: 570℃ 두께: 1000 Å	가스: SiH <sub>2</sub> Cl <sub>2</sub> +WF <sub>6</sub> 온도: 570℃ 두께: 1000 Å		가스:N <sub>2</sub> 온도:850℃ 두께:2000 Å

게이트 전극을 형성하기 위한 다결정실리콘과 텅스텐 폴리사이드의 식각 및 금속 전극을 형성하기 위한 금속 식각에는 음극이 13.56 MHz의 RF 발생기에 연결되어 있는 MERIE(Magnetic Enhanced Reactive Ion Etching) 장비를 사용하였다. 게이트 다결정실리콘의 식각 공정에는 Cl<sub>2</sub>와 HBr의 혼합 가스를, 그리고 텅스텐 폴리사이드의 식각에는 SF<sub>6</sub>와 HBr의 혼합 가스를 사용했으며, 오버 식각(overetching)에 사용된 가스는 모두 Cl<sub>2</sub>, HBr, He, 그리고 O<sub>2</sub>의 혼합 가스를 사용하였다. 이 때, 음극의 온도는 40℃의 온도로 그리고 Chamber 내부의 기압은 100mtorr로 유지하였다. 금속 식각에는 식각 및 오버 식각 공정에 모두 Cl<sub>2</sub>, N<sub>2</sub>, HBr, He의 동일한 혼합 가스를 사용하였으며, 음극의 온도는 80℃의 온도로, 그리고 Chamber 내부의 기압은 170mtorr로 유지하였다.

실험에 사용된 커패시터들을 얇은 산화막 위에 있는 게이트 들에 대한 안테나 변수들을 정리하여 표 2에 나타내었다

표 2. 다결정 실리콘 게이트 구조와 폴리사이드 게이트 구조를 갖는 커패시터 #1, #2, #3에 대한 안테나 변수들

Table 2. The antenna parameters for capacitors of #1, #2 and #3 with poly-Si gate and polycide gate.

안테나 구분	Antenna Area Ratio	Area on the Thin Gate Oxide	Antenna Area
#1	1	10 μm <sup>2</sup>	10 μm <sup>2</sup>
#2	1000	10 μm <sup>2</sup>	10000 μm <sup>2</sup>
#3	10000	1 μm <sup>2</sup>	10000 μm <sup>2</sup>

표 3에는 채널 길이(L)가 0.6μm와 0.5μm이고, 채널 폭(W)이 20μm, 5μm, 2.5μm의 크기를 갖는 CG(Common Gate) 구조와 채널폭이 20μm인 SG(Separate Gate) 구조의 두 가지 형태 LDD n/p-MOSFET들에 대한 금속 안테나 변수들을 나타내었다. CG의 금속 패드에는 W=20μm이고 L=20μm ~ 0.25μm인 여러 개의 n-MOSFET의 게이트들

이 연결되어 있는 구조로 되어 있는 반면에, SG의 금속 패드에는  $W/L=20\mu\text{m}/0.6\mu\text{m}$ 인 n-MOSFET의 게이트 다결정실리콘 하나만이 연결되어 있어, 금속 AAR은 SG n-MOSFET의 경우가 CG n-MOSFET의 경우보다 훨씬 크나, PAR(Perimeter Antenna Ratio)은 SG n-MOSFET가 CG n-MOSFET보다 약간 작다.

표 3. GA와 GB의 n/P-MOSFET( $W/L=20\mu\text{m}/0.5\mu\text{m}$ ,  $W/L=20\mu\text{m}/0.6\mu\text{m}$ )들에 대한 금속 안테나 변수들

Table 3. The metal antenna parameters for n/P-MOSFETs( $W/L=20\mu\text{m}/0.5\mu\text{m}$ ,  $W/L=20\mu\text{m}/0.6\mu\text{m}$ ) of GA and GB.

Items	Channel ( $\mu\text{m}$ )		Metal AR	
	Length	Width	AAR	PAR
CG20/0.6(0.5)	0.6(0.5)	20	54(45)	82(68)
SG20/0.6(0.5)	0.6(0.5)	20	873(728)	68(57)

### III. 결과 및 고찰

#### 1. MOS 커패시터의 특성

그림 1에는  $J_g=-100\text{mA}/\text{cm}^2$ 의 정전류 인가시의 TDDB 특성의 분포를 나타내었다. AAR=10000의 경우 AAR=1과 AAR=1000의 TDDB 특성보다 나쁘며, 또한 다결정실리콘 게이트 산화막의 TDDB 특성은 AAR값에 관계없이 폴리사이드 게이트 산화막의 TDDB 특성보다 나쁘게 나타났다. 게이트 AAR이 증가함에 따라 TDDB 특성의 분포 차이도 폴리사이드 게이트 구조에서 다결정실리콘 게이트 구조의 경우보다 더 작게 좋은 분포를 갖는 것으로 나타났다. 다결정실리콘 게이트 구조의 경우 AAR=1(Sample#1)에서 AAR=1000(Sample#2)으로 증가할 때 보다 AAR=1000에서 AAR=10000(Sample#3)으로 증가할 때 TDDB 특성의 분포가 더 심하게 나빠진다. 이것은 AAR=1인 게이트 안테나 구조의 MOS 소자도 contact을 통하여 표 2에서 보여준 것과 동일한  $10000\mu\text{m}^2$ 의 금속 패드와 연결되어 있어 금속의 AAR은 1000이 되며, 따라서 다결정실리콘 안테나가 AAR=1에서 AAR=1000으로의 증가는 실제로는 금

속과 다결정실리콘 둘 다의 AAR을 합칠 경우 AAR=1000에서 AAR=2000으로 증가하기 때문에 TDDB 특성의 차이가 그리 크지 않게 된다. 폴리사이드 게이트 구조에서는 AAR=1000과 AAR=10000에서의 차이가 크지않다는 것을 알 수 있다. 이러한 폴리사이드 게이트를 갖는 MOS 커패시터의 TDDB 특성의 개선은 텅스텐 폴리사이드 형성 공정 중에 불소가 게이트 산화막에 함유되었기 때문인 것으로 설명할 수 있다.

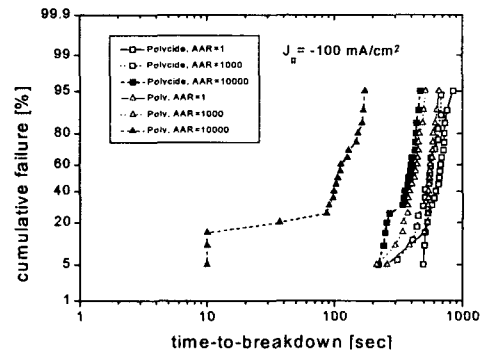
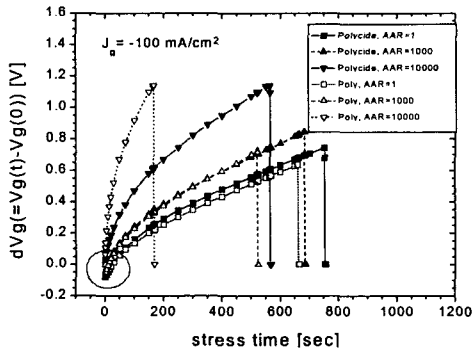


그림 1.  $J_g=-100\text{mA}/\text{cm}^2$ 의 정전류 스트레스 인가시의 AAR에 따른 폴리사이드와 폴리실리콘 게이트 커패시터의 TDDB 특성.

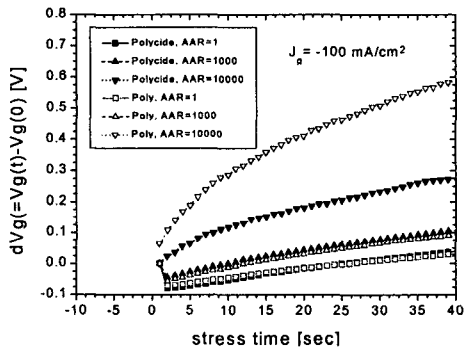
Fig. 1. The TDDB characteristics for polycide and poly-Si Gate capacitors with different AARs under constant current stress of  $J_g=-100\text{mA}/\text{cm}^2$ .

그림 2에는  $J_g=-100\text{mA}/\text{cm}^2$ 의 정전류 스트레스 인가시의 게이트 전압 변화( $dV_g$ )대 스트레스 시간과의 관계를 나타내었다. 같은 AAR을 갖는 커패시터를 비교할 때 다결정실리콘 게이트보다 폴리사이드 게이트 구조의 경우가 스트레스 시간에 따른 게이트 전압의 변화가 더 작은 것으로 나타났으며, 이는 전자 트랩의 발생율이 다결정실리콘 게이트 경우에 더 크기 때문이다. 즉 전자 포획량의 증가를 나타내는  $dV_g/dt$ 의 값이 폴리사이드 게이트 구조의 경우가 다결정실리콘 게이트 구조의 경우보다 훨씬 작다. 또한 AAR의 증가에 따른  $dV_g$ 의 변화는 AAR=1000에서 AAR=10000으로 증가할 때가 AAR=1에서 AAR=1000으로 증가할 때 보다

더 크게 됨을 알 수 있다.



(a) 게이트 전압 변화



(b) 그림 (a)의 확대 부분

그림 2.  $J_g = -100 \text{ mA/cm}^2$ 의 정전류 스트레스 인가시의 AAR에 따른 폴리사이드와 폴리실리콘 게이트 커패시터의 게이트 전압 변화.

Fig. 2. The variation of gate voltage for polycide and poly-Si gate capacitors with different AARs under constant current stress of  $J_g = -100 \text{ mA/cm}^2$ .

그림 2의 (b)는 (a)에서 원형 내에 있는 스트레스 초기의 40초 동안만을 확대하여 다시 나타낸 것이다. 다결정실리콘과 폴리사이드 게이트 둘 다에 대하여 AAR=1과 AAR=1000일 때는 스트레스 초기에 정공 트랩을 보여 주지만, AAR=10000일 때는 단지 전자 트랩만을 나타냈으며, 또한 정공 트랩의 발생율도 AAR=1인 경우가 AAR=1000인 경우보다 더 크다. 이는 AAR이 증가함에 따라 두 개의 게이트 구조에서의 전자 트랩 발생율이 점점

더 증가되기 때문인 것으로 해석할 수 있다. 즉, 플라즈마 식각시에 발생된 전자 트랩들은 이후의 열처리 공정에서 회복된 잠재적인 전자 트랩으로 있다가 스트레스 인가시에 일부분이 다시 쉽게 전자를 포획하는 것으로 알려진다. 그러므로 가장 큰 플라즈마 피해를 받은 AAR=10000인 경우에는 가장 많은 잠재적인 전자 트랩들을 갖고 있고, 가장 적은 플라즈마 피해를 받은 AAR=1인 경우에는 가장 적은 잠재적인 전자 트랩들을 갖고 있다. 따라서 동일한 양의 정공 트랩이 스트레스 초기에 발생하더라도 AAR=1인 경우에는 가장 적은 전자 트랩이 함께 발생하여 복합적으로 가장 큰 정공 트랩을 보이는 반면에, AAR=10000인 경우에는 스트레스 초기에 발생하는 전자 트랩의 양이 가장 커서 복합적으로 볼 때 스트레스 초기부터 정공 트랩이 보이지 않는 것으로 설명할 수 있다.

## 2. n/p-MOSFET의 특성

그림 3에서는 다결정실리콘 게이트 구조와 폴리사이드 게이트 구조에서 CG 및 SG 구조를 갖는  $W/L=20 \mu\text{m}/0.5 \mu\text{m}$ 인 n-MOSFET들(a)과  $W/L=20 \mu\text{m}/0.6 \mu\text{m}$ 인 p-MOSFET들(b)에서의 초기 문턱전압 ( $V_{t,ext}$ )의 분포를 나타내었다. 다결정실리콘과 폴리사이드 게이트 n-MOSFET(a)와 p-MOSFET(b)에 대하여 금속 AAR이 작은 CG 구조의 n/p-MOSFET들은 금속 AAR이 큰 SG n/p-MOSFET에 비하여 모두 더 좁은 좋은 분포 특성을 나타내었다. 그러나 CG 및 SG 구조의  $V_{t,ext}$ 의 분포의 차이는 두 개의 게이트 n/p-MOSFET에 대하여 유사하거나 또는 폴리사이드 게이트인 경우가 약간 더 큰 것으로 나타났다. 이는 폴리사이드 게이트인 경우에 게이트 산화막에 불소기가 함유됨에 따라 게이트 산화막의 증가가 발생하게 되어 초기  $V_{t,ext}$  특성의 분포가 더 커진 것으로 보인다. 또한 CG 및 SG 구조에 따른 초기 문턱전압의 분포 특성은 p-MOSFET보다는 n-MOSFET에서 더 큰 것으로 관찰되었다.

그림 4에는 다결정실리콘 게이트 구조와 폴리사이드 게이트 구조에서 CG 및 SG 구조를 갖는  $W/L=20 \mu\text{m}/0.5 \mu\text{m}$ 인 n-MOSFET들(a)과  $W/L=20 \mu\text{m}/0.6 \mu\text{m}$ 인 p-MOSFET들(b)에서의 초기 전달컨덕턴

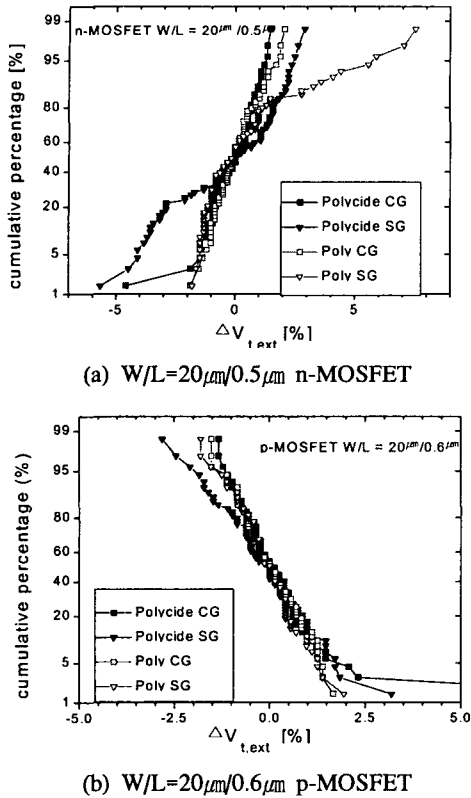


그림 3. CG 및 SG 구조의 폴리사이드와 폴리실리 콘 게이트 MOSFET의 초기 문턱 전압 특성 분포.

Fig. 3. The distribution of initial threshold voltage( $V_{t,ext}$ ) for MOSFET with polycide and poly-Si gate of CG and SG Structures.

스( $G_m$ )의 분포를 나타내었다. 다결정실리콘과 폴리사이드 게이트 n-MOSFET(a)와 p-MOSFET(b)에 대하여 CG 및 SG구조의 n/p-MOSFET들은 모두 유사하거나 금속 AAR이 큰 SG n/p-MOSFET에 비하여 CG 구조의 n/p-MOSFET들이 아주 약간 더 좁은 좋은 분포 특성을 나타내었으나,  $V_{t,ext}$ 의 분포에 비하여 그 차이는 훨씬 더 작게 나타났다. 그러나 CG 및 SG 구조 둘 다의 초기  $G_m$ 의 분포 특성은 n-MOSFET의 경우에는 폴리사이드 게이트의 경우가 약간 더 나쁘게 나타났으나, p-MOSFET의 경우에는 두개의 게이트에 대하여 유사하거나

폴리사이드 게이트 p-MOSFET의 초기 전달컨덕턴스 값은 다결정실리콘 게이트의 전달컨덕턴스 값보다 약간 더 좋은 분포를 갖는 것으로 나타났다.

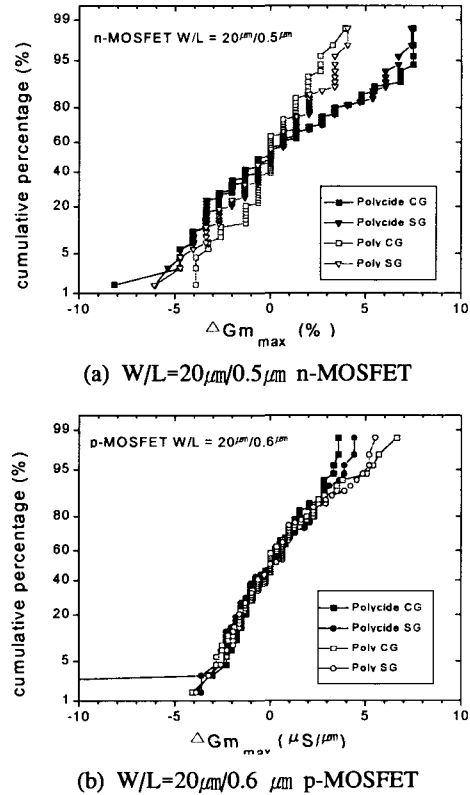
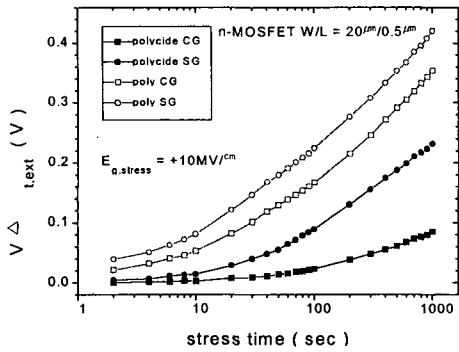


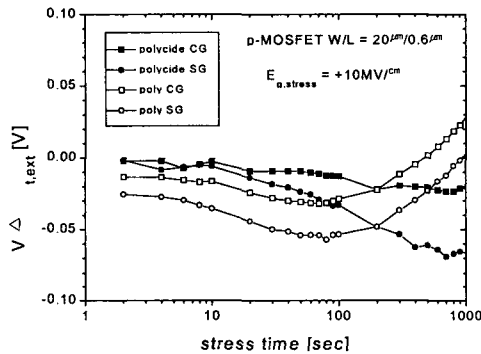
그림 4. CG 및 SG 구조의 폴리사이드와 폴리실리 콘 게이트 MOSFET의 초기 전달 컨덕턴스( $\Delta G_{m,max}$ )의 분포.

Fig. 4. The distribution of initial transconductance ( $\Delta G_{m,max}$ ) for MOSFET with polycide and poly-Si gate of CG and SG structure.

그림 5에서는 다결정실리콘 게이트 구조와 폴리사이드 게이트 구조에서 CG 및 SG 구조를 갖는  $W/L=20\mu\text{m}/0.5\mu\text{m}$ 인 n-MOSFET들(a)과  $W/L=20\mu\text{m}/0.6\mu\text{m}$ 인 p-MOSFET들(b)에 대하여  $E_g=+10\text{MV}/\text{cm}$ 의 정전계 스트레스를 인가했을 때의  $V_{t,ext}$ 의 열화 특성을 나타내었다. 그림 5의 (a)로부터 다결정실리콘 및 폴리사이드 게이트 모두에 대하여 CG n-MOSFET는 SG n-MOSFET보다 더 작은 열화



(a) W/L=20µm/0.5µm n-MOSFET



(b) W/L=20µm/0.6µm p-MOSFET

그림 5.  $E_g=+10MV/cm$ 의 정전계 스트레스 인가시 폴리사이드와 폴리실리콘 게이트 MOSFET에서의  $\Delta V_{t,ext}$ 의 열화 특성.

Fig. 5 The degradation of  $\Delta V_{t,ext}$  for MOSFETs with polycide and poly-Si gate under constant field stress of  $E_g=+10MV/cm$ .(continued)

특성을 나타내었으며, 이는 표 3에서 보여준 금속 AAR이 CG n-MOSFET가 SG n-MOSFET에 비하여 더 작기 때문인 것으로 설명할 수 있다. 또한 폴리사이드 게이트를 갖는 n-MOSFET의 특성이 다결정실리콘 게이트를 갖는 n-MOSFET보다 작은 열화 특성을 나타내었으며, 이는 텅스텐 폴리사이드 형성 공정 중에 불소가 게이트 산화막에 함유되었기 때문인 것으로 설명할 수 있다. 그러나 금속 AAR에 따른, 즉 CG 및 SG 구조의 n-MOSFET의 열화 특성의 차이는 폴리사이드 게이트인 경우에 더 큰 것으로 나타났다. 그림 5의 (b)로부터 다결정실리콘 및 폴리사이드 게이트 모

두에 대하여 CG p-MOSFET는 SG p-MOSFET보다 초기의 스트레스 기간 동안 정공 트랩의 영향이 더 크며, 따라서  $V_{t,ext}$ 는 더 음(-)의 값이 된다. 그러나 스트레스 시간이 더 길어질수록 전자 트랩 및 Acceptor형 계면 상태가 점점 증가되어  $V_{t,ext}$ 는 가장 큰 음의 값이 된 후에 약간씩 양(+)의 방향으로 증가하여 1000초 동안의 스트레스 인가 후에는 정공 트랩보다는 전자 트랩 및 Acceptor형 계면상태의 영향이 더 크게 되며, 따라서 1000초 동안의 스트레스 후의  $V_{t,ext}$ 의 값은 원래의  $V_{t,ext}$ 의 값보다 더 양(+)의 방향으로 증가한 값이 된다. 폴리사이드 게이트의 경우에는 정공 포획의 영향이 최대가 되는 점이 다결정실리콘 게이트에 비하여 더 늦게 발생하며, 최대의 정공 트랩의 영향 이후에도 더 작은 전자 포획 특성을 나타낸다. 이는 그림 1과 2에서 설명한 것과 같이 폴리사이드 게이트의 경우에 게이트 산화막에 포함된 불소의 영향으로 스트레스 인가시 더 적은 전자 포획 특성을 나타내며, 또한 정공 포획 특성도 더 느리게 나타나는 것으로 설명할 수 있다. 또한 AAR이 증가할수록 다결정실리콘 및 폴리사이드 게이트 모두에 대하여 더 큰 정공 포획 특성과 전자 포획 특성을 나타낸다. 이는 그림 2에서와 동일한 이유로 설명할 수 있다.

#### IV. 결론

VLSI 집적회로에서 필수적인 플라즈마 공정후 MOS 소자에서의 플라즈마에 대한 신뢰도 특성을 조사하기 위해, MOS 소자의 게이트 물질을 달리하여 플라즈마 공정에 대한 초기 특성 및 F-N 스트레스와 hot carrier 스트레스 인가시의 n/p-MOSFET의 열화 특성은 금속 AR에 의하여 플라즈마 공정의 영향을 받는 것으로 관찰되었는데 폴리사이드 게이트 구조가 다결정실리콘 게이트 구조보다 AAR에 따른 정전류 스트레스 인가시의 TDDB 및 게이트 전압의 변화 등과 같은 신뢰성 특성에서 상당히 개선됨을 알 수 있다. 이는 텅스텐 폴리사이드 형성 공정 중에 불소가 게이트 산화막에 함유되었기 때문인 것으로 설명할 수 있었다. 다결정실리콘과 폴리사이드와 같은 다른 게이트 물질을 갖는 산화막에 대하여

다른 AAR에 따른 차이를 규명하여 플라즈마 공정에 대한 MOS 소자의 초기 특성 및 신뢰성 특성을 분석한 결과 텅스텐 폴리사이드 형성 공정 중에 불소가 게이트 산화막에 함유되는 이유로 폴리사이드 게이트 소자가 우수한 열화 특성을 보이는 것을 알았다. 게이트 물질로 폴리사이드를 사용한 소자에서 플라즈마 영향을 줄일 수 있다는 사실이 차세대 MOS 소자의 게이트 박막으로 폴리사이드 게이트 박막이 활용될 수 있으며 그 가능성을 확인하였다.

### 참 고 문 헌

- [1] H. Shin, C. C. King, and C. Hu, Thin oxide damage by plasma etching and ashing process, in Proc. of the IRPS, 1992, p. 37-41.
- [2] Kafai Lai, Kiran Kumar, Anthony Chou, and Jack C. Lee, Plasma Damage and Photo-Annealing Effects of Thin Gate Oxides and Oxynitrides During O<sub>2</sub> Plasma Exposure, IEEE Electron Devices Lett., EDL-17, no. 3, p. 82, 1996.
- [3] A.B. Joshi, R. Mann, L. Chung, M. Bhat, T.H. Cho, B.W. Min, and D.L. Kwong, Suppressed Process-Induced Damage in N<sub>2</sub>O Annealed SiO<sub>2</sub> Gate Dielectrics, IRPS, p. 156, 1995.
- [4] D. Crook, M. Domnitel, M. Webb, and J. Bonini, Evaluation of Modern Gate Oxide Technologies to Process Charging, IRPS, p. 255, 1993.
- [5] J. S. Yoon, S. D. Lee, B. R. Kim, The Evaluation of Plasma Damage on N<sub>2</sub>O Oxide and Pure Oxide, International Symposium on Plasma Process-Induced Damage, p181-183, 1996
- [6] Y. Uraoka, K. Eriguchi, T. Tamaki, and K. Tsuji, Evaluation technique of gate oxide damage, IEEE Trans. on Semiconductor Manufacturing, vol. 7, no. 3, p. 293-297, 1994.
- [7] V. Jain, D. Pramanik, K. Y. Chang, and C. Hu, Improved Sub-micron CMOS Device Performance Due to Fluorine in CVD Tungsten Silicide, in 1991 Symp. VLSI Tech., p. 91, 1991.
- [8] A. Kasai, P. J. Wright, and K. C. Saraswat, Hot-Carrier-Degradation Characteristics for Fluorine-Incorporated nMOSFET's, IEEE Trans. Elec. Dev., vol. 37, no. 6, p. 1426, 1990.
- [9] A. Balasinski, L. Vishnubhotla, T. P. Ma, H.-H. Tseng, and P. J. Tobin, Fluorinated CMOSFET's Fabricated on (100) and (111) Si Substrate, in Proc. Of 1993 VLSI Technology, Systems, and Applications Symp., Taipei, Taiwan, p. 95, 1993.
- [10] Z. H. Liu, P. T. Lai, and Y. C. Cheng, Characterization of charge trapping and high-field endurance for 15-nm thermally nitrided oxides, IEEE Trans. Elec. Dev., vol. 38, p. 344, 1991.
- [11] I. C. Chen, M. Rodder, H.-J. Wann, and D. Spratt, Performance and Reliability Enhancement for CVD Tungsten Polycided CMOS Transistors Due to Fluorine Incorporation in the Gate Oxide, IEEE Elec. Dev. Lett., vol. 15, no. 9, p. 351, 1994.
- [12] Z. H. Liu, P. Nee, P. K. Ko, C. Hu, C. G. Sodini, B. J. Gross, T.-P. Ma, Field and Temperature Acceleration of Time-Dependent Dielectric Breakdown for Reoxidized-Nitrided and Fluorinated Oxides, IEEE Elec. Dev. Lett., vol. 13, no. 1, 1992.





윤 재 석(Jae-Seog Yoon)

1982년2월 : 경북대학교 전자공학과 학사.

1985년2 월 : 연세대학교 전자공학과 석사

1991년5월 : 미국 Washington Uni. 전기 및 컴퓨터공학과 M.S.

1997년2월 : 연세대학교 전자공학과 공학박사

1998년3월 ~ 현재 : 대진대학교 컴퓨터공학과 조교수

\* 주관심분야 : 디지털 멀티미디어 및 음성신호처리, VLSI설계 및 반도체 소자