

초음파 탐상을 위한 고속 아날로그 입력 카드의 설계

이 병 수*, 이 동 원**, 박 두 석***

Design of High Speed Analog Input Card for Ultrasonic Testing

Byung Soo Lee*, Dong Won Lee**, Doo Seog Park***

요 약

A/D Board는 Data Acquisition 시스템에서 가장 중요한 하드웨어 기술로써, 컴퓨터를 이용하는 계측기에 필수적으로 사용되는 장치이다. 특히, 초음파 탐상 장치의 A/D Board는 수 MHz대의 초음파를 디지털로 변환하기 위해 고속의 A/D 변환기가 필요하고, PC 메모리로 직접 전송할 수 있는 DMA 방식의 회로 설계가 요구된다.

본 연구는 측정하려는 대상으로부터 반사된 초음파 신호를 고속의 A/D 변환기에 의해 디지털화 한 후, 데이터의 Peak값을 추출하여 ISA Bus를 통해서 PC로 전송 지켜주는 카드를 설계하였다.

초음파 탐상에 사용되는 주파수가 보통 10MHz 이상이므로 이 신호를 안정적으로 획득하기 위해서는 샘플링 속도가 초음파 주파수 보다 4배 이상 빨라야 한다. 따라서 50MHz의 샘플링 속도와 8 비트의 분해능을 갖는 A/D 변환기를 사용하였으며, 변환된 초음파 신호를 고속 처리하기 위해 Positive와 Negative Peak Detection 모드를 동시에 동작하도록 VHDL을 이용하여 설계하였다.

Abstract

It was designed a high-speed analog input card that is a important device of ultrasonic testing flaw detector in the middle of non-destructive testing in this paper.

The A/D Board is inquired high-speed sampling rate and fast data acquisition system.

This pater shows a design that has a function of Peak- Detection for ultrasonic testing by ISA Bus type and a 50MHz of A/D converter in order to do sampling more than quadruple frequency of transducer frequency.

* 순천향 대학교 정보기술학부 교수

** 전기전자공학과 정보통신전공 대학원

*** 동서대학교 컴퓨터정보과 교수

I. 서론

오늘날 각종 구조물은 급속한 대형화, 고압화로 품질과 규모에 큰 변화를 가져오고 있으며, 안전성에 대한 신뢰도가 중요한 문제로 대두되고 있다. 생산지는 생산물의 구조에 어느 정도의 결함이 존재하는지 알아야 되고 그 결함이 얼마나 유해한지 알아야 한다. 이런 판단의 자료를 제공하는 것이 비파괴검사이다. 이러한 현실과 더불어, 디지털 전송 기술, 실시간 데이터의 이미지 처리의 기술을 기반으로 한 HDTV와 DVD 개발, 영상 전화기등 디지털 신호 처리를 위한 아날로그 신호에서 디지털 신호로의 변환 장치는 큰 역할을 하고 있다. 현재 사용되고 있는 A/D Board는 급격한 산업 변화의 속도에 적응 및 응용에 한계를 보이고 있고, 계측기 자체의 단일성 때문에 실제 많은 사용자가 고속 신호의 실시간 데이터 분석에는 응용 범위가 제한적임을 느끼고 있다. 또한, 사용자는 수집된 데이터의 저장 및 분석 능력과 객관적인 자료를 작성 및 보관하기 위한 기능을 필요로 하고 있다. 이를 해결하기 위한 방안은 A/D Board의 고속화를 이루는 것이다.

본 연구는 시험체로부터 반사되는 초음파 신호를 고속의 A/D 변환기로 처리하고, 이 데이터를 DMA방식으로 PC로 전송하는 고속의 A/D Board를 설계하였다. 그리고 초음파 탐상 검사에서 가장 중요한 Peak Detection 기능을 Positive와 Negative Peak를 동시에 찾게 설계하여 기존의 방식보다 데이터 처리 속도를 두 배로 높였으며, 디지털 회로 대부분을 VHDL로 설계하여 Board의 소형화와 경제성을 추구하였다. 또한, 산업 분야의 80% 이상이 ISA BUS 구조로 각종 제어 장치에 쓰이는 현실에 맞추어 이 모든 설계를 ISA BUS 카드형으로 설계하였다.

II. A/D Board의 설계

A/D board는 외부의 아날로그 신호를 입력받아서 디

지탈로 변환한 후, PC에 고속으로 넘겨주는 기능을 수행한다. 본 논문에서 한 A/D board는 이런 일반적인 기능 이외에 초음파 검사에 필요한 Peak Detection 기능을 추가하였고, Peak Detection을 포함한 디지털 회로는 VHDL을 이용하여 설계하였다. 그림 1은 설계한 A/D Board의 전체 블럭도이다.

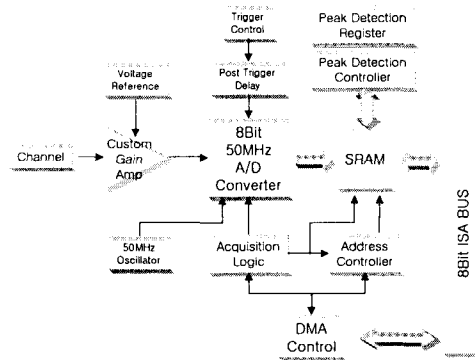


그림 1. A/D Board의 블럭도

2.1. 입력 전압 범위

A/D 변환기의 입력 전압 범위는 +2V에서 +4V이고, 반사된 초음파 신호의 전압은 $\pm 500\text{mV}$, $\pm 1\text{V}$, $\pm 2\text{V}$ 로 변환기 입력으로 적합하지 않다. 따라서, 초음파 신호의 입력 전압을 A/D 변환기의 입력 전압에 맞추도록 조정하는 회로가 필요하게 된다.

표 1은 설계된 A/D Board의 데이터 컨디셔닝을 위한 입력되는 각 초음파 신호에 대한 증폭비이다.

표 1. 초음파 신호에 대한 증폭비

신호의 전압	변환기의 입력 크기	증폭비
$\pm 500\text{mV}$	2Vp-p	2
$\pm 1\text{V}$	2Vp-p	1
$\pm 2\text{V}$	2Vp-p	1/2

초음파 탐상 장치를 통해서 들어오는 신호는 탐촉자에 의해 3가지 크기로 한정되어 있기 때문에 이를 A/D 변환기의 입력으로 맞추어 주기 위해서는 증폭 회로가 필요하다. 그림 2은 3가지 초음파 신호 입력에 대한 증폭 회로의 개념도 이다.

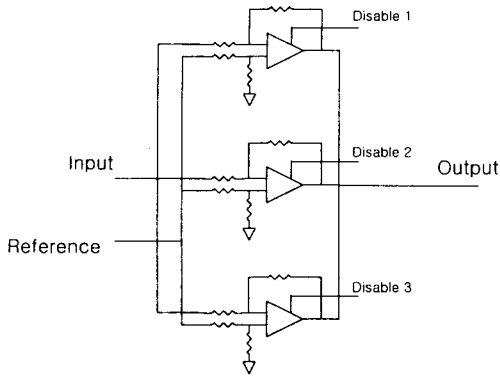


그림 2. 데이터 컨디셔닝을 위한 증폭 회로

그림 3은 A/D 변환기의 입력 전압 범위(2V_{p-p})로 조절하기 위한 초음파 신호 ±500mV, ±1V, ±2V에 대한 증폭기 CLC411에 대한 설계이다.

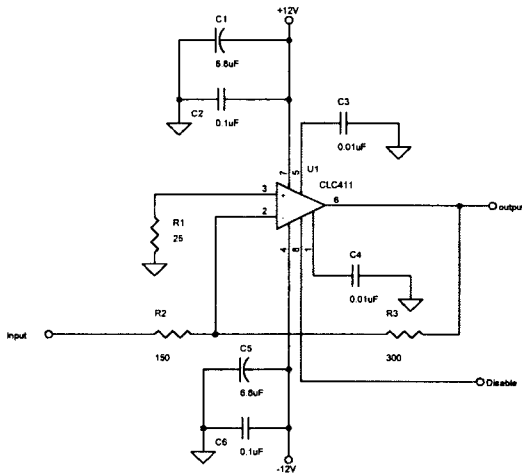


그림 3. 입력 신호에 대한 증폭기 설계

먼저 설계한 그림 2에서 입력 신호가 세 가지이기 때문에 이를 선택할 수 있는 회로가 필요하다. 이런 경우에는 jumper를 사용해서 선택할 수 있지만, 최근에는 보드에 필요한 모든 기능을 소프트웨어로 제어하기 때문에 jumper를 이용하는 방법은 좋지 않다. 소프트웨어로 선택할 수 있도록 하기 위해서는 아날로그 멀티플렉서를 이용하거나, 아날로그 스위치를 병렬로 설치해서 멀티플렉서처럼 사용하지만 이들이 통과시킬 수 있는 주파수 영역은 높지 않다. 본 논문에서 사용한 CLC411이라는 증폭기는 DISABLE pin이 있어서 이 핀을 소프트웨어 상에

서 제어해주면 증폭기의 출력을 내보내거나 high impedance 상태가 되도록 할 수 있다. 따라서, 세 개의 증폭기를 병렬로 설치하고 각 출력을 모두 연결하여 DISABLE pin을 조정하면 고속 아날로그 스위치 기능을 대신할 수 있다.

2.2 Sampling Rate 변화

저주파수 신호를 받아야 하는 경우에 sampling rate가 일정하다면 매우 짧은 시간의 데이터만을 받을 수 있기 때문에 정확한 분석을 하기가 어렵다. 이런 경우에는 sampling rate를 낮추어서 긴 시간의 데이터를 받는 편이 유리하다. 즉, 입력 신호의 특성에 맞추어서 Nyquist Frequency 이상으로 sampling rate를 조정할 수 있는 기능은 A/D board의 기본적인 기능이라 할 수 있다.

A/D 변환기의 변환 속도는 입력되는 클럭의 주파수에 의해서 결정된다. 보드에는 50MHz의 기준 oscillator를 달아주고 이 신호를 카운터에도 연결해 준다. 카운터는 기준 신호를 2, 4, 8, 16등으로 분주시키는 기능을 해준다. 따라서, 50MHz oscillator를 이용해서 분주 시키면, 25MHz, 12.5MHz, 6.25MHz, 3.125MHz로 주파수를 얻을 수 있다. 이렇게 되면 여러 개의 oscillator가 존재하고, A/D 변환기의 클럭 입력 핀은 하나이기 때문에 멀티플렉서를 구성할 필요가 있다. 이에 대한 블록도를 그림 4에 나타내었다.

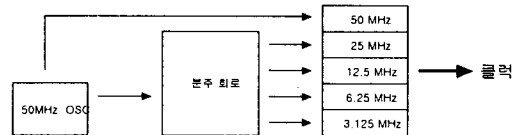


그림 4. sampling rate 변화

그림 4의 블록도를 VHDL을 이용하여 다음과 같이 구현하였다.

```

FREQ_DIVIDER : LPM_COUNTER
    GENERIC MAP ( LPM_WIDTH => 7,
                  LPM_DIRECTION => "UP" );
PORT MAP ( CLOCK => FREQ_50, Q => FREQ,
           CNT_EN => DIV_ON );

WITH ADD_DATA(10 DOWNT0 8) SELECT
    MAIN_CLK (<= FULLTIME AND FREQ_50 WHEN "000",
              FULLTIME AND FREQ(0) WHEN "001",

```

FULLTIME AND FREQ(1) WHEN "010".
 FULLTIME AND FREQ(2) WHEN "011".
 FULLTIME AND FREQ(3) WHEN "100".
 FULLTIME AND FREQ(4) WHEN "101".
 FULLTIME AND FREQ(5) WHEN "110".
 FULLTIMEAND FREQ(6) WHEN OTHERS:

FREQ_DIVIDER라는 카운터를 구현해서 7비트 카운터를 만들어 주었다. 50MHz라는 고주파수로 카운터가 계속 동작을 하면 회로에 부담이 발생하므로 CNT_EN이라는 핀을 설정해서 필요한 경우에만 카운터를 동작하도록 해 주었다. 이렇게 하면 50MHz의 기본 주파수가 생기고 카운터에 의해서 일곱 가지 주파수 성분이 발생하게 된다. 모두 8개의 주파수 성분이 생기기 때문에 ADD_DATA라는 값을 이용해서 8개의 주파수 성분 중 하나만을 선택해서 MAIN_CLK이라는 핀으로 연결을 해 준다. MAIN_CLK은 실제로 A/D 변환기로 입력되는 주파수 성분이 된다. FREQ_DIVIDER라는 카운터에서 CNT_EN이라는 핀을 설정한 것과 마찬가지로 이유로 MAIN_CLK도 FULLTIME이라는 값과 AND시켜서 필요한 경우에만 주파수를 출력하므로 회로의 부담을 줄여 주고 있다.

2.3 Post Trigger 회로

Oscilloscope는 트리거 신호가 들어온 이후부터 측정을 하도록 되어 있다. 초음파 장비에서는 트리거가 발생한 이후에 초음파의 진행에 어느 정도의 시간이 걸리기 때문에 트리거가 발생한 순간부터 데이터를 측정한다면 필요 없는 데이터를 많이 받게 되므로 정작 중요한 데이터는 잃어버릴 수 있다. 따라서, 트리거가 발생하고 어느 정도의 시간 이후부터 데이터를 측정하는 편이 유리한 경우가 많다. 이런 기능을 post trigger라 한다. 초음파 탐상 장치에서는 검사 대상에 따라서 초음파의 진행 시간이 변하기 때문에 post trigger를 임의로 조정할 필요가 있다.

Post Trigger를 구현하는 데에는 두 가지 방법을 생각할 수 있다. ISA Bus에서 Post Trigger Delay에 해당하는 값과 Conversion Duration에 해당하는 값을 잃어 온 후, 트리거가 발생한 이후부터 카운터를 해서 Post Trigger Delay 값과 현재의 카운터의 값이 일치한다면 카운터를 reset 시켜서 다시 처음부터 카운터를 동작시킨다. 이후에는 Post Trigger의 동작을 정지시키고, 카운터 값이 Conversion Duration과 일치하는 경우에 변환

을 중지시킨다. 이런 방식으로 동작을 시킬 경우에는 문제가 발생할 가능성이 있다. Post Trigger Delay 값과 현재의 카운터 값이 일치해서 카운터에 리셋을 거는 순간에 리셋 펄스의 폭이 기본 주파수보다 길기 때문에 리셋이 걸린 이후에 변환된 신호를 한 번 정도 잃어 버릴 가능성이 있다. 항상 하나의 신호를 잃어버린다면 Post Trigger Delay 값을 조정하면 되지만, 잃어버리는 신호의 개수가 일정하지 않기 때문에 이런 식으로 해결할 수는 없다.

따라서, 다음과 같은 방법을 제안하여 사용하기로 했다. ISA Bus에서 데이터를 읽어 올 때, Post Trigger Delay와 Conversion Duration을 따로 읽어오지 않고, 두 개의 값을 더한 값을 읽어온다. 두 개를 더한 값을 Conversion Duration이라고 가정하고 계속 변환을 한다. 그러면, 카운터에 리셋을 걸 필요가 없으므로 데이터를 잃어 버릴 가능성이 없어진다. 이런 방식으로 회로를 구성하면 변환된 데이터가 보드 상에 존재하는 SRAM의 Post Trigger Delay만큼 뒤에 적재되게 된다. 하지만, PC 내에서는 Post Trigger Delay 값을 기억하고 있으므로 그만큼 뒤에서 데이터를 읽어오면 된다.

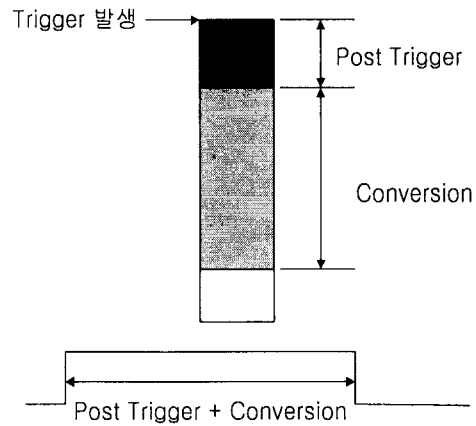


그림 5. Post Trigger 모드의 설계 방식

2.4 Peak Detection 회로

초음파 검사 장비에서는 1초에 약 2000번 이상의 점을 그려주어야 하고, 1점의 데이터를 얻기 위해서는 초음파 신호를 받아들여서 이 신호의 최대값을 얻어야만 한다. A/D board에서 초음파 신호를 읽어들이는 경우에는 약 128Kbyte의 데이터를 받아들인다. 128Kbyte의 데

이터를 2000번 받아들이기 위해서는 256Mbyte/sec의 전송 속도가 필요로 하다. 실제로는 이 외에도 검사체 내에서 초음파가 진행되는 시간과 Peak Detection을 소프트웨어적으로 처리하기 위해 걸리는 시간, 화면에 그림을 그리기 위해 필요한 시간을 모두 포함한다면 전송 속도가 매우 높아야만 한다.

따라서, A/D Board 내에서 그림을 그리는데 필요한 최대값을 찾아서 이 값만 넘겨 준다면 PC의 부담을 현저히 줄일 수 있다. 이러한 이유 때문에 Hardware Peak Detection 기능이 필요하다.

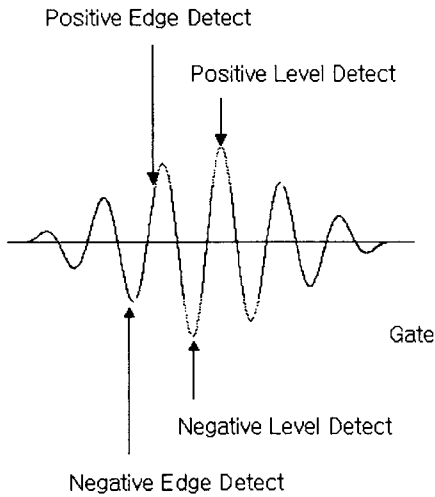


그림 6. Peak Detection

Positive Peak Detection을 수행하는 방법은 순차 검색이다. 검색을 시작할 초기 위치, 종료 위치와 임계값을 넘겨 받고 초기 위치부터 검색을 수행한다. 검색을 하면서 임계값보다 큰 값을 발견하게 된다면 이 때의 값과 주소를 레지스터에 기억시킨다. 이후에도 계속 같은 방법으로 검색을 수행한다. 동시에 현재의 주소를 종료 위치와 비교한다. 만약 두 개의 값이 같아진다면 검색을 종료한다. Negative Peak Detection은 임계값보다 작은 값을 찾는다는 것만을 제외하면 Positive Peak Detection과 같은 방법으로 수행된다.

Peak detection은 범위 내의 최대값이나 최소값을 찾아내는 기능이므로 전체 범위에 대한 검색을 수행해야 한다. 초음파 장비의 경우에는 같은 범위 내에서 Positive Peak Detection과 Negative Peak Detection을 모두 수행해야 한다. 지금까지의 장비는 이를 두 번에 나누어서 수행하였다. 하지만, 같은 범위에서 수행하는 검색을 두 번 수행하는

것은 효율이 떨어진다고 할 수 있다. 이 같은 단점을 보완하기 위해서 Positive Peak Detection과 Negative Peak Detection을 동시에 수행하는 회로를 설계하였다. Positive Peak Detection을 수행할 수 있는 회로를 구현하고 이를 이용해서 병렬로 설치한다면 Negative Peak Detection을 수행할 수 있다. 만약, Peak Detection 회로를 로직 게이트를 이용해서 구현하였다면 같은 회로를 하나 더 추가하는 것이 부담이 될 수 있다. 하지만, VHDL을 이용해서 구현을 한다면 한정된 칩의 공간을 충분히 사용하는 것이기 때문에 큰 부담없이 구현할 수 있게 된다.

III. 시뮬레이션 결과

VHDL로 설계한 Peak Detection 기능을 MAX+PLUS II를 이용하여 출력한 동작 파형을 그림 7과 그림 8에 나타내었다.

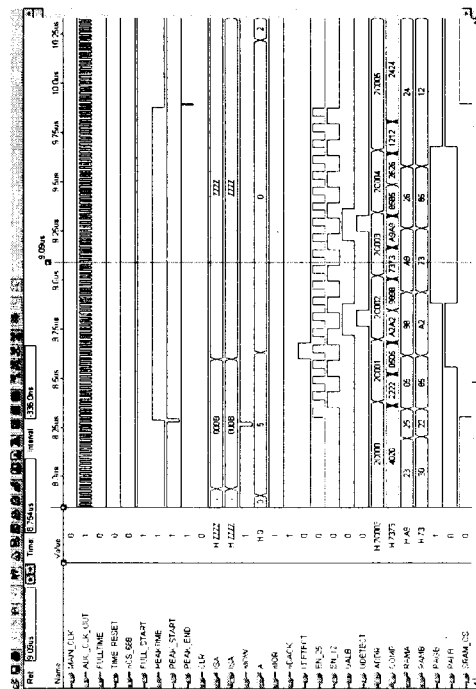


그림 7. 시뮬레이션 1
PEAKTIME은 Peak Detection이 수행되는 시간이

다. 이전에 ISA bus로부터 peak detection을 수행할 시간을 입력받고 그에 해당하는 시간동안만 PEAKTIME이 HIGH가 되고, 그 이후에는 LOW가 되어 현재 상태가 Peak Detection인지 아닌지를 알 수 있게 인자이다. EN_12은 Peak Detection을 수행하는 속도를 결정하는 주파수이다. 이 시뮬레이션에서는 주파수가 6.25MHz이다. RAMA와 RAMB라는 신호는 SRAM에서 출력되는 데이터이다.

들의 주소도 찾아 내고 있음을 볼 수 있다. Positive Peak Detection과 Negative Peak Detection을 동시에 찾을 수 있다.

IV. 결론

본 연구는 컴퓨터를 이용한 계측장비에서 가장 호환성이 넓은 ISA 버스 방식으로 초음파 탐상용 A/D Board를 설계하였다.

초음파 신호는 수 MHz에서 수 백MHz의 주파수를 사용하지만, 본 논문은 산업용으로 주로 쓰이는 2MHz에서 15MHz 사이의 신호를 대상으로 설계하였고, 업체의 응용 프로그램을 이용한 결과 A/D Board의 동작을 확인할 수 있었다.

또한, A/D Board가 데이터 처리 속도를 최대 8MHz 속도의 ISA Bus에서 원만하게 전송하기 위해 Peak Detection기능을 포함한 디지털 회로 부분을 VHDL로 설계하여 Dual Hardware Peak Detection의 새로운 알고리즘을 설계하였고, 카드의 소형화와 경제성을 추구하였다.

향후, 전송 속도가 빠른 PCI Bus방식을 이용한 A/D Board의 설계와 Board의 입력 채널 수를 늘리는 설계가 수반되어야 하겠다.

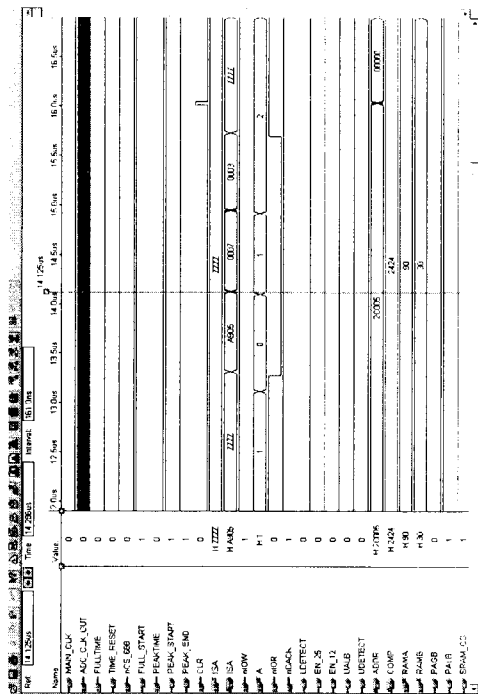


그림 8. 시뮬레이션 2

ISA 출력핀에 'A905', '0007', '0003'이라는 값이 출력되는 걸 볼 수 있다. 'A905'는 peak detection을 수행한 결과 데이터 값이고, '0007', '0003'은 검출된 값의 주소이다. A9라는 값이 7번째에서 검출되었고, 05라는 값이 3번째에서 검출되었다는 의미이다. 첫 번째 시뮬레이션을 보면 RAMA의 25라는 값이 0번째이고, RAMB의 22라는 값이 1번째, 다시 RAMA의 05가 3번째, 계속 이런 식으로 주소가 증가되었다. 이런 식으로 계산을 해 보면 A9라는 값의 주소가 7번째이고, 05가 3번째라는 걸 알 수 있다. 그리고, 데이터를 찾아보면 A9가 가장 큰 값이고, 05가 가장 작은 값이라는 걸 볼 수 있다. 따라서, 주어진 범위 내에서 최대값과 최소값을 찾고 그

참고문헌

- [1] Robert Boylestad, Louis Nashelsky, "Electronic Devices & Circuit Theory" Prentice-Hall, Inc. 1992
- [2] H.D. Irwin, "Basic Engineering Circuit Analysis" Macmillan 1984
- [3] G.h. Hostetter "Engineering Network Analysis" Harper & Row 1984
- [4] Zainalabedin Navabi "VHDL Analysis and

Modeling of Digital Systems" McGraw-Hill, Inc. International Editions 1993

- [5] Beom-Sup Kim "Analog-to-digital Converter Basics" Korea Advanced Institute of Science and Technology 1998
- [6] 도서출판 세운 편집부 "D-A, A-D Intertface 기술" 도서출판 세운 1987
- [7] Computer Architecture Lecture Note, White Paper, URL <http://kmh.yeungnam-c.ac.kr/comIntro/mano/chapt-0.html>
- [8] "OP-AMP" Monthly Journal of Electronic Engineering, pp2-129 1993
- [9] Building an ISA-bus Quadrature Encoder Card , White Paper
URL <http://www.boondog.com/>

저 자 소개



이 병 수
 1975. 2 한양대학교 전자공학과 졸업
 1982. 2 건국대학교 대학원
 1985. 2 건국대학교 대학원 신호처리 전공 공학박사
 1988. 3 순천향대학교 공과대학 정보기술공학부 교수 (현재 재직중)



이 동 원
 순천향대학교 전기전자공학과 대학원 정보통신공학 전공



박 두 석
 1990년 8월 광운대학교 대학원 전자통신공학과 (공학박사)
 1978년 3월 동서울대학 컴퓨터정보과 교수 (현재재직중)