

탐색공간의 범위축소를 위한 DPLL-DCO Controller 설계

정우열*, 이선근**

DPLL-DCO Controller Design for the Reduction of Searching Window

Woo-Yeol Jeong*, Seon-Keun Lee**

개요

본 논문에서는 기존의 주파수 합성기 구현 방법인 DS, DDS, PLL방식을 조합시킴으로써 여러 가지 성능(전환시간, 안정성, 분해능)을 향상시킬 수 있는 주파수 합성기의 DCO 제어기를 설계하였는데, 이 DCO controller는 병렬처리 기법 및 신경망에서 사용하는 기법인 패턴매칭 기법을 사용하였다.

본 논문에서 설계된 DCO controller는 이동통신의 hand-off시와 같은 빠르고 정확한 동기를 요구하는 시스템에 유용하게 사용될 것이다.

Abstract

In this paper, we designed the DCO controller of frequency synthesizer by combing the m DS, DDS, and PLL methods to improve the performances(transition time, stability, re Designed DCO controller used parallel processing and pattern matching techniques.

The designed DCO controller in this thesis profits the rapid and exact synchronization wh handed off in the mobile communication.

* 한려대학교 정보통신학과 교수

** 원광대학교 전자공학과

로 인한 주파수 전환시간의 향상을 가져오도록 하였다.

표 1. 발진기의 특성 비교
Table 1. Comparison of Oscillator Characteristics

| | LC발진기 | X-발진기 | 주파수 합성기 | | |
|----------|-------|-------|---------|--------|--------|
| | | | DS 방식 | PLL 방식 | DDS 방식 |
| 주파수 안정성 | × | ⊙ | ○ | ○ | ○ |
| 주파수 가변범위 | ○ | × | ○ | ○ | ⊙ |
| 주파수 분해능 | × | × | △ | ○ | ⊙ |
| 주파수 전환시간 | × | × | ○ | × | ⊙ |
| 회로구성 용이성 | ⊙ | ⊙ | × | ○ | ○ |
| 고주파수 천이성 | ○ | ○ | ○ | ○ | × |

I. 서론

주파수 합성기는 기준 신호원의 신호를 합성하여 안정도가 높은 주파수를 발생시키는 기능을 수행하는 것으로 기존의 주파수 합성기 구현 방법으로는 DS(Direct Synthesize) 방식, PLL(Phase Locked Loop) DDS(Direct Digital Synthesize) 방식의 크게 3 가지로 류할 수 있다. 기준 주파수를 체배, 분주, 혼합하고 고선택도의 필터에 의해 출력 주파수를 합성하는 방식인 DS 방식의 특징은 고속으로의 주파수 전환이 가능하지만 다수의 필터가 필요하며 이로 인한 회로의 크기 및 지연시간의 증가가 문제점이 된다. 피드백 회로를 사용하여 기준 주파수를 체배하여 원하는 주파수를 얻는 방식인 PLL 방식은 주파수의 전환시간은 느리지만 DS 방식에 비하여 간단한 구성으로 가능하다. 가산기와 레지스터로 구성된 위상 연산기에서 기준 시간마다 위상정보를 출력시키고 사인파 Look-up 테이블에 의해 진폭 데이터로 변환시켜 D/A 컨버터와 LPF를 거쳐 출력을 얻는 방식인 DDS 방식은 높은 주파수 분해능과 초고속의 주파수 전환이라는 특징이 있지만 수십 MHz 이상의 주파수는 고속의 논리소자가 필요하기 때문에 고가의 제품이 된다. 주파수 합성기의 성능을 판별하는 Spec.에는 주파수 범위, 분해능, 주파수 안정도, 신호선도(SSB 위상잡음, 스퓨리어스), 주파수 전환시간 등이 있다.

각 발진기의 Spec.에 대한 특성비교를 표 1에 나타내었다. 본 논문에서는 표 1에서 나타낸 바와 같이 3가지 방식을 비교 분석하여 DS 및 DDS 방식의 장점을 PLL에 접목시킴으로써 여러 가지 성능(전환시간, 안정성 및 분해능)을 향상시킬 수 있도록 탐색구간을 입력신호에 따라서 변화시킬 수 있는 DCO 제어기를 설계하였다.

따라서 본 논문에서는 주파수 전환시간을 빠르게 하기 위해서 지정된 주파수에 해당하는 코드들을 선택하기만 하면 즉시 출력될 수 있는 DS 및 DDS 방식을 선택하였고, 주파수 분해능을 높이기 위해서 복수의 PLL을 조합하여 사용했으며 또한 DCO cell들의 블록화

II. DPLL의 원리

대부분의 DPLL은 진정한 주파수 합성기를 완벽히 지원하지 못한다. 이는 고주파수의 클럭 입력을 요구하기 때문에 디지털 통신에 있어서 주요한 제한사항이 되고 있다. 반면에 DPLL의 디지털 특성은 매우 빠른 Lock-time을 만들 수 있기 때문에 초고속의 마이크로 프로세서 구현을 위한 클럭 발생기에는 매우 우수하다.

DPLL 구현시의 주요 부분들은 2진값으로 주어지는 16비트의 DCO와 정확히 2 싸이클 주파수로 동작 되는 비교기, 전압, 그리고 온도등에 독립적인 이득 체계등이 있다. 또한 DPLL의 특징은 안정성과 입력 jitter에 대한 선별적 특성을 증가시키고 저전력에서 동작하며 주파수 획득, 위상획득, 주파수 유지, 위상 유지의 4가지 모드로 동작한다. 아날로그 및 디지털 PLL의 가장 핵심적인 요소는 DCO(VCO)이다. DCO의 주파수 범위에 따라 PLL의 전체 선택 주파수의 범위가 결정되기 때문에 DCO의 주파수 전환시간을 향상시킬 경우 전체 시스템의 전환시간이 향상된다. 그림 1은 DPLL의 블록도이다.

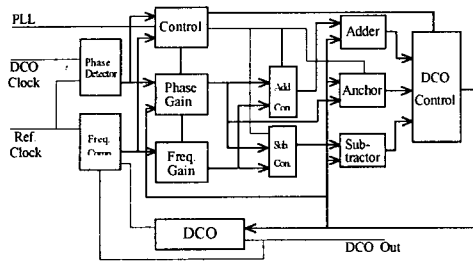


그림 1. DPLL의 블록도
Fig 1. DPLL Block Diagram

DCO Control에서 피드백되어 나온값이 DCO로 입력되어 입력주파수의 주기가 앞, 뒤로 조정되어 DCO Out으로 출력하게 되고 이 값이 다시 주파수 비교기로 피드백되어 주파수 비교모드으로써 동작되며 주파수 비교 결과 Error 값은 주파수 이득의 블록으로 입력되어지며 여기서의 출력값이 Adder, Subtractor Mux로 유입된 DCO Control의 입력값을 Lead 할것인지, Lag 할것지에 해당하는 값을 출력한다. 위와 같은 과정은 동기가 될 때까지 이루어지며 모든 과정은 결과값이 존재해야 다음과정으로 진행되며 이를 피드백하여 실행하는 폐루프 제어방식 이론을 따르고 있다. 주파수 획득모드에서 시스템이 동작될 경우에 동작주파수가 최악의 경우, 즉 10Hz에서 100MHz로 갑자기 천이될 경우 주파수가 Lock이 될 때까지 걸리는 주파수 전환시간은 Lock-time이 느린 PLL 방식은 수ms에서 수백ms까지 걸리게 되므로 전체 시스템의 동작 시간이 늘어나게 되어 시스템의 성능을 크게 저하시킬 우려가 있다. 아날로그와 디지털 PLL이 갖는 공통적 요소로는 피드백에 의해서 출력값이 제어된다는 사실이다. 모든 PLL은 DCO(VCO) 주파수 범위에서의 최소값에서부터 최대값까지의 범위를 입력 주파수와 같은 값이 되도록 계속적 피드백에 의하여 제어되는 것이기 때문에 DCO의 주파수에 대한 성능은 바로 DPLL의 성능과 직관된다. 또한 시스템 클럭의 속도가 아무리 빠르다 할지라도 피드백의 횟수가 많아지면 그만큼 시스템의 성능이 저하되는 요소로써 작용되기 때문에 이를 개선하기 위한 방안을 본 논문에서 제안하였다.

그림 1에서와 같은 PLL의 경우 주파수 비교기, 위상 비교기의 출력값이 DCO의 입력으로 받아들여져 다시 비교가 되어 입력과 동기가 될 경우 그 값이 출력으로 된다. 동기가 이루어질 때까지는 4가지 모드으로써 동작하게 되는데 4 가지 동작을 하기 위해 필요한 하드웨어적

요소로써는 주파수, 위상비교기 및 Mux등이 필요하게 된다. 주파수 동기가 될 때까지 걸리는 시간이 매우 짧다 하더라도 주파수 전환시간은 4가지모드를 모두 거쳐야 하기 때문에 매우 길어지게 된다. 그러므로 주파수 전환시간을 매우 짧게 하기 위하여 DCO의 주파수 범위를 여러 블록으로 세분하여 입력에 대한 주파수 동기 과정을 병렬처리하여 주파수 초기동기모드를 없애고 이에 따라 주파수 전환시간을 줄일 수 있다. 피드백의 횟수가 증가한다는 것과 직렬처리적인 하드웨어의 구성은 시스템의 전반적인 처리시간을 증가시키므로 제안된 DCO의 병렬처리 기법 및 신경망에서 사용하는 기법인 패턴 매칭 기법을 사용함으로써 실시시간을 줄이고 또한 주파수 초기동기모드를 생략함으로써 발생하는 비교기 및 Mux가 불필요하게 되어 시스템의 크기 감소 및 실시시간을 크게 감소시킨다.

III. DCO Controller 설계

DPLL의 DCO 부분은 CMOS를 사용하여 각 비트별에 따른 Weight를 이용하여 발진주파수를 발생하게 된다. 발진 주파수의 주기를 가변할 수 있는 제어선은 외부 프로그램에 의한 주파수의 임의 설정 주파수 변환값을 이용한다.

그림 2는 DCO Controller 블록도로서 DCO의 출력은 피드백되어 주파수 비교기를 거쳐 DCO controller의 입력으로 입력된다. Even Register들은 유입되어지는 미상 입력신호들을 비교하기 위하여 입력신호들을 임의 저장하고 있으며 Odd Register들은 기존 DCO의 주파수 범위를 4 등분 값에 대한 초기값(Reference)을 저장하고 있다.

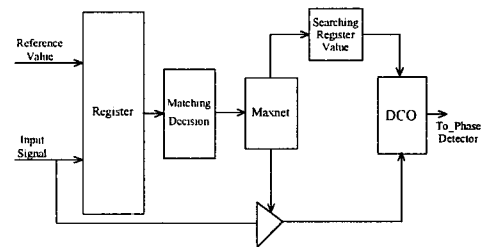


그림 2. 제안된 DPLL의 DCO Controller 블록도
Fig 2. Proposed DPLL DCO Controller Block Diagram

입력신호가 들어오면 각 Register 값들은 Xnor 연산을 통하여 Reg 1,2,3,4에 들어가게 되는데 이들 Reg의 값 중에서 MAX 회로에 의해 최대값을 가진 Register가 선택되며 이 Register의 값은 입력 주파수와 가장 비슷한 크기의 주파수가 된다. MAX 회로에서 선택된 Register N(1~4)의 값은 DCO의 초기값에 무엇이 선택될 것인가를 결정한다.

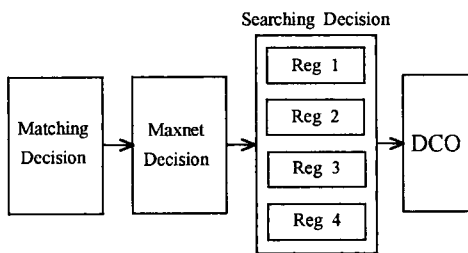


그림 3. 대표값을 저장하는 Register
Fig 3. Registers for Representative values Stor

표 2는 설계한 DCO Controller에 대한 주파수 범위 및 셋팅값들에 대한 표이다. 기준값에 대한 Register와 탐색 윈도우와의 관계를 나타내 주고 있다.

표 2. 기준 주파수 기중치
Table 2. Reference Frequency Weight

| | 주파수 범위 | | 탐색 설정값 | |
|------------|--------------------------|-----------------|--------------------|-----------|
| | 주파수(배율) | 기준값(Reference) | | |
| Register 1 | 10Hz ~ 1kHz (×100) | 0 ~ 63(H'00) | Searching Register | |
| Register 3 | 1kHz ~ 100kHz (×100) | 64 ~ 127(H'40) | | 31(H'1F) |
| Register 5 | 100kHz ~ 10MHz (×100) | 128 ~ 191(H'80) | | 85(H'55) |
| Register 7 | 10MHz ~ 100MHz (×10) | 192 ~ 255(H'00) | | 159(H'9F) |
| | | | | 223(H'DF) |

Reg N(1~4)은 기준 주파수 저장 범위값들중의 최소 값들이 저장되어 있다. Register N에 의해서 선택된 Reg N이 DCO의 초기값으로 선택되고 입력값은 Reg N에서부터 피드백 제어 동작을 하여 입력주파수와 동기가 될 때까지 계속되며 동기가 이루어지면 DCO 출력이 되어 위상 비교기의 입력으로 들어간다. 이와 같은 방식으로 주파수를 동기할 경우 기존 DCO에 의한 동기시간

보다 1- 1/N(내부 Searching Register의 개수)배 줄어들게 되어 결국은 주파수 전환시간의 (1-1/N)배가 감소하게 된다. 주파수 비교기를 거쳐 Error값이 0이 될 때까지 피드백을 계속하게 되는데 이와 같이 DCO를 블록으로 세분화하여 DCO의 초기값을 가변시킴으로써 주파수 비교기는 결국 필요 없게 되며 단지 외부 위상 비교기만이 필요하게 된다.

주파수를 어느 정도까지의 범위내까지 맞추어진 상태에서 위상동기까지 맞추어 주어야 완전한 주파수 동기가 이루어지므로 주파수 동기는 각각의 내부 DCO를 거치면 어느 정도 맞추어지게되며 위상 비교과정을 통하여 완벽한 동기과정을 끝낸다.

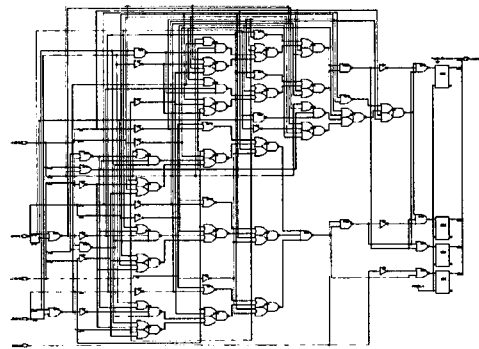


그림 4. Maxnet 회로
Fig 4. Maxnet Circuit

그림 4는 입력 주파수와 가장 근사한 값을 저장하고 있는 레지스터를 선택하기 위한 최대값 결정회로이다. 이 회로는 입력값들 중에서 어느것이 가장 입력과 기준값과의 차이가 없는지를 판별하는 회로으로써 탐색 범위를 설정해 주는 부분이다. 또한 최대값의 선택이 두 개 이상의 레지스터로부터 발생될 경우, 이는 잘못된 선택이 발생할 수 있으므로 기존과 같이 처음부터 주파수 탐색을 수행하도록 설계하였다.

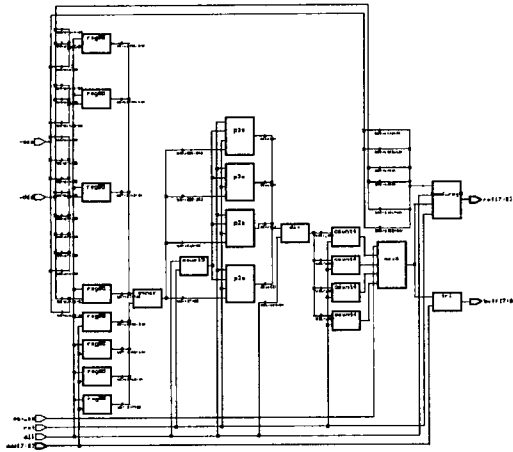


그림 5. DCO Controller 회로
Fig 5. DCO Controller Circuit

그림 5는 Synopsys Tool로 합성한 DCO Controller 로로써 DCO 주파수 범위를 8등분한 값에 해당하는 2진값 들이 들어있는 레지스터와 입력값이 데이터 비교부 (Matching) 블록을 거쳐 MAX 블록을 거치게 되면 입력값과 가장 유사한 저장값이 선택되어지게 되고 이때 DCO cell의 초기값은 선택되어진 레지스터의 값이 된다 그러므로 미상입력주파수에 대하여 기존의 경우 처음 주파수 범위부터 탐색기능을 수행하지만 본 논문에서 제안된 DCO Controller를 사용하게 될 경우 탐색 주 수의 범위를 레지스터의 수만큼 감소를 하게 된다.

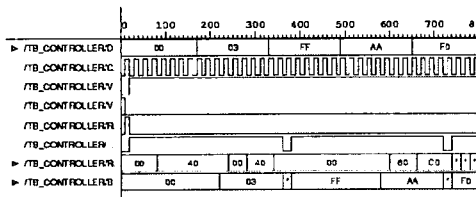


그림 6. DCO Controller 시뮬레이션 파형
Fig 6. DCO Controller Simulation Waveform

그림 6은 DCO Controller 회로의 시뮬레이션 결과 다. 입력의 미상 주파수 입력이 유입되는 경우 초기 단 계의 레지스터에 저장된 값과의 Matching도를 판별하여 Maxnet 회로를 거쳐 DCO의 초기값을 설정해주는 레지 스텐을 enable하는 것을 볼 수 있다.

IV. 결 론

본 논문에서는 DS 및 DDS, 그리고 DPLL의 장점을 최대한 보장받기 위하여 DPLL을 중심으로 DS 및 DDS 의 장점을 접목하는데 주안점을 두었다.

그림 1에서의 DCO 부분의 Freq_Comp, Freq_G Add_con, Sub_con, Adder, Subtractor, Co DCO_control 블록들에 대하여 본 논문에서 제안된 방식을 사용하게 될 경우 상당부분(Freq_Comp, Freq_G Add_con, Sub_con, Adder, Subtractor)이 제거되는 특히, 데이터의 미상 입력 주파수에 대한 Locking Tim e이 빠르게 수행됨으로써 Locking에 대한 시스템 활용시 매우 유리하게 된다.

본 논문은 패턴매칭에 근거하여 설계하였으며, 기존 시스템과 다르게 크기 면에서도 감소를 보여 처리시간 의 감소 및 입력 Jitter에 대한 선별적 특성을 증가시키고 또한 고주파수로의 처리가 매우 용이하게 되어 이동 통신의 Hand-off시와 같은 빠른 동기를 요구하는 시스템에 접목하게 될 경우 빠른 동기 및 추적이 용이하여 유용하게 사용될 것이다.

참고문헌

- [1] Lindsey, William C., and Chak Ming Chie : "A Servey of Digital Phase-Locked Loops," Proc. IEEE, vol. 69, April 1981.
- [2] Elizabeth Bradly, "Using Chaos to Broaden the Capture Range of a Phase-Locked Loop," IEEE Trans. circuits and systems, Vol. 40, No. 11, Nov. 1993.
- [3] Jim Dunning, Gerald Garcia, Jim Lundberg, and Ed Nuckolls, "An All-Digital Phase

- Locked Loop with 50 cycle lock time suitable for high performance microprocessors," IEEE Jour. solid state circuits, Vol. 30, No. 4, April 1995.
- [4] Rangarajan, Sanjay, "1-V DPLL In Standard CMOS Technology" Master Thesis, Mississippi State University, November 1999.
- [5] Todd Weigandt, "Low-Phase-Noise, Low-Timing-Jitter Design Techniques for Delay Cell Based VCOs and Frequency Synthesizers", January 1998.
- [6] Todd Weigandt, S. Mehta, "Frequency Synthesis for a Monolithic CMOS RF Transceiver", InfoPad Retreat, Jan., 1995.
- [7] Peter Nilsson, "Custom Designed Digital Signal Processors Using Bit-Serial Arithmetic," PhD Thesis, Department of Applied Electronics, Lund University, May 1996.

저자 소개



정우열
 1982년 원광대학교 전자공학과 학사
 1984년 경희대학교 대학원 전자공학과 석사
 1999년 원광대학교 대학원 전자공학과 박사
 1995년~현재 한려대학교 정보통신학과 교수



이선근
 1995년 원광대학교 전자공학과 학사
 1997년 원광대학교 대학원 전자공학과 석사
 1998년~현재 원광대학교 대학원 전자공학과 박사과정