

Poly Si_{1-x}Ge_x 박막의 산화 거동 연구

강성관 · 고대홍 · 오상호* · 박찬경* · 이기철** · 양두영** · 안태항*** · 주문식***
연세대학교 세라믹 공학과, *포항공과대학교 재료공학부, **주성엔지니어링(주), ***현대전자(주)
(2000년 3월 6일 접수)

Study on the oxidation behavior of poly Si_{1-x}Ge_x films

S. K. Kang, D.-H. Ko, S. H. Oh, C. K. Park, K. C. Lee, D. Y. Yang, T. H. Ahn, and M. S. Joo

Department of Ceramic Engineering, Yonsei University

**Department of Materials Science and Engineering, Pohang University of Science and Technology*

***Ju-Sung Engineering Co. Ltd.*

****Hyundai Electronics Industries Co. Ltd., Memory Research & Development Division*

(Received May 30, 2000)

요 약 - 15%와 42%의 Ge 함량을 갖는 poly Si_{1-x}Ge_x 박막을 700°C의 습식 산화 분위기에서 산화 공정을 진행하고, 박막의 산화 거동을 RBS, XPS, cross-sectional TEM으로 분석하였다. Poly Si_{0.85}Ge_{0.15} 박막의 경우, GeO₂에 비해 열적으로 안정한 SiO₂가 우선 생성되고, 반응에 참여하지 못한 Ge은 산화막과 poly Si_{1-x}Ge_x 박막의 계면에 축적되어 산화막 하부의 Ge 농도가 증가함을 확인하였다. Poly Si_{0.58}Ge_{0.42} 박막의 경우, 산화막내에 많은 양의 Ge이 GeO₂와 Ge의 형태로 존재하였고, 이러한 GeO₂의 형성으로 인해 산화속도의 증가를 확인하였다. 이러한 분석 결과를 바탕으로 Ge 함량 증가에 따른 poly Si_{1-x}Ge_x 박막의 산화 모델을 제시하였다.

Abstract - We investigated the oxidation behavior of poly Si_{1-x}Ge_x films ($X = 0.15, 0.42$) at 700°C in wet oxidation ambients and analyzed the oxide by XPS, RBS, and cross-sectional TEM. In the case of poly Si_{0.85}Ge_{0.15} films, SiO₂ was formed on the poly Si_{1-x}Ge_x films and Ge was rejected from growing oxide, subsequently leading to the increase of Ge content. In the case of poly Si_{0.58}Ge_{0.42} films, we found that SiO₂-GeO₂ were formed on the poly Si_{1-x}Ge_x films due to high Ge content. Finally, we proposed the oxidation model of poly Si_{1-x}Ge_x films.

1. 서 론

최근 ULSI 소자에서 design-rule의 감소에 따라 gate poly depletion effect, boron penetration 등의 문제가 나타나고 있으며 [1-3], 이러한 문제를 해결하기 위하여 낮은 비저항, 높은 도펀트 활성화, Ge 함량 변화에 따른 일함수의 조절 가능성, 그리고 기존 Si 공정과의 호환성을 가진 poly Si_{1-x}Ge_x 박막을 CMOS gate로 이용하려는 연구가 활발하게 진행되고 있다 [4-6]. 이러한 poly Si_{1-x}Ge_x 박막을 고집적 소자의 게이트 전극으로 사용하기 위해서는 게이트 형성 공정, 또는 그 후속의 공정에서의 전극의 산화 특성에 대한 연구가 필수적으로 요구된다. Epitaxial Si_{1-x}Ge_x 박막의 경우, heterojunction transistor 및 Si_{1-x}Ge_x channel에 적용

하기 위하여 산화 특성에 관한 연구가 어느 정도 진행된 상태이며, epitaxial Si에 비하여 SiO₂가 2~4배 정도 빠르게 형성되고, 산화 과정에서 반응하지 못한 Ge이 SiO₂에서 밀려나와 SiO₂/Si_{1-x}Ge_x 박막 계면에서 축적되는 것이 보고되고 있다 [7-10]. 또한 습식 산화 분위기에서 Ge함량에 따른 산화 속도 및 Ge 축적등의 산화 특성이 전식 산화 분위기에 비해 두드러지게 나타난다고 보고되고 있다 [11].

본 연구에서는 고집적 소자의 게이트 전극에의 적용을 위한 poly Si_{1-x}Ge_x 박막의 산화 특성을 관찰하기 위하여, 700°C, 800°C의 습식 산화 분위기에서 poly Si_{1-x}Ge_x 박막내의 Ge 함량 및 산화 시간에 따른 산화 실험을 진행하였으며, poly Si_{1-x}Ge_x 박막의 산화 특성을 RBS, XPS, TEM으로 분석하여, Ge 함량에 따른

poly Si_{1-x}Ge_x 박막의 산화 거동을 연구하고, 산화 모델을 제시하였다.

2. 실험

Ge 함량이 0, 15, 42%인 poly Si_{1-x}Ge_x 박막을 1200 Å 두께로 UHV CVD(주성 엔지니어링(주), EUREKA 2000)를 이용하여 (100) Si에 1000 Å 두께의 열산화막이 형성된 기판에 증착하였다. 박막의 산화는 일반적인 습식 산화법을 이용하여, 튜브 퍼니스에서 진행하였다. 산화 분위기는 수증기와 산소의 분압이 1:1인 83.1°C의 온도를 유지하는 water bubbler내의 DI water에 산소를 주입하며 습식 분위기를 형성하였다. 산화는 일반적인 게이트 재산화 공정인 700°C와 800°C의 온도에서 30분, 60분, 120분 동안 진행하였으며, 기준 시편으로서 (100) Si기판을 동시에 산화시켰다.

Poly Si_{1-x}Ge_x 박막의 산화 후 형성된 산화막과 poly Si_{1-x}Ge_x 박막내의 조성 변화 관찰 및 산화막의 두께 관찰을 위하여 Rutherford backscattering spectrometry (RBS) 분석을 수행한 후 rump 프로그램을 이용하여 시뮬레이션을 진행하였으며, 표면으로부터 깊이에 따른 Si, Ge과 O의 분포 및 산화막 내의 화학적인 결합의 분석을 위하여 X-ray photoelectron spectroscopy (XPS)를 이용하였다. 또한 산화 공정후 시편의 미세 구조 관찰 및 RBS로 시뮬레이션한 산화막의 두께 보정을 위하여 단면을 transmission electron microscopy (TEM)로 분석을 수행하였다.

3. 결과 및 고찰

3.1 Poly Si_{0.85}Ge_{0.15} 박막의 산화 시간에 따른 산화 거동

산화막과 poly Si_{1-x}Ge_x 박막내의 Ge 함량 변화 및 산화막의 두께 관찰을 위하여 RBS 분석을 수행하였다. 그림 1은 poly Si_{0.85}Ge_{0.15} 박막을 700°C에서 30분, 60분, 120분 동안 산화시킨 후의 RBS spectra를 나타낸 것이다. Spectra상에서 Ge peak은 산화 시간이 길어짐에 따라 산화막의 성장에 의해 peak이 이동하는 것을 관찰할 수 있다. 또한 산화막 내에 미량의 Ge peak만이 존재하는 것으로 보아 형성된 산화막은 대부분이 SiO₂로 이루어졌음을 알 수 있다. 이러한 SiO₂의 우선 생성은 SiO₂의 생성 자유에너지가 1000 K에서

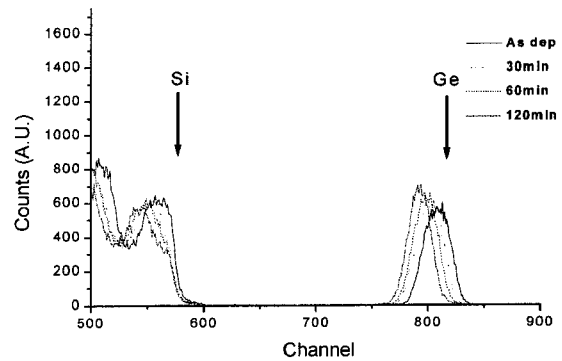


그림 1. 700°C에서 산화시킨 poly Si_{0.85}Ge_{0.15} 박막의 RBS spectra.

-730.3 kJ/mol로 GeO₂의 생성 자유에너지인 -387.1 kJ/mol보다 크기 때문에 [12], 이러한 결과는 epitaxial Si_{1-x}Ge_x 박막에서의 보고와도 일치한다 [7-10]. 산화 과정 중에 Ge의 거동을 알아보기 위하여 rump program을 이용하여 시뮬레이션을 하였다. 700°C에서 120분 동안 산화시킨 poly Si_{1-x}Ge_x 박막내의 Ge 총 atom 수는 증착 직후의 Ge atom 수와 거의 유사하였다. 따라서 700°C의 산화 과정에서는 poly Si_{0.85}Ge_{0.15} 박막에서 Ge의 out-diffusion은 발생하지 않는 것을 알 수 있다. 또한 RBS 결과에서 산화 시간의 증가에 따라 산화막 아래 부분의 Ge 함량이 증가함을 관찰할 수 있는데, 이와 같은 결과는 SiO₂의 우선 생성에 의해 반응하지 못한 Ge이 산화막의 성장에 따라 대부분 SiO₂와 poly Si_{1-x}Ge_x 박막 계면에 축적되었기 때문이다.

산화막내의 깊이에 따른 조성 분석 및 결합 상태를 분석하기 위하여 Ar sputter로 3분마다 에칭하면서 Al K α 소스를 사용하여 XPS 분석을 수행하였다. 그림 2는 700°C에서 산화시킨 poly Si_{0.85}Ge_{0.15} 박막의 산화 시간에 따른 XPS depth profile이다. XPS depth profile 분석 결과 RBS 결과에서는 관찰되지 않았지만, 산화막의 표면에 많은 양의 Ge이 관찰되고 있으며, 산화막 내부는 미량의 Ge만이 존재함을 관찰할 수 있었다. 그림 2(b)에 표시된 위치에서의 표면 및 계면의 결합 상태를 자세히 분석하여 그림 3에 나타내었다. 그림 3(a)은 표면의 결합 상태를 나타낸 것으로, curve fit 결과 표면에서 보이는 Si과 Ge의 결합 상태는 Si⁴⁺, Ge⁴⁺의 결합 상태를 갖는 것을 확인할 수 있었으며, pure Si과 Ge은 전혀 관찰되지 않았다. 이러한 산화막 표면의 GeO₂는 초기 산화에서 SiO₂가 형성될 때 상

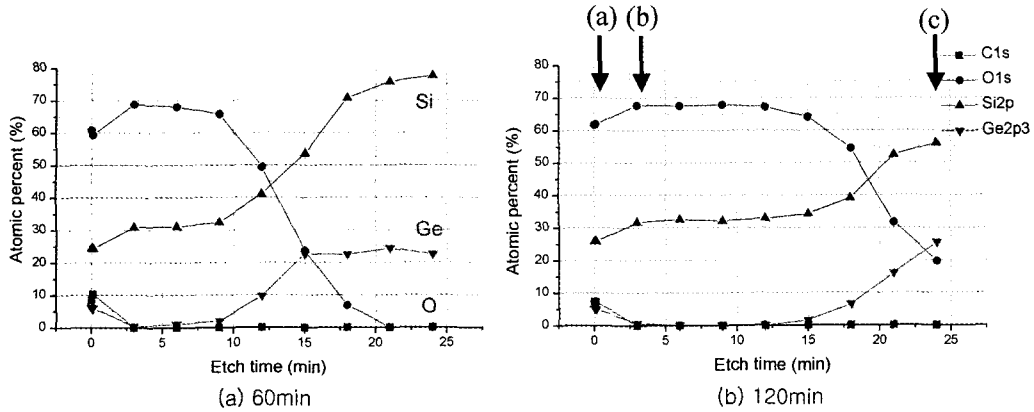


그림 2. 700°C에서 산화시킨 poly Si_{0.85}Ge_{0.15} 박막의 XPS depth profile.

부로 밀려난 Ge의 산화로 인해 형성된 것으로 보인다. 즉 GeO₂에 비해 열역학적으로 안정한 SiO₂가 우선 생성되고, 표면에 쌓여진 Ge이 분위기중 산소와 반응하여 GeO₂를 형성한 것이다. 하지만 초기 산화 이후에 진행되는 산화 과정에서 SiO₂의 우선 생성에 의해 반응에 참가하지 못하는 Ge은 대부분이 산화막과 poly Si_{1-x}Ge_x 박막 계면에 축적되기 때문에 SiO₂ 상부로의 Ge 공급이 제한되어, 생성된 GeO₂의 두께는 매우 얇게 나타난 것으로 보인다. 표면으로부터 130 Å정도 Ar sputter로 에칭한 뒤 얻은 XPS peak를 그림 3 (b)에 나타내었다. GeO₂ 이외에 Ge의 peak도 관찰되고 있으며, 이에 대해서는 3.3절에서 자세히 설명하겠다.

산화막과 poly Si_{1-x}Ge_x 박막 계면에서의 결합 상태 분석 결과를 그림 3(c)에 나타내었다. Si과 Ge 모두 Si⁺⁰, Si⁺⁴와 Ge⁺⁰, Ge⁺⁴의 결합 에너지를 갖는 두 종류의 peak을 나타내고 있다. Si⁺⁰과 Ge⁺⁰은 poly Si_{1-x}Ge_x 박막의 Si과 Ge의 peak으로 보이며 Si⁺⁴와 Ge⁺⁴는 poly Si_{1-x}Ge_x 박막과 산화막 사이에 존재하는 SiO₂-GeO₂의 peak으로, 이러한 결과는 산화 시간이 길어짐에 따라 Ge의 축적량이 많아져서 유입되는 산소에 비하여 SiO₂를 형성할 수 있는 Si의 공급이 부족하기 때문에, 열역학적으로 안정한 SiO₂ 이외에, GeO₂도 형성되는 것으로 보인다.

그림 4는 700°C에서 120분 산화시킨 poly Si_{0.85}Ge_{0.15}

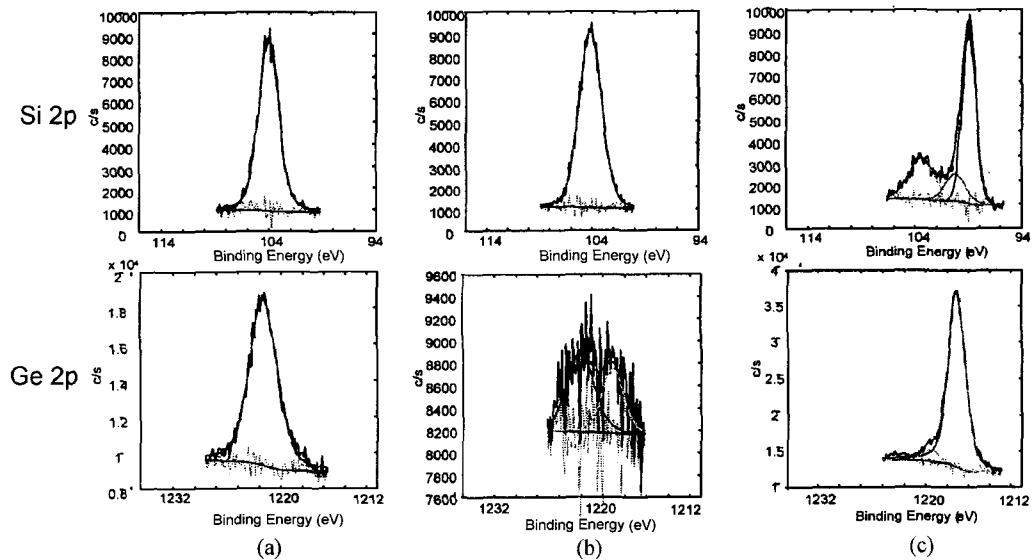


그림 3. 700°C에서 산화시킨 poly Si_{0.85}Ge_{0.15} 박막의 XPS spectra (a) 표면 (b) 3분 에칭후 (c) 24분 에칭후.

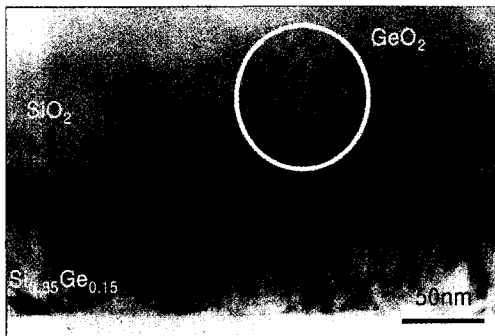


그림 4. 700°C에서 산화시킨 poly Si_{0.85}Ge_{0.15} 박막의 단면 TEM 사진.

박막의 단면 TEM 사진이다. Poly Si_{1-x}Ge_x 박막의 굴곡을 따라 산화막이 성장하였음을 관찰할 수 있다. 또한 산화막 내에 SiO₂에 비해 명암차가 명확하게 나타나는 점들이 약간씩 관찰되고 있는데, 이러한 어두운 contrast를 보이는 부분은 SiO₂에 비해 GeO₂의 전자 산란이 크다는 점을 고려하여, GeO₂로 분석된다. 이러한 결과는 GeO₂ peak이 존재한다는 XPS 분석 결과와 일치한다.

3.2. Poly Si_{0.58}Ge_{0.42} 박막의 시간에 따른 산화 거동

그림 5는 poly Si_{0.58}Ge_{0.42} 박막을 700°C에서 30분, 60분, 120분 동안 산화시킨 후의 RBS spectra이다. 먼저 Ge의 peak를 관찰해 보면, poly Si_{0.85}Ge_{0.15} 박막과 달리 산화 시간이 증가함에 따라 표면의 Ge peak intensity는 감소하지만 표면으로부터 아래쪽으로 움직이지 않고 있음을 관찰할 수 있다. 이는 poly Si_{0.58}Ge_{0.42} 박막의 경우 700°C에서 산화막이 형성됨에 따라 poly

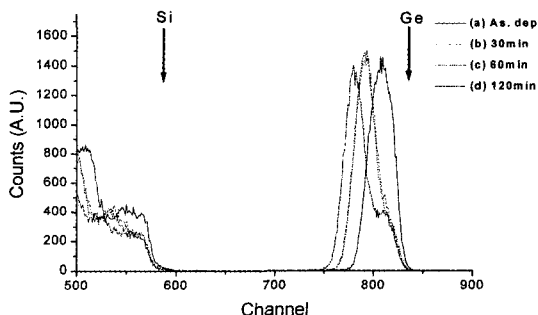


그림 5. 700°C에서 산화시킨 poly Si_{0.58}Ge_{0.42} 박막의 RBS spectra

Si_{0.85}Ge_{0.15} 박막과 달리 산화막내에 SiO₂만이 생성되는 것이 아니라, 많은 양의 Ge이 GeO₂ 또는 pure Ge의 형태로 존재하기 때문이다. 이러한 산화막내의 Ge과 GeO₂는 뒤의 XPS data에서 관찰되고 있으며, layer로 존재하는 것이 아니라 산화막내에 산재해 있다는 TEM 분석 결과에서도 확인된다. 또한 poly Si_{0.85}Ge_{0.15} 박막과 달리 Ge peak이 크게 증가하고 있지 않는 것으로 보아 산화막내에 존재하는 Ge과 GeO₂으로 인하여 산화막 하부에서의 Ge 축적은 크지 않은 것으로 보인다. 또한 그림 1과 5의 RBS data를 rump 프로그램을 이용하여 시뮬레이션한 결과 산화막의 두께가 Ge 함량 증가에 따라 두꺼워짐을 관찰할 수 있었다. Poly Si_{0.85}Ge_{0.15} 박막을 700°C에서 120분 산화시킨 경우, 약 840 Å의 산화막이 형성되었지만, poly Si_{0.58}Ge_{0.42} 박막의 경우 산화막의 두께가 1350 Å으로 증가함을 관찰할 수 있었으며, 이러한 Ge 함량 증가에 따른 산화 속도의 향상은 그림 6에서 보이는 GeO₂의 형성 때문으로 보인다. 일반적으로 Si_{1-x}Ge_x 박막의 산화 반응은 diffusion controlled reaction에 의존한다는 결과가 여러 연구진들에 의해 보고되고 있는데 [11, 13], 이러한 diffusion controlled reaction의 경우 parabolic rate constant에 의해 좌우되므로 [14], GeO₂의 생성에 따라 parabolic rate constant를 결정하는 oxidant의 확산 계수와 산화막내에서의 oxidant의 solid solubility의 변화가 산화 속도에 영향을 주었을 것으로 예상할 수 있다. GeO₂의 확산계수는 SiO₂와 크게 다르지 않다고 보고되고 있으며, solid solubility의 경우 GeO₂의 hydroscopic한 성질로 인해 SiO₂에 비해 매우 크다고 보고되고 있다 [15]. 따라서 GeO₂가 생성되면 확산 계수보다는 solid solubility에 의해 parabolic rate constant가 크게 증가하여 산화 속도의 증가를 가져오는 것으로 보인다.

그림 6은 700°C에서 60분, 120분 동안 산화시킨 poly Si_{0.58}Ge_{0.42} 박막의 XPS depth profile을 나타내었다. XPS depth 분석 결과, 형성된 산화막내에 많은 양의 Ge이 관찰되고 있으며, poly Si_{0.85}Ge_{0.15} 박막처럼 산화막의 표면에는 산화막 내부에 비해 더 많은 양의 Ge이 존재하는 것을 알 수 있다.

표면 및 계면의 결합 상태를 자세히 분석하기 위하여 그림 6에 표시된 위치에서 curve fitting을 수행한 뒤, 그림 7에 나타내었다. 먼저 그림 7(a)는 표면의 결합 상태를 분석 한 것으로, 표면에서 보이는 Si과 Ge의

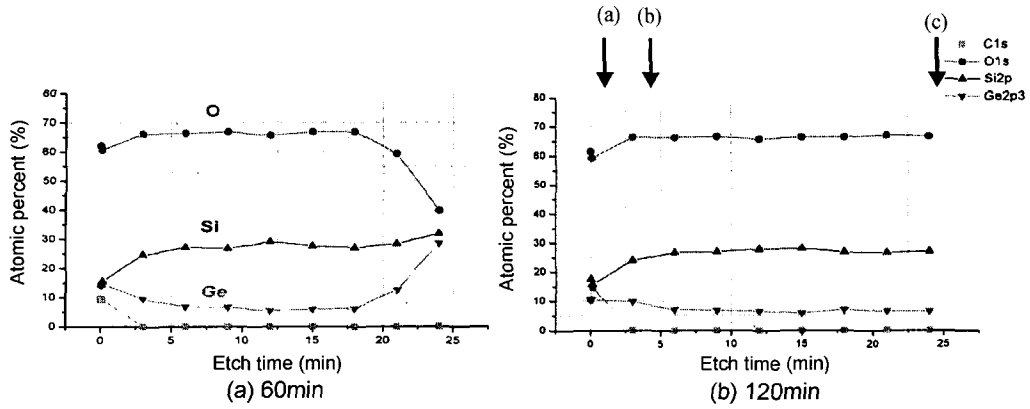


그림 6. 700°C에서 산화시킨 poly Si_{0.58}Ge_{0.42} 박막의 XPS depth profile.

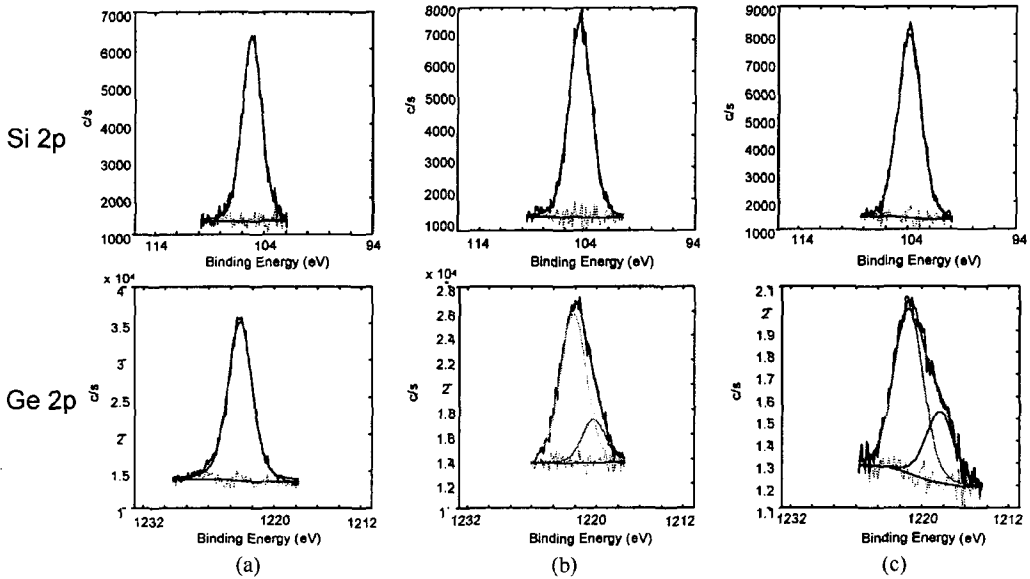


그림 7. 700°C에서 산화시킨 poly Si_{0.58}Ge_{0.42} 박막의 XPS spectra (a) 표면 (b) 3분 에칭후 (c) 24분 에칭후.

결합 상태는 poly Si_{0.85}Ge_{0.15} 박막처럼 Si⁴⁺, Ge⁴⁺의 결합 상태를 갖는 것을 확인할 수 있었다. 표면으로부터 130 Å 정도 Ar sputter로 에칭한 뒤 얻은 XPS peak를 그림 7(b)에 나타내었다. Si의 경우 SiO₂ peak만이 관찰되고 있지만, Ge의 경우 GeO₂의 peak이외에, pure Ge peak도 관찰되고 있으며, poly Si_{0.85}Ge_{0.15} 박막의 산화에 의해 형성된 산화막내의 Ge의 양에 비해 훨씬 많아졌음을 관찰할 수 있었다.

그림 8은 700°C에서 30분 산화시킨 poly Si_{0.58}Ge_{0.42} 박막의 단면 TEM 사진이다. Poly Si_{0.85}Ge_{0.15} 박막에 비해 산화막내에 Ge 함량의 증가로 GeO₂ particle의

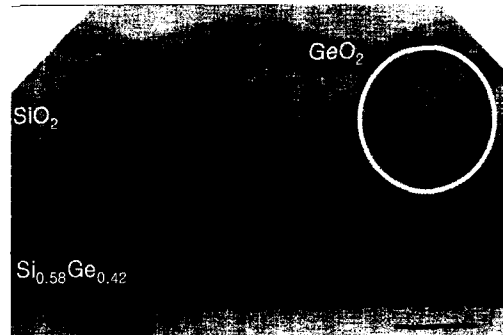


그림 8. 700°C에서 산화시킨 poly Si_{0.58}Ge_{0.42} 박막의 단면 TEM 사진.

크기가 커지고 양이 크게 증가하고 있는 것이 관찰되고 있다. 이러한 결과는 RBS 결과와 XPS 결과에서 보여졌던 산화막내의 Ge양 증가와 일치하고 있다.

3.3. Poly Si_{1-x}Ge_x 박막의 산화 모델

Poly Si_{0.85}Ge_{0.15} 박막과 poly Si_{0.58}Ge_{0.42} 박막을 700°C에서 습식 산화 분위기에서 열처리 시간을 달리하여 산화를 시킨 후, 분석한 결과를 바탕으로 그림 9에 poly Si_{1-x}Ge_x 박막 박막의 산화 모델을 제시하였다.

산화의 초기 단계에서는 GeO₂에 비해 열역학적으로 안정한 SiO₂가 먼저 poly Si_{1-x}Ge_x 박막 산화막 위에 형성되며, 반응에 참여하지 못한 Ge은 SiO₂와 poly Si_{1-x}Ge_x 박막의 계면으로 밀려나게 되어 산화막과 poly Si_{1-x}Ge_x 박막사이의 계면에 축적되게 된다(그림 9(a)). 이러한 Ge의 축적은 SiO₂ 산화막의 두께 증가에 따라 증가하게 되며, Ge에 비해 Si의 양이 작아지므로, 하부의 poly Si_{1-x}Ge_x 박막으로부터 Si의 공급을 필요로 하게 된다. Ge내에서의 Si의 D₀는 0.24 cm²/sec이고 활성화 에너지는 2.9 eV인데 비해 [16], Si에서의 Ge의 D₀는 0.35 cm²/sec이고 활성화 에너지는 3.92 eV로 Ge내에서의 Si의 확산이 훨씬 더 빠르므로 [17], Si은 하부의 poly Si_{1-x}Ge_x 박막으로부터 Ge이 축적되어있는 부분을 통과하여 SiO₂과 poly Si_{1-x}Ge_x 박막의 계면까지 공급이 되어, SiO₂를 계속 형성한다. 이러한 SiO₂의 형성은 SiO₂의 형성에 의하여 없어지는 Si의 양과 하부의 poly Si_{1-x}Ge_x 박막으로부터 확산해 오는 Si의 양이 같을 때까지 계속 진행된다(그림 9(b)). 그러나 Ge이 계속 축적 되어 층이 두꺼워지게 되면 분위기로부터 유입되는 산소의 양이 SiO₂의 형성에 의해 소비되는 산소의 양보다 많아지게 되므로 산소는 Ge과 반응을 하여 GeO₂를 형성하게 된다. Poly Si_{0.85}Ge_{0.15} 박막에 비해 poly Si_{0.58}Ge_{0.42} 박막내에 Ge의 함량이 더 많으므로 이러한 과정이 훨씬 더 빨리 나타나게 되

어 산화막내에 많은 양의 GeO₂를 쉽게 형성하게 된다(그림 9(c)). 이러한 GeO₂가 형성되면 축적된 Ge이 소비되어 Ge의 축적이 감소하므로, 다시 poly Si_{1-x}Ge_x 박막으로부터 Ge이 축적된 부분을 통과하여 산화막과 Ge이 축적된 부분의 계면으로 Si의 공급이 이루어지게 되어 SiO₂를 형성한다. 이때 공급되는 Si은 분위기로부터 유입되는 산소뿐만 아니라, Si + GeO₂ → SiO₂ + Ge (ΔG = -356 kJ/mol)의 반응에 의해 GeO₂로부터도 산소를 얻기 때문에 SiO₂ 내부에는 GeO₂ 뿐만 아니라 Ge도 형성시키게 된다(그림 9(d)). 이러한 과정의 반복으로 그림 4와 그림 8에서 보이는 것처럼 산화막 내에 GeO₂와 Ge이 산재해 있는 형태로 존재하는 것으로 보이며(그림 9(e)-(f)) 이러한 반응은 Ge의 양이 많아질수록 빨리 일어날 것을 예상할 수 있다.

4. 결 론

15%와 42%의 Ge 함량을 갖는 poly Si_{1-x}Ge_x 박막을 700°C의 습식 산화 분위기에서 시간을 달리하여 산화 공정을 진행하였다. Poly Si_{0.85}Ge_{0.15} 박막의 경우, GeO₂에 비해 열적으로 안정한 SiO₂가 우선 생성되고 산화막 내부에 미량의 Ge이 존재하였으며, 반응에 참여하지 못한 Ge은 SiO₂의 우선 생성에 의해 poly Si_{1-x}Ge_x 박막과 산화막 계면에 축적되어 Ge 농도를 증가시킴을 확인하였다. Poly Si_{0.58}Ge_{0.42} 박막의 경우, 산화막내에 Ge이 GeO₂와 Ge의 형태로 존재하였으며, GeO₂의 생성으로 산화 속도가 향상됨을 확인하였다. 또한 산화막내에 많은 양의 Ge이 존재하여 산화막 아래의 Ge 농도에는 큰 변화가 없는 것을 관찰하였다. Poly Si_{1-x}Ge_x 박막의 산화 모델을 통해 Ge 함량의 증가에 따라 산화막 내에 많은 양의 Ge이 GeO₂ 또는 Ge의 형태로 산재해 있는 것을 알 수 있었으며, 산화 속도가 증가함을 알 수 있었다.

감사의 글

XPS 분석을 해주신 연세대학교 초미세 표면 과학 연구 센터의 김희봉 선생님과 RBS 분석을 해주신 KIST의 손지희씨께 감사드립니다.

본 연구는 산업 자원부와 과학 기술부의 공동 주관인 시스템 집적 반도체 기반 기술 개발사업의 연구비 지원으로 수행되었기에 이에 감사드립니다.

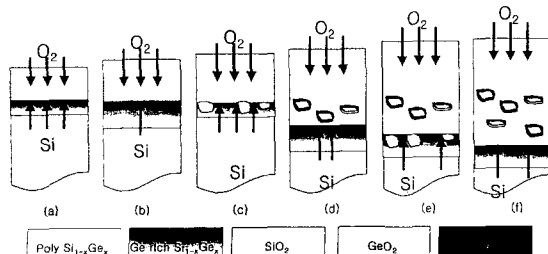


그림 9. Poly Si_{1-x}Ge_x 박막의 산화 모델.

참고문헌

- [1] Genda J. Hu, and Richard H. Bruce, *IEEE Trans. Electron Device* **32**(3), 584 (1985).
- [2] Ming-yin Hao, Deepak Nayak, and Rajat Rakkhit, *IEEE Electron Device Lett.* **18**(5), 215 (1997).
- [3] Bin Yu, Dong-Hyuk Ju, Nick Kepler, Tsu-Jae King, and Chenming Hu, *Symp. VLSI*, 105, (1997).
- [4] H. Shimada, Y. Hirano, T. Ushiki, and T. Ohmi, *IEDM Tech. Dig.*, 881(1995)
- [5] Y. Okazaki, T. Kobayashi, H. Inokawa, S. Nakayama, M. Miyake, T. Morimoto, and Y. Yamamoto, *IEEE Trans. Electron Device*, **42**(9), 1583 (1995).
- [6] H. Koike, Y. Unno, F. Maysuoka, M. Kakumu, *IEEE Trans Electron Device*, **44**(9), 1460 (1997).
- [7] D. Fathy, O.W. Holland, C.W. White, *Appl. Phys. Lett.* **51**(17), 1337 (1987).
- [8] F. K. LeGoues, R. Rosenberg, T. Nguyen, F. Himpsel, and B. S. Meyerson, *J. Appl. Phys.* **65**(4), 1724 (1989).
- [9] H. K. Liou, P. Mei, U. Gennser, and E. S. Yang, *Appl. Phys. Lett.* **59**(10), 1200 (1991).
- [10] W. S. Liu, E. W. Lee, M.-A. Nicolet, V. Arbet-Engels, and K. L. Wang, *J. Appl. Phys.* **71**(7), 3626 (1992).
- [11] A. K. Rai, S. M. Prokes, *J. Appl. Phys.* **72**(9), 4020 (1992).
- [12] Ihsan Barin, *Thermochemical Data of pure Substances*, VCH, New York, 1989.
- [13] S.-G. park, W.S. Liu, M.-A. Nicolet, *J. Appl. Phys.* **75**(3), 1764 (1994).
- [14] B. E. Deal, and A. S. Grove, *J. appl. Phys.* **36**, 3773 (1965).
- [15] Pieter Stroeve, *Intergrated Circuits: Chemical and Physical Processing* (American Chemical Society, Washington, DC) 1985.
- [16] J. Raisanen, J. Hirvonen, and A. Anttila, *Solid-State Electron.* **24**, 333 (1981).
- [17] G. Hettich, H. Mehrer, and K. Maiser, *Inst. Phys. Conf. Ser.* **46**, 500 (1979).