

論文2000-37TE-2-2

선형 공핍층 근사를 사용한 단채널 GaAs MESFET의 전류-전압 특성 연구

(A Study on the Current-Voltage Characteristics of a Short-Channel GaAs MESFET Using a New Linearly Graded Depletion Edge Approximation)

朴正煜*, 金在仁**, 徐 梲河***

(Jeung-Uk Park, Jae-In Kim, and Chung-Ha Suh)

요 약

본 논문에서는 단채널 n형 GaAs MESFET 소자의 공핍층의 두께가 선형적으로 변한다는 근사를 적용하여 공핍층내의 2차원 포와송 방정식을 풀어 단채널 GaAs MESFET의 전류-전압 특성을 해석적으로 도출하는 모델을 제안하였다. 이 모델로부터 문턱 전압, 소오스와 드레인의 저항 및 드레인 전류식을 도출하였다. 계산 결과로부터 전류-전압 특성 곡선에서 단채널 소자의 특성인 Early 효과를 설명할 수 있었고 소오스 접촉 저항과 드레인 접촉 저항에 의한 전압 강하도 설명할 수 있었다. 더욱이 본 모델은 소자 해석에 있어서 단채널 소자에만 국한되지 않고 장채널 소자의 특성을 해석하는 데에도 적용할 수 있었다.

Abstract

In this paper, suggesting a new linearly-graded depletion edge approximation, the current-voltage characteristics of an n-type short-channel GaAs MESFET device has been analyzed by solving the two dimensional Poisson's equation in the depletion region. In this model, the expressions for the threshold voltage, the source and the drain ohmic resistance, and the drain current were derived. As a result, typical Early effect of a short channel device was shown and the ohmic voltage drop by source and drain contact resistances could be explained. Furthermore our model could analyze both the short-channel device and the long-channel device in a unified manner.

I. 서 론

GaAs MESFET은 초고속 또는 초고주파 통신의 주된 소자로 쓰이고 있으며 보다 높은 주파수 특성을

* 正會員, 弘益大學校 電子工學科

(Hongik Univ., Dept. of Electronics Eng.)

** 正會員, 仁川專門大學 電子科

(Junior college of Incheon, Dept. of Electronics)

*** 正會員, 弘益大學校 電子工學科

(Hongik Univ., Dept. of Electronics Eng.)

接受日字: 1999年 12月 17日, 수정완료일: 2000年 4月 25日

갖고자 초미세한 채널 길이를 갖는 단채널 MESFET이 주된 소자로 쓰이고 있다. MESFET은 1966년 Mead가 제안했고^[1], 이어서 Hooper와 Lehrer가 준 절연 GaAs 기판위에 GaAs 에피층을 키워 제작하였다. JFET보다 좋은 MESFET의 공정과 동작에 있어서의 장점은 확산이나 성장 공정에 의해 형성된 p-n 접합에 비해 금속-반도체 장벽의 저온 형성, 채널 폭을 따라 낮은 저항과 낮은 전압 강하, 정류 접촉이 효율적인 열 싱크 역할을 해서 전력 소자(power device)의 좋은 열 소비를 이룬다^[2].

지금까지 GaAs MESFET 소자의 I-V 특성에 대해 Shur^[3], Curtice^[4,5], Materka^[6], Rodriguez^[7], Baric^[8] 등 여러 사람들의 연구가 발표된바 있으나,

이들 이론은 대부분 복잡하거나 불분명한 부분이 있다. 본 논문은 저 잡음과 초고속 스위칭 특성을 갖는 단채널 GaAs MESFET 소자의 관한 전류-전압 특성을 해석적으로 고찰하고자 한다.

II. 본 론

본 모형화에서 사용되는 GaAs MESFET의 단면도는 그림 1과 같다.

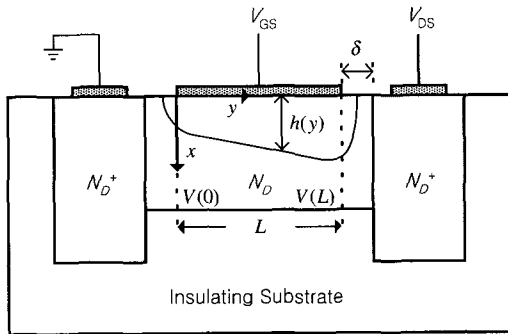


그림 1. 본 논문의 GaAs MESFET 구조
Fig. 1. GaAs MESFET structure for study.

여기서 x 는 게이트-채널 접합에서 채널쪽의 수직좌표를, y 는 진성 소스 끝에서 드레인쪽의 게이트-채널 경계면 수평좌표를 나타낸다. L , Z 와 b 는 각각 채널길이, 폭, 그리고 깊이를 가리키며, V_{GS} 와 V_{DS} 는 게이트-소오스 간 전압과 드레인-소오스 간 전압이다. V_{GS} 는 보통 게이트-채널 접합이 역방바이어스가 되도록 $V_{GS} \leq V_{bi}$ 로 인가된다. 단, V_{bi} 는 게이트-채널 접합의 내부 전압이다.

MESFET의 DC동작을 해석적으로 모델링하기 위해서는 공핍층에서의 포텐셜 $\Psi(x, y)$ 을 2차원적으로 구해야하며 다음의 공핍-근사 Poisson 방정식을 풀어야 할 것이다.

$$\frac{\partial^2 \Psi}{\partial x^2} + \frac{\partial^2 \Psi}{\partial y^2} = -\frac{qN_D}{\epsilon_s}, \quad 0 \leq x \leq h(y) \quad (1)$$

여기서 q 는 전자 전하의 크기이고, N_D 와 ϵ_s 는 채널의 도핑농도와 유전율이며, $h(y)$ 는 위치 y 에서의 수직 공핍층 폭을 나타낸다. 식(1)의 경계조건은 다음과 같다.

$$\Psi(0, y) = V_{GS} - V_{bi} \quad (2)$$

$$\left. \frac{\partial \Psi}{\partial x} \right|_{x=h(y)} = \frac{dh}{dy} \left. \frac{\partial \Psi}{\partial y} \right|_{x=h(y)} \quad (3)$$

대부분의 기존 모델에서는 점진적 채널 근사(gradual channel approximation) 및 식 (3)에서 $dh/dy \approx 0$ 를 사용하여, $\Psi(x, y) \approx V_{GS} - V_{bi} - qN_D(2\epsilon_s)^{-1}\{x^2 - 2xh(y)\}$ 로 도출된다. 이 해는 2차원 Poisson 방정식을 준 1차원으로 본 것으로 채널길이가 짧아짐에 따라 정확도가 떨어진다. 본 모델에서는 2차원 Poisson 방정식에 대한 좀더 정확한 근사해를 구하기 위해 $dh/dy \approx 0$ 의 근사를 $dh^2/dy^2 \approx 0$ 로 대체하자. 즉,

$$\frac{dh}{dy} \approx \eta \equiv \frac{h(L) - h(0)}{L} \quad (4)$$

이 근사는 진성영역 전체($0 \leq y \leq L$)에서 기존모델에 비해 좀더 정확한 공핍층 폭 변화를 나타낼 수 있을 것이다. 상기 근사 조건으로서 식(1)의 2차원 해는 다음과 같이 얻어진다.

$$\Psi(x, y) \approx V_{GS} - V_{bi} - \frac{qN_D}{2\epsilon_s}x^2 + \frac{qN_D}{\epsilon_s} \frac{xh(y)}{1-\eta^2} \quad (5)$$

따라서,

$$V(y) \equiv \Psi(h(y), y) \approx V_{GS} - V_{bi} + \frac{qN_D}{2\epsilon_s} \frac{1+\eta^2}{1-\eta^2} h^2(y) \quad (6)$$

식(6)으로부터 $h(y)$ 는 다음과 같이 나타낼 수 있다.

$$h(y) = \frac{b}{\sqrt{V_p}} \sqrt{\frac{1-\eta^2}{1+\eta^2} \{V(y) - V_{GS} + V_{bi}\}} \quad (7)$$

단, $V_p = qN_D b^2 (2\epsilon_s)^{-1}$ 이다. 식(4)와 (7)을 이용하면, η 는 다음과 같이 나타낼 수 있다.

$$\eta = \sqrt{\frac{-(1+\lambda) + \sqrt{(1+\lambda)^2 + 4\lambda}}{2}} \quad (8)$$

여기서 λ 는 아래와 같이 정의된다.

$$\lambda = \frac{2\epsilon_s}{L^2 q N_D} \{ \sqrt{V_{bi} - V_{GS,i} + V_{DS,i}} - \sqrt{V_{bi} - V_{GS,i}} \}^2 \quad (9)$$

단, $V_{GS,i} = V_{GS} - V(0)$, $V_{DS,i} = V(L) - V(0)$ 이다. 식(8)은 λ 가 0에서 ∞ 까지 변화하더라도 $0 \leq \eta < 1$ 이 됨을 보이고 있다.

한편, 공핍되지 않은 전도 채널 영역에서 전자농도는 일정한 N_D 값이고 $\partial \Psi / \partial y \approx dV / dy$ 이라는 가정을

하면, 채널위치 y 에서의 드레인 전류 $I_D(y)$ 는 다음과 같이 쓸 수 있다.

$$I_D(y) \doteq ZqN_D\mu_n(y)\{b-h(y)\}\frac{dV}{dy} \quad (10)$$

여기서 $\mu_n(y)$ 는 채널위치 y 에서의 전자 이동도이다. 식(10)의 $I_D(y)$ 가 y 에 대해 거의 무관하다고 가정하고 유효 이동도 μ_{eff} 를 아래와 같이 제안, 도입하자.

$$\mu_{eff} = \left\{ \frac{1}{L} \int_0^L \frac{dy}{\mu_n(y)} \right\}^{-1} \quad (11)$$

따라서 y 에 대해 평균화된, 즉 y 에 무관한 드레인 전류, I_D 는 다음과 같이 도출된다.

$$I_D \doteq G_0 \left[V_{DS,i} - \frac{2}{3\sqrt{V_p'}} \left\{ \sqrt{(V_{bi} - V_{GS,i} + V_{DS,i})^3} - \sqrt{(V_{bi} - V_{GS,i})^3} \right\} \right] \quad (12)$$

여기서, $G_0 = \frac{ZbqN_D\mu_{eff}}{L}$ 이고, 이 식에서 V_p' 은 아래와 같이 정의하고, 이 값은 2차원 효과가 고려된 유효 핀치오프 전압이라고 볼 수 있다.

$$V_p' = \frac{1+\eta^2}{1-\eta^2} V_p \quad (13)$$

$V_{DS,i}$ 가 그리 크지 않다고 가정하면, Taylor 급수 전개를 사용하여 식(12)는 다음 식처럼 근사화 될 수 있다.

$$I_D \doteq G_0 \left\{ \left(1 - \sqrt{\frac{V_{bi} - V_{GS,i}}{V_p'}} \right) V_{DS,i} - \frac{1}{4\sqrt{V_p'}(V_{bi} - V_{GS,i})} V_{DS,i}^2 \right\} \quad (14)$$

$h(0) \leq h(L) \leq b$ 인 사실을 고려하면, 식(7)로부터 다음의 관계를 얻게된다.

$$V_{DS,i} \leq V_{DS,i,sat} = V_{GS} - V_T \quad (15)$$

$$V_{GS} \geq V_T = V_T' + V(0) \quad (16)$$

여기서 $V_{DS,i,sat}$ 은 진성 드레인 포화전압, V_T 는 외인성 문턱전압이고, V_T' 은 진성 문턱전압으로 아래의 식으로 주어진 값이다.

$$V_T' = V_{bi} - V_p' \quad (17)$$

식(11)로부터 유효 이동도 μ_{eff} 를 도출하고자 흔히 쓰이는 간단한 $\mu_n(y)$ 의 표현식^[9,10]을 사용하자.

$$\mu_n(y) = \frac{\mu_o}{1 + \frac{\mu_o}{v_{sat}} \frac{dV}{dy}} \quad (18)$$

단, μ_o 와 v_{sat} 은 전자의 저전계 이동도와 포화속도이다. 그러면 다음을 얻게된다.

$$\mu_{eff} \doteq \frac{\mu_o}{1 + \frac{\mu_o}{Lv_{sat}} V_{DS,i}} \quad (19)$$

마지막으로, 진성 소오스와 드레인 전압, $V(0)$ 와 $V(L)$ 은 다음과 같이 나타낼 수 있다.

$$V(0) = R_S I_D \quad (20)$$

$$V(L) = V_{DS} - R_D I_D \quad (21)$$

단, R_S 와 R_D 는 소오스와 드레인 저항이다. 좋은 음성접촉(ohmic contacts)을 갖는 자기정렬(self-aligned) 소자에서는 R_S 와 R_D 를 아래식으로 표현할 수 있을 것이다.

$$R_S = \frac{\delta}{ZqN_D\mu_n(0)\{b-h(0)\}} \quad (22)$$

$$R_D = \frac{\delta}{ZqN_D\mu_n(L)\{b-h(L)\}} \quad (23)$$

단, δ 는 소오스(드레인)-게이트 간 간격이다. δ 가 채널길이보다 훨씬 짧은 경우에는 R_S 와 R_D 를 무시하여, $V_{GS,i} \doteq V_{GS}$, 그리고 $V_{DS,i} \doteq V_{DS}$ 로 나타낼 수 있다.

III. 계산 결과와 검토

도출된 표현식들에 따라, 파라미터 η , 드레인 전류 I_D , 문턱전압 V_T 를 계산하여 그림 2~그림 7에 보였다. 계산과정에 $T=300$ [K], $\epsilon_s=1.06 \times 10^{-12}$ [Fcm⁻¹], $v_{sat}=1 \times 10^7$ [cm sec⁻¹], $V_{bi} \doteq 0.65$ [V], $Z=10$ [μm], $\mu_o \doteq 3 \times 10^3$ [cm²V⁻¹sec⁻¹]을 공통적으로 사용하였다. 장채널의 경우에는 $L=5 \mu\text{m}$, $b=1 \mu\text{m}$ 을 사용하였고, 단채널의 경우에는 $L=0.3 \mu\text{m}$, $b=0.5 \mu\text{m}$ 을 사용하였다. 그림 3과 그림 4에서는 장채널과 단채널 MESFET의 I-V 특성을 보였다. 문턱 전압(V_T)의 드레인 전압의 변화에 따른 채널 도핑 레벨(N_D)과

게이트 길이(L)에 대한 의존성과 문턱 전압(V_T)의 드레인 전압의 변화에 따른 채널 깊이(b)에 대한 의존성을 각각 그림 5~그림 7에서 나타내었다. 그리고 소오스와 드레인 저항을 각각 그림 8~그림 9에 나타내었다

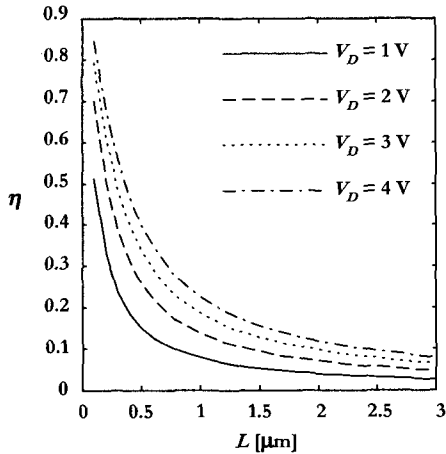


그림 2. V_D 에 대한 $\mu-L$ 특성
 Fig. 2. $\mu-L$ characteristics for V_D .
 ($N_D = 3 \times 10^{16} \text{ cm}^{-3}$, $b = 0.5 \mu\text{m}$, $V_{GS} = -0.5 \text{ V}$)

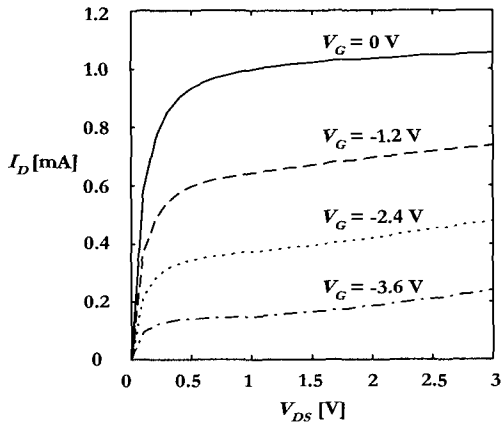


그림 3. V_G 에 대한 I_D-V_{DS} 특성
 Fig. 3. I_D-V_{DS} characteristics for V_G .
 ($N_D = 2 \times 10^{16} \text{ cm}^{-3}$, $L = 0.3 \mu\text{m}$, $b = 0.6 \mu\text{m}$)

드레인 전압 V_D 가 일정하다면 $h(L) - h(0)$ 값도 일정하므로, 식(4)에 의하여 게이트 길이 L 과 경사도 η 가 그림 2와 같이 서로 반비례한 특성을 나타낼 수 있었고, 게이트 길이 L 이 일정하다면 드레인 전압 V_D 가 증가함에 따라 $h(L)$ 도 증가하여 경사도 η 가 커짐을 알 수 있었다. 드레인 전류 특성곡선은 식(14)에 의하여 triode영역과 saturation영역 모두

통합적으로 계산되는데, 단채널인 경우 그림 3과 같이 Early 효과가 나타남을 설명할 수 있었고, 장채널인 경우 그림 4와 같이 전형적인 일차원적 특성을 나타낼 수 있었다. 결론적으로 식(14)가 단채널과 장채널의 구분 없이 그리고 triode 영역과 saturation 영역의 구분 없이 드레인 전류 특성경향을 통합적으로 (unified) 설명할 수 있음을 알 수 있다. 한편 식(16)에 의하여 게이트 길이가 감소함에 따라 상대적으로 공핍층 영역이 빠른 속도로 넓어짐에 따라 문턱 전압 V_T 의 절대치도 그림 5, 그림 6과 같이 지수함수적으로 증가함을 설명할 수 있었다. 게이트 길이 L 이 일정할 때 도핑 레벨이 높아지면 단채널 경우와 장채널

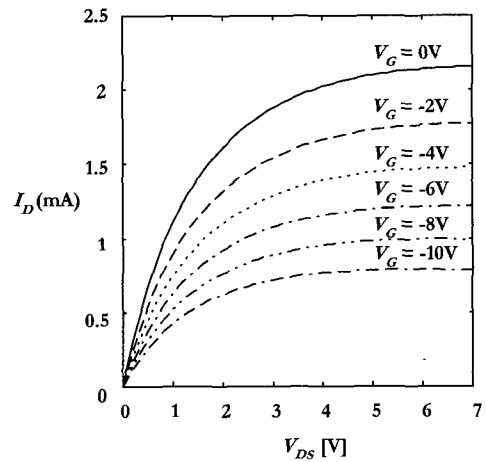


그림 4. V_G 에 대한 I_D-V_{DS} 특성
 Fig. 4. I_D-V_{DS} characteristics for V_G .
 ($N_D = 3 \times 10^{16} \text{ cm}^{-3}$, $L = 5 \mu\text{m}$, $b = 1 \mu\text{m}$)

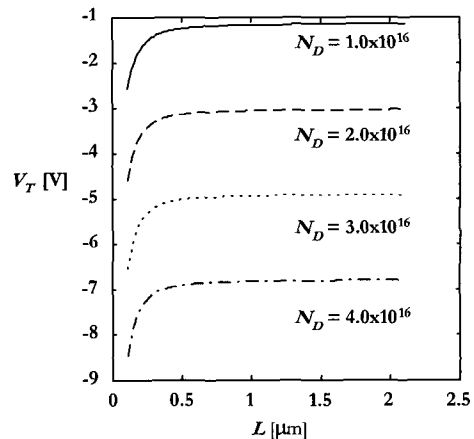


그림 5. N_D 에 대한 V_T-L 특성
 Fig. 5. V_T-L characteristics for N_D .
 ($N_D = 3 \times 10^{16} \text{ cm}^{-3}$, $b = 0.5 \mu\text{m}$, $V_G = 0$, $V_D = 0.5 \text{ V}$)

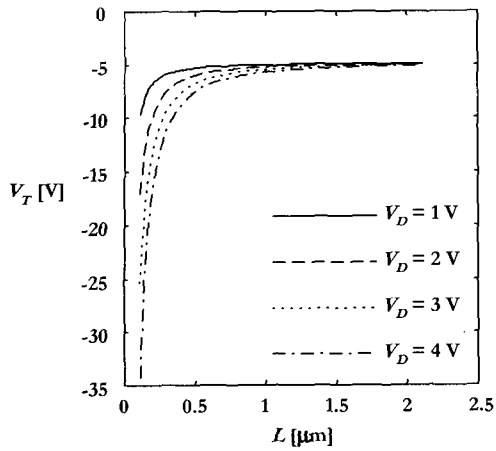


그림 6. V_D 에 대한 V_T-L 특성
 Fig. 6. V_T-L characteristics for V_D .
 ($N_D = 3 \times 10^{16} \text{ cm}^{-3}$, $b = 0.5 \text{ } \mu\text{m}$, $V_G = 0 \text{ V}$)

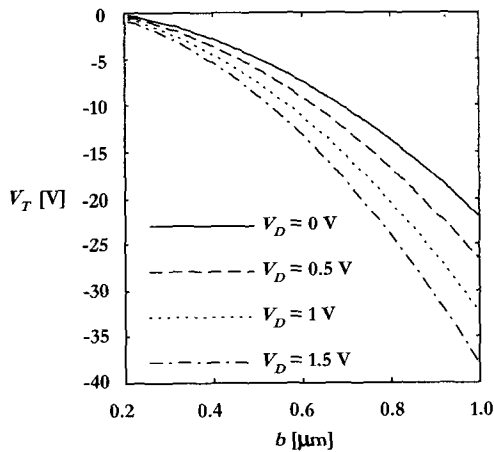


그림 7. V_D 에 대한 V_T-b 특성
 Fig. 7. V_T-b characteristics for V_D .
 ($N_D = 3 \times 10^{16} \text{ cm}^{-3}$, $L = 0.3 \text{ } \mu\text{m}$, $V_G = 0.7 \text{ V}$)

경우 모두 문턱 전압의 절대치가 증가한다. 그러나, 드레인 전압에 대해서는 장채널인 경우 거의 차이가 없다가 단채널로 갈수록 드레인 전압 V_D 이 증가함에 따라 드레인측에서 채널 측으로 공핍영역이 확장하여 문턱 전압의 절대치가 증가함을 설명할 수 있었다. 아울러 채널 깊이 b 와 드레인 전압이 감소함에 따라 그림 7과 같이 문턱전압의 절대치가 감소하였다.

식(22), (23)에 의하여 드레인 전압이 클 땐 게이트 전압에 대한 의존도가 그림 8, 그림 9에 보인 바와 같이 크게 확대되었고, 반대로 드레인 전압이 작을 땐 게이트 전압에 대한 의존도가 축소됨을 알 수 있었다.

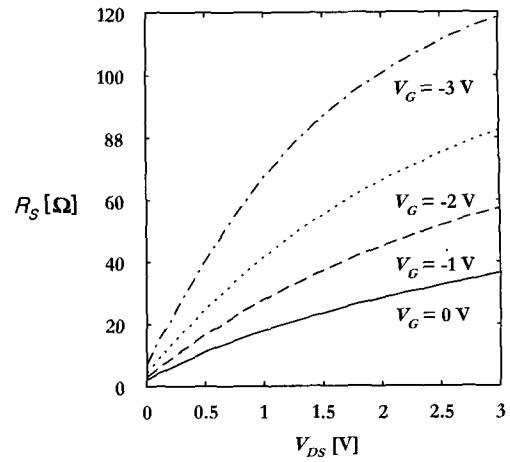


그림 8. V_G 에 대한 R_S-V_{DS} 특성
 Fig. 8. R_S-V_{DS} characteristics for V_G .
 ($N_D = 3 \times 10^{16} \text{ cm}^{-3}$, $L = 0.3 \text{ } \mu\text{m}$, $b = 0.5 \text{ } \mu\text{m}$)

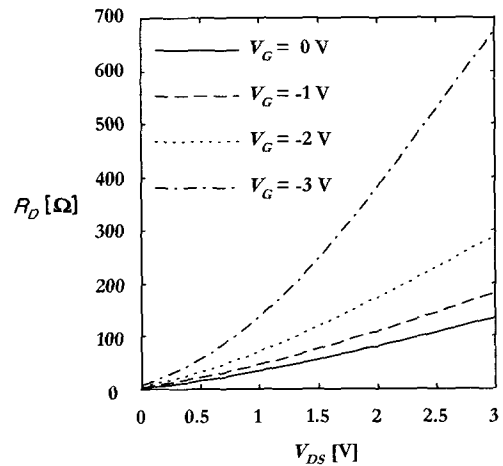


그림 9. V_G 에 대한 R_D-V_{DS} 특성
 Fig. 9. R_D-V_{DS} characteristics for V_G .
 ($N_D = 10 \times 10^{16} \text{ cm}^{-3}$, $L = 0.3 \text{ } \mu\text{m}$, $b = 0.5 \text{ } \mu\text{m}$)

IV. 결론

계산 예외 검토에서 보인 바와 같이, 본 모델은 문턱전압, 드레인 포화전압, 그리고 드레인 포화전류에 대한 표현을 일괄적으로 도출할 수 있을 것으로 보여진다. 본 모델은 기존의 GCA 대신 선형 공핍층 근사를 이용하여, MESFET의 여러 가지 동작특성을 단채널과 장채널의 구분 없이 그리고 triode 영역과 saturation 영역의 구분 없이 드레인 전류 특성경향에 대한 통합적인(unified) 해석가능성을 제시하였다. 또

한 기존의 채널길이 변조 모델^[3]과 비교하여, 본 모델이 단채널 소자의 포화 이후의 유한한 채널 컨덕턴스를 설명하는데 더 적절한 설명을 제시하는 것으로 보인다.

참 고 문 헌

[1] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor." Proc, IEEE, 54, 307 (1966).

[2] S. M. Sze, Physics of Semi-Conductor Devices, 2nd ed. New York, Wiley, chap.6, 1981.

[3] M. S. Shur, "Analytical models of GaAs FET's," IEEE Trans. Electron Devices, vol. ED-32, 1985.

[4] W. R. Curtice, "A MESFET model for use in the design of GaAs integrated circuits," IEEE Trans. Microwave Theory and Technique, vol. MTT-28, May 1980.

[5] I. Angelov, H. Zirath, and N. Rorsman, "A new empirical nonlinear model for HEMT and MESFET devices," IEEE Trans. Microwave Theory Tech., vol.40, Dec. 1992.

[6] T. Kacprzak and A. Materka, "Compact dc model of GaAs FETs for large-signal computer calculations," IEEE J. Solid-State Circuits, vol. SC-18, Apr. 1983.

[7] J. Rodriguez Tellez and P. England, "A five-parameter dc GaAs MESFET model for nonlinear circuit design," IEE Proc., Part G, vol.139, no. 3, June 1992.

[8] A. Baric and Patrick J. McNally, "A simple one-dimensional model for the explanation and analysis of GaAs MESFET behavior," IEEE Trans. Education, vol. 41, no. 3, Aug. 1998.

[9] S. Selberherr, "Analysis and Simulation of Semiconductor," Springer-Verlag, 1984

[10] C. Canali, G. Majni, and G. Ottaviani, "Electron and hole drift velocity measurement in silicon and their empirical relation to electric field and temperature," IEEE T-ED ED-16, 108, 1969.

[11] W. Shockley, "A unipolar 'field effect' transistor," Proc. IRE, vol.40.

[12] M. S. Shur, "Low field mobility, saturation velocity, and performance of sub micron GaAs MESFET's," Electron. Lett., v.18, n. 21, Oct. 1982.

[13] A. J. McCamant, G. D. McCormack, and D. H. Smith, "An improved GaAs MESFET model for SPICE," IEEE Trans. Microwave Theory Tech., vol.38, June, 1990.

저 자 소 개



朴正煜(正會員)
1972년 10월 22일생. 1998년 홍익대학교 공과대학 전자전기 제어 공학과 졸업(공학사). 2000년 동대학원 전자공학과 졸업(공학석사). 2000년~현재 삼성전자 정보통신총괄 근무. 주관심분야 : 반

도체소자 및 설계



金在仁(正會員)
1949년 7월 9일생. 1974년 인하대학교 공과대학 전자공학과 졸업(공학사). 1984년 인하대학교 대학원 전자공학과 졸업(공학석사). 1996년~현재 홍익대학교 대학원 전자공학과 박사과정. 1977년~현

재 인천전문대학 전자과 교수. 주관심분야 : 반도체소자 및 물성, 반도체회로 설계