

論文2000-37SD-4-10

승/감산 연산방법의 개선 및 PTL 회로설계 기법을 이용한 저전력 MAC의 구현

(An Implementation of Low Power MAC using Improvement of Multiply/Subtract Operation Method and PTL Circuit Design Methodology)

沈基學*, 吳益均*, 洪相玟*, 柳凡善*, 李奇榮*, 趙泰元*

(Kihak Shim, Ik Kyun Oh, Sang Min Hong, Beom Seon Ryu, Kie Young Lee, and Tae Won Cho)

요 약

시스템 설계의 각 단계에서 저전력 설계기법을 적용하여 $8 \times 8 + 20$ 비트의 MAC을 설계하였다. 알고리즘 레벨에서는 MAC의 중요한 명령어 중의 하나인 승/감산연산을 위한 하드웨어의 설계에서 기존의 방식에 비하여 트랜지스터를 감소할 수 있는 새로운 기법을 제안하였으며, 회로 레벨에서는 동일한 로직을 CMOS로 구현한 경우보다 PDP(power-delay-product) 측면에서 우수한 성능을 가지는 NMOS pass-transistor 로직으로 구성된 새로운 Booth 셀렉터 회로를 제안하였다. 구조 레벨에서 최종단 덧셈기는 전력소모, 동작속도, 면적, 설계 규칙성 측면에서 가장 우수한 ELM 덧셈기를 사용하였고, 레지스터는 비트당 트랜지스터의 수가 적은 동적 CMOS 단일모서리 천이 플립플롭을 적용하였다. 동작속도를 높이기 위한 방법으로는 2단 파이프라인 구조를 적용했으며, Wallace 트리 블록에 고속 4:2 압축기를 이용하였다. $0.6\mu\text{m}$ 단일폴리, 삼중 금속 CMOS 공정으로 설계된 MAC은 모의실험 결과 곱셈 연산시 최대 200MHz, 3.3V에서 35mW의 전력을 소모하였고, MAC 연산시 최대 100MHz에서 29mW의 전력을 소모하였다.

Abstract

An $8 \times 8 + 20$ -bit MAC is designed with low power design methodologies at each of the system design levels. At algorithm level, a new method for multiply/subtract operation is proposed, and it saves the transistor counts over conventional methods in hardware realization. A new Booth selector circuit using NMOS pass-transistor logic is also proposed at circuit level. It is superior to other circuits designed by CMOS in power-delay-product. And at architecture level, we adopted an ELM adder that is known to be the most efficient in power consumption, operating frequency, area and design regularity as the final adder. For registers, dynamic CMOS single-edge triggered flip-flops are used because they need less transistors per bit. To increase the operating frequency 2-stage pipeline architecture is adopted, and fast 4:2 compressors are applied in Wallace tree block. As a simulation result, the designed MAC in $0.6\mu\text{m}$ 1-poly 3-metal CMOS process is operated at 200MHz, 3.3V and consumed 35mW of power in multiply operation, and operated at 100MHz consuming 29mW in MAC operations, respectively.

* 正會員, 忠北大學校 電子工學科

(School of Electronic and Electrical Engineering, Chungbuk National University.)

※ 본 연구는 산업자원부와 과학기술부 및 정보통신부에서 시행하는 주문형 반도체 개발 사업의 지원을 받아 수행되었습니다.

接受日字:1999年9月3日, 수정완료일:2000年3月20日

I. 서론

최근 멀티미디어 정보의 활용이 급격히 증가하면서 이를 처리하기 위한 다양한 알고리즘이 제안되어 왔으며, 하드웨어로 구현하기 위한 연구 또한 활발히 진행되고 있다. 그 중 통신용 알고리즘이나 다차원 신호처

리 등의 응용분야에 가장 기본적으로 사용되는 연산은 누적승산(multiply and accumulate)이며, 특히 신호처리 응용분야에는 고차 누적승산을 요구하는 iterative 알고리즘이 많이 사용된다^{[1]-[3]}. MAC(multiplier and accumulator)은 누적승산 연산을 수행하는 연산기이며, 이에 대한 연구결과가 최근 십여 년 간 꾸준히 발표되고 있다^{[1],[3]-[8]}. 1990년대 중반부터는 휴대용 시스템에 대한 관심이 높아지면서 개발방향이 기존의 고속동작을 위한 측면에서 전력소모를 줄이는 측면으로 변화하고 있다^{[9]-[15]}.

MAC이 수행하는 기본적 연산은 곱셈으로써, 우수한 곱셈기를 설계하는 것이 MAC 전체의 성능을 좌우한다. 곱셈기는 멀티미디어 응용분야의 증가에 따라 RISC(reduced instruction set computer), DSP(digital signal processing), 그래픽 가속기 등의 시스템에서 핵심적 역할을 수행하고 있으며^[9], 각 시스템의 특성에 따라 다양한 구조가 적용되어 왔다. 일반적으로 MAC 및 고속 곱셈기에는 Booth 알고리즘과 전가산기의 배열이나, Booth 알고리즘과 Wallace 트리 구조를 이용한 방법이 많이 이용되고 있다^{[1],[5] [15]}. 위와 같은 구조를 가지는 병렬곱셈기의 임계신호경로는 Booth 리코더(recoder), 열(列)압축 트리(column compression tree), 최종단 덧셈기(final adder)의 세 부분으로 구분된다^[16].

설계한 MAC은 8×8+20비트의 연산을 수행하며, 휴대용 시스템에 적용이 가능하도록 전력소모를 줄이기 위한 다양한 기법들이 시스템 설계의 각 단계에서 사용되었다. 알고리즘 레벨에서는 명령어 집합 중에서 기존의 방법에 비하여 적은 하드웨어를 이용하여 승/감산 연산(multiply/subtract)을 수행하는 새로운 기법을 제안하였다. 회로 레벨에서는 CMOS에 비해 적은 전력을 소모하는 NMOS pass-transistor 로직으로 구성된 Booth 셀렉터(selector) 회로를 제안하였다. 구조 레벨에서 최종단 덧셈기는 전력소모, 동작속도, 면적, 설계 규칙성 측면에서 우수한^{[17]-[22]} ELM 덧셈기를 사용하였고, 레지스터 블록은 단위셀당 전력소모가 가장 적은 동적(dynamic) CMOS 단일 모서리 천이 D-플립플롭을 사용하였다. 열압축 트리 블록의 경우는 최종단 덧셈기에 비해 지연시간이 2~4배 크므로 MAC의 전체 동작 속도에 가장 큰 영향을 주게 된다^[16]. 따라서 전체적인 저전력 구조를 적용하면서 고속동작을 유지하기 위하여 2단 파이프라인 구조를 이용하여 동작주피수를 증가시켰으며, 열압축 트리 블록으로는 고속 4:2 압축기

를 이용한 Wallace 트리 구조를 적용하여 임계경로의 지연시간을 단축시켰다.

II절에서는 제안한 MAC의 명령어 집합, 구조 및 적용된 저전력 기법을 논의하고, III절에서는 설계한 회로의 모의실험 결과를 분석하고자 한다.

II. 저전력 MAC의 설계

1. 명령어 집합 및 구조

설계한 MAC의 명령어 집합은 표 1과 같다. 전체 연산은 8×8+20비트 연산으로, 두 개의 8비트 데이터를 받아들여 2비트의 연산코드에 의해 연산을 수행하며 20비트의 최종 결과값을 출력한다. 수행하는 명령어들은 아날로그 디바이스사의 ADSP-2101의 MAC 명령어 집합 중 transfer MR과 clear 명령어를 제외한 명령어이다^[23].

표 1. MAC의 명령어 집합
Table 1. Instruction set of MAC.

Functions	OP codes		Comments
	op[1]	op[0]	
$X \times Y$	0	0	multiply
$MR + X \times Y$	0	1	multiply/accumulate
$MR - X \times Y$	1	0	multiply/subtract

그림 1은 설계한 MAC의 블록 다이어그램이다. MAC은 회로의 특성상 누적승산을 집중적으로 수행하는 시스템에 많이 응용되고 있으므로 고속의 데이터 처리가 요구된다. 따라서 전체적인 시스템의 동작속도를 높이기 위하여 2단 파이프라인 구조를 적용하였다. 곱셈연산을 위해서는 수정된 Booth 알고리즘을 이용한 재코딩(recoding) 방식을 적용했으며, 부분곱을 더하는 과정을 위해 4:2 압축기를 포함한 Wallace 트리를 적용하였다. 결과값을 얻기 위한 최종단 덧셈기는 전력소모, 지연시간, 설계면적 측면에서 우수한 ELM 덧셈기를 사용하였다.

전체 회로동작은 다음과 같다. 2비트의 명령어와 두 개의 8비트 데이터가 입력 레지스터로 입력된다. 각 데이터는 Booth 리코더 블록으로 전달되어 Booth 인코더(encoder)와 Booth 셀렉터 셀을 통과하면서 40비트의 부분곱으로 재코딩 된다. 이 부분곱들은 4:2 압축기와

3:2 압축기 그리고 반가산기로 구성되어 있는 Wallace 트리 블록으로 전달된다. 이 때 누적연산을 위해 이전 클럭의 출력값(MR) 20비트가 최종단 덧셈기의 출력으로부터 캐환되어 Wallace 트리 블록으로 함께 입력된다. Wallace 트리에서는 2단, 또는 3단의 압축기를 거쳐 총 39비트의 데이터가 출력되며, 이 데이터는 최종 결과값을 얻기 위해 20-bit ELM 덧셈기로 입력된다. ELM 덧셈기에서 최종 연산된 결과값 20비트가 출력 레지스터로 전달되고, 연산 코드에 따라 Wallace 트리로 캐환된다. 파이프라인 레지스터는 Wallace 트리 블록의 사이에 삽입되었으며, 2클럭 사이클의 잠복기(latency)를 가진 후 매 클럭사이클 마다 결과값이 출력된다.

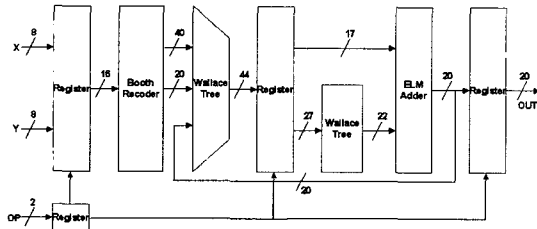


그림 1. 설계한 MAC의 구조
Fig. 1. The architecture of the designed MAC.

2. 알고리즘

본 논문에서는 알고리즘 레벨에서 전력소모를 줄이기 위해 최소의 하드웨어를 이용하여 승/감산연산을 수행하는 새로운 방법을 제안하였다. 기존식은 다음과 같이 제안하는 식 (1)로 변환할 수 있다.

$$\begin{aligned} MR &= (X \times Y) \\ &= MR + [X \times (-Y)] \\ &= MR + [X \times (Y' + 1)] \\ &= MR + [(X \times Y') + X] \end{aligned} \quad (1)$$

기존식에서 입력되는 데이터는 피승수(multiplicand, X)와 승수(multiplier, Y) 및 이전 클럭의 결과값 MR로 구성되며 제안한 식으로 변환될 수 있다. 세 번째 식의 괄호내의 내용은 입력되는 승수 Y의 2의 보수를 취함을 의미하며 Y'은 Y의 1의 보수이다. 제안한 식으로 변환한 결과, 승수와 피승수가 각각 n-비트일 경우를 하드웨어로 구현하면 승수의 1의 보수를 위한 n개의 XOR 게이트와 피승수 X를 위한 n개의 AND 게이트가

필요하게 된다. 식 (1)을 이용하는 기존의 방법에서는 Wallace 트리의 출력단에 XOR 게이트를 삽입하여 승/감산연산을 처리하므로^{[24]-[26]} m-n×n 비트의 연산일 경우 2m개의 XOR 게이트가 필요하게 된다. MAC의 특성상 2m의 값은 2n보다 크기 때문에 승/감산연산을 위한 XOR 게이트가 2n개보다 많이 요구된다. 제안한 방법은 승수와 피승수의 비트수와 동일한 수의 논리 게이트만으로 구현할 수 있으므로 하드웨어의 부담이 적어지는 장점이 있으나 Wallace 트리가 복잡해지는 단점이 있다. 표 2에서는 승/감산연산을 위한 하드웨어의 증감분을 비교하기 위해 XOR 게이트의 트랜지스터 수를 각각 6, 8, 12개로 구성할 경우^[27] 8비트 MAC에서 Wallace 트리의 트랜지스터 수를 비교, 계산하였다. 비교결과 제안한 방법은 기존의 방법^[20-21]에 비하여 XOR 게이트가 8개 또는 12개의 트랜지스터로 구성될 경우 하드웨어가 감소함을 확인하였다. 설계된 MAC에서 8개의 XOR 게이트는 Booth 리코더 블록의 입력단에 삽입되고 8개의 AND 게이트는 Wallace 트리 입력단에 각각 삽입하여 설계하였다

표 2. 8비트 MAC에서 승/감산연산을 위한 하드웨어 비교

Table 2. Comparisons of hardware for multiply/subtract operation in 8-bit MAC.

(단위 : 개)

구분	제안한 방법	XOR게이트 삽입법 [20-21]	
4:2 압축기	9	5	
전가산기	26	29	
반가산기	8	6	
XOR 게이트	8	32	
AND 게이트	8	0	
Wallace 트리의 트랜지스터 수	1 XOR 게이트 = 6 트랜지스터	1,248	1,200
	1 XOR 게이트 = 8 트랜지스터	1,384	1,392
	1 XOR 게이트 = 12 트랜지스터	1,656	1,776

3. Booth Encoder/Selector

Booth 인코더는 입력된 승수를 Booth 알고리즘에 의하여 재코딩하는 기능을 가진다. 인코딩 방법은 설계자에 따라 다양하게 구현될 수 있으므로 여러 종류의 인

코더 회로가 제안되었다^{[9],[11],[15]}. 설계된 MAC을 위한 Booth 인코더의 진리표를 표 3에 정리하였다. m1, m2, m3는 입력되는 승수의 연속된 데이터이며, d0, d1, neg는 인코딩된 신호이다. 이 신호들은 Booth 셀렉터 회로의 제어신호로 작용을 한다. 제안한 인코딩 방식은 다음과 같다. 먼저 검색(scan)한 3비트의 승수가 Booth 알고리즘에 의해 '0'으로 재코딩될 경우 d0 신호가 '1'이 되어 Booth 셀렉터 셀의 PMOS를 구동하게 된다. 만약 승수가 +1 또는 -1로 재코딩되면 d1 신호가 '1'이 되며, 음수값으로 재코딩되면 neg 신호가 '1'이 된다. 제안한 Booth 인코더 회로는 그림 2와 같다. 이 방식은 Ohkubo의 논문^[9]이나 Goto의 논문^[15]에서 제안된 방식에 비하여 트랜지스터의 수가 적으면서 논리깊이가 같거나 작은 장점이 있다.

Booth 셀렉터 셀은 실제로 부분곱을 생성하여 Wallace 트리 블록으로 전송하므로 고속으로 데이터를 처리할 수 있는 기술이 요구될 뿐 아니라, Booth 리코더 블록의 대부분을 차지하므로 단위 셀에서 전력소모를 최소화하기 위한 설계방법이 적용되어야 한다. 회로 레벨에서 전력소모를 최소화하기 위하여 NMOS pass-transistor 로직으로 구현한 Booth 셀렉터 회로를 제안하였다. 제안한 Booth 셀렉터 회로는 그림 3과 같다. 그림 3의 회로에서 입력 신호 d0b, d1, d1b, neg, negb는 Booth 인코더의 출력에서 전달된 신호이며, x1, x1b, x2, x2b 신호는 피승수의 값이다. Booth 셀렉터는 제어신호로 작용하는 Booth 인코더의 출력값에 의해 선택된 피승수의 신호를 출력한다. 이 출력값이 재코딩된 부분곱이며 Wallace 트리로 입력된다. 기존에 발표된 정적(static) CMOS^{[9],[28]} 등으로 설계된 Booth 셀렉터 셀에 비해 제안한 회로는 CMOS로 설계한 회로에 비해 입력 커패시턴스가 작고 논리문턱전압(logic threshold voltage)이 낮아 동작속도가 높고 전력소모가 적은 장점이 있다. 제안한 회로에서 d0b가 0일 경우를 제외한 모든 출력은 NMOS 3개와 인버터 1개만큼의 지연시간을 나타내므로 지연시간이 단축되는 반면, NMOS pass-transistor 로직만으로 구현할 경우 NMOS 네트워크의 출력값이 rail-to-rail 스윙(swing)을 하지 못하는 단점이 있다^[29]. 이러한 경우를 위해 제안한 회로에는 인버터의 출력에 weak PMOS를 이용한 캐환경로를 만들어 줌으로써 출력이 rail-to-rail 스윙을 할 수 있도록 설계하였다. 제안한 회로의 성능을 비교하기 위하여 동일한 기능을 수행하는 회로를 정적

CMOS, complex 로직게이트 등의 로직형태로 설계한 후, 같은 입력조건 및 환경에서 실험하였다. 그림 7은 각 회로의 지연시간과 전력소모를 비교한 그림이다. 제안한 회로가 비교된 회로들에 비해 PDP 측면에서 최대 71%까지 절감되는 결과를 나타내었다.

표 3. Booth 인코더의 진리표
Table 3. Truth table of Booth encoder.

m3	m2	m1	d0	d1	neg
0	0	0	1	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	0	0
1	0	0	0	0	1
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	1	0	1

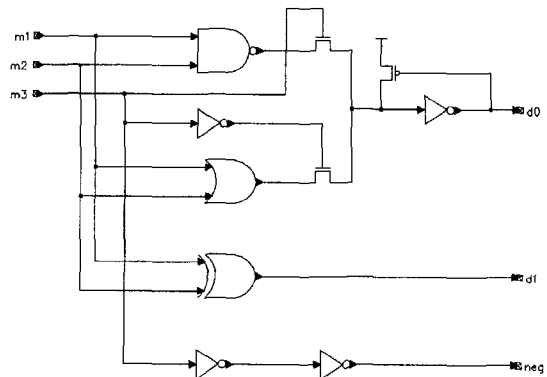


그림 2. 제안한 Booth 인코더 회로
Fig. 2. The proposed Booth encoder circuit.

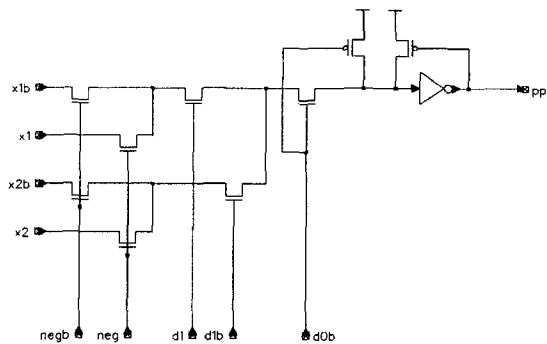


그림 3. 제안한 Booth selector
Fig. 3. The proposed Booth selector.

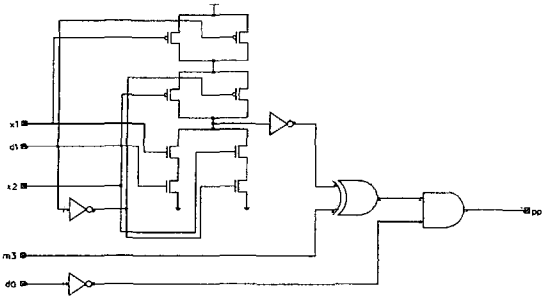


그림 4. Complex logic gate를 이용한 Booth selector
Fig. 4. Booth selector using complex logic gate.

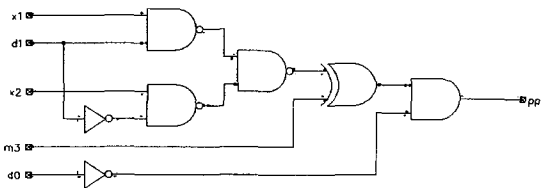


그림 5. Static CMOS를 이용한 Booth selector 1
Fig. 5. Booth selector using static CMOS 1.

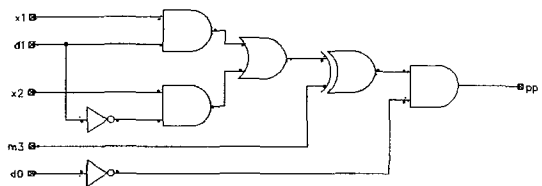


그림 6. Static CMOS를 이용한 Booth selector 2
Fig. 6. Booth selector using static CMOS 2.

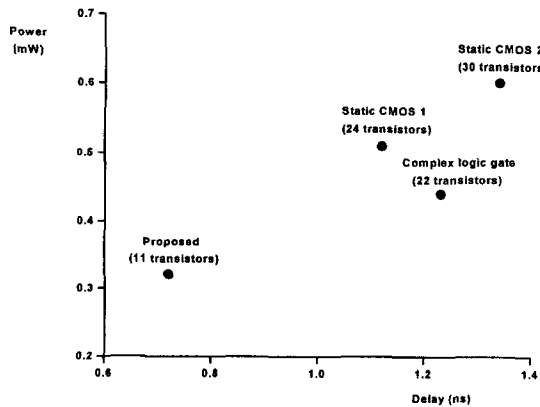


그림 7. Booth selector의 지연시간 및 전력소모 비교
Fig. 7. Comparisons of delay and power consumption of Booth selectors.

4. 레지스터 및 압축기

레지스터의 종류를 결정하기 위하여 기존의 다양한

로직형태의 플립플롭 중에서 동작속도와 전력소모 측면에서 가장 우수한 회로를 선택하였다. 그림 8은 동적 CMOS 및 정적 CMOS의 이중 모서리 천이 D-플립플롭과 단일 모서리 천이 D-플립플롭을 설계하고 동일한 조건에서 실험을 통하여 얻은 결과이다. 동일한 환경을 구현하기 위하여 이중모서리 천이 방식은 100MHz, 단일 모서리 천이방식은 200MHz의 주파수를 인가하였다. 실험 결과 동적 CMOS로 구현한 단일모서리 천이 D-플립플롭 회로가 비교된 회로에 비해 power-delay-product 측면에서 최대 59% 적게 소모하는 것을 확인하였다. 그림 9는 각 플립플롭에 의해 구현된 레지스터를 MAC에 적용할 경우 전체 레지스터 블록의 트랜지스터 수를 비교한 결과이다. 동적 CMOS 단일 모서리 천이방식으로 구현했을 경우 최대 63%의 트랜지스터 수가 감소함을 알 수 있다. 이와 같은 결과를 통하여 레지스터는 동적 CMOS로 구현된 단일 모서리 천이 D-플립플롭을 사용하였다. 단일 모서리 천이방식은 이중 모서리 천이방식에 비해 트랜지스터 수가 줄어들어 칩의 면적이 감소하고 회로가 간단해져, 결과적으로 게이트 및 배선에 의한 커패시턴스가 줄어 전력소모가 줄어든다. 반면 2배의 입력주파수를 인가해야하므로 저전력 소모에 불리한 단점이 있다^[30]. 제안한 MAC에서는 단일 모서리 천이 D-플립플롭을 사용함으로써 이중 모서리 천이 D-플립플롭을 사용했을 경우에 비해 전체 레지스터에 사용된 트랜지스터의 수를 줄여 저전력을 구현하는 방법을 선택하였다.

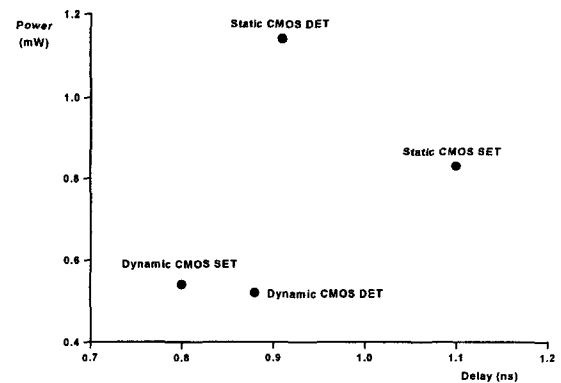


그림 8. 플립플롭의 지연시간 및 전력소모 비교
Fig. 8. Comparisons of delay and power consumption of flip-flops.

(Vss: 0.1V, temp.: 75°C, load cap.: 0.1pF, process: SS2).

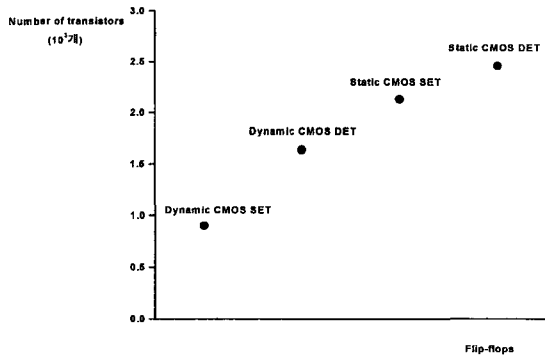


그림 9. 레지스터의 전체 트랜지스터 수의 비교
Fig. 9. Comparisons of the total transistor counts of register.

열압축 트리 블록은 MAC 연산에서 지연시간에 가장 큰 영향을 주는 블록이므로 고속동작을 위한 구조가 필요하다. 이를 위하여 본 논문에서는 4:2압축기를 이용한 Wallace 트리 구조가 적용되었다. Wallace 트리는 CSA(carry save adder) 배열을 이용한 방법에 비해 설계규칙성 및 확장성 측면에서 불리하고, 넓은 설계면적과 배선을 요구하므로 전력소모가 커지는 단점이 있다^{[11],[13]}. 그러나 설계된 MAC에서는 고속 및 저전력 측면에서 우수한 성능을 가지는 4:2 압축기^[15]를 이용하여 Wallace 트리를 구현함으로써 전력소모를 줄이고 고속 동작을 유지하였다. 전가산기를 이용하여 4비트의 입력값과 1비트의 캐리를 계산하면 4개의 XOR 게이트 지연시간을 나타내는 반면, 4:2압축기를 이용하면 3개의 XOR 게이트 지연시간을 가지므로 동작속도가 빨라지는 장점이 있다^{[16],[26],[33]}. 그림 10은 기존에 발표된 다양한

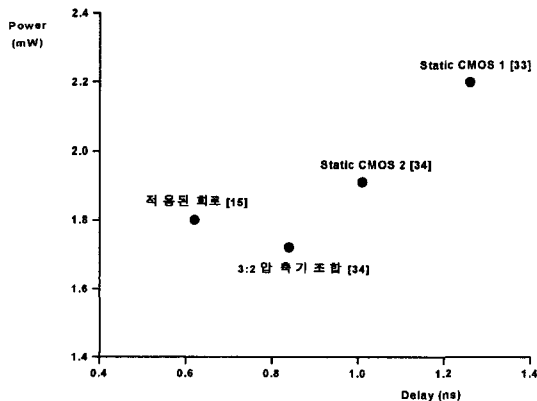


그림 10. 4:2 압축기의 지연시간 및 전력소모 비교
Fig. 10. Comparisons of delay and power consumption of 4:2 compressors.

4:2 압축기^{[15],[33],[34]}를 동일한 환경에서 실험하여 얻은 결과값이다. 적용된 회로가 지연시간 및 전력소모 측면에서 비교 회로들에 비해 우수한 성능을 나타냄을 확인하였다.

최종단 덧셈기 및 누산기로 사용된 ELM 덧셈기는 여러 종류의 병렬 덧셈기 중에서 전력소모, 동작속도, 면적 및 설계규칙성 측면에서 가장 우수한 성능을 나타낸다^[18].

5. 파이프라이닝 및 부호확장 기법

제안한 MAC의 구조는 2단 파이프라인 구조를 가진다. 파이프라인의 전단부에서는 입력 데이터를 받아들여 Booth 리코더 블록에서 부분곱을 생성하고, Wallace 트리에서 2단의 덧셈기를 이용한 부분곱의 덧셈과정이 진행된다. 후단부에서는 파이프라인 전단부의 Wallace 트리 블록에서 완료되지 못한 부분곱들의 덧셈과정을 완료하고, ELM 덧셈기를 이용하여 최종 덧셈을 수행하여 결과값을 출력 레지스터에 전달한다. 또한 연산 코드가 '01' 또는 '10'일 경우 ELM 덧셈기의 출력값은 Wallace 트리의 입력으로 케환되어 Booth 리코더 블록의 출력값들과 함께 누적승산 연산을 수행하게 된다.

MAC은 이전 클럭에서의 결과값 20비트와 현재 클럭에서 연산중인 16비트의 데이터를 더하는 과정에서 각 데이터의 비트수가 일치하지 않아 부호(sign)확장을 이용하여 비트수를 일치시켜야한다. 부호확장기법에는 부호전파기법과 부호발생기법이 있다. 부호전파기법은 일반적으로 많이 사용되고 있으나^[35] Booth 리코더의 각 단계마다 부호발생조건에 대한 신호가 전파되면서 재코딩되어야 하므로 지연시간이 발생하는 단점이 있다. 그러나 부호발생기법은 부호발생조건에 대한 모든 과정을 지연시간 없이 처리하므로 부호전파기법에 비해 재코딩 시간이 빨라진다. 설계된 MAC에서는 부호발생기법을 적용하여 Booth 리코더 블록에서의 재코딩 시간을 단축했다.

클럭 구동회로는 분산버퍼방식(Distributed Buffer Scheme)을 사용하였다. 클럭 구동방식은 크게 분산버퍼방식과 단일구동방식(Single Driver Scheme)으로 구분되는데, 분산버퍼방식은 상대적으로 작은 버퍼가 적절히 삽입될 수 있어 칩의 면적을 줄이는데 용이한 장점이 있다^[31].

III. 실험결과 및 분석

그림 11은 설계한 MAC의 레이아웃(layout)을 나타낸 그림이다. 전원은 I/O 부분과 코어(core) 부분을 분리하여 공급하였다. 코어 부분의 좌측이 입력 레지스터와 Booth 리코더 블록이며, 가운데 부분은 Wallace 트리 및 파이프라인 레지스터, 우측은 ELM 덧셈기 및 출력 레지스터이다. 클럭에 의한 전력 소모를 최소화하기 위해 클럭 배선은 단위 길이당 캐패시턴스가 작은 메탈-3 층을 사용하였다. 코어의 면적은 $1 \times 2\text{mm}^2$ 이고, I/O 셀을 제외한 트랜지스터의 수는 4,440개이다.

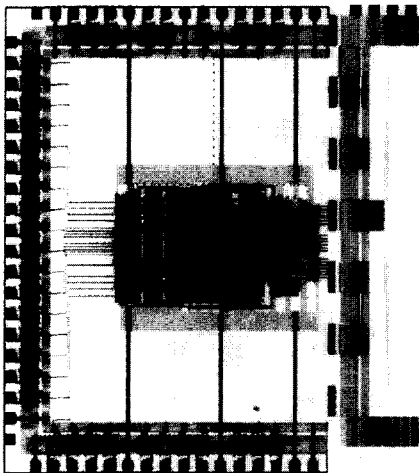


그림 11. 설계한 MAC의 레이아웃
Fig. 11. Physical layout of the designed MAC.

모의실험의 공정변수는 LG $0.6\mu\text{m}$, 3.3V, CMOS 공정을 이용하였다. 온도는 25°C , 표준(typical) 공정, 전원 전압은 3.3V, 입력신호의 상승 및 하강시간은 각각 0.1 ns의 경우에 대하여 실행하였다. 곱셈연산을 위한 입력 조건은 명령어를 $X \times Y$ 로 고정시키고 다양한 입력값을 인가하여 측정하였으며, MAC 연산을 위한 입력은 3개의 명령어를 $X \times Y$, $MR - X \times Y$, $MR + X \times Y$ 의 순으로 설정하고 각각의 명령에 대하여 최종 덧셈과정에서 최하위 비트로부터 최상위 비트까지 캐리가 전파되는 x , y 입력값을 인가한 후, 다양한 클럭주파수에서 모의실험을 수행한 다음 결과값을 확인하였다. 모의실험의 입, 출력파형이 각각 그림 12, 13에 제시되었으며, 표 4는 모의실험의 결과이다.

곱셈연산과 MAC 연산시 최대동작주파수가 큰 차이를 보이는 이유는 파이프라인 레지스터의 삽입 과정에서 곱셈연산을 위한 지연시간의 균형은 파이프라인 각 단에서 각각 5ns 이내로 유지되었으나, MAC 연산을

위한 데이터 경로에서는 파이프라인 후단부의 지연시간이 약 10ns 까지 증가하였기 때문이다. 또한 레이아웃 과정에서 4:2 압축기 블록의 크기가 예상보다 증가하였고, ELM 덧셈기 블록의 최종 출력단의 구동력을 높이기 위해 트랜지스터의 크기를 크게 설계한 점은 전력소모 측면에서 불리하게 작용하였다.

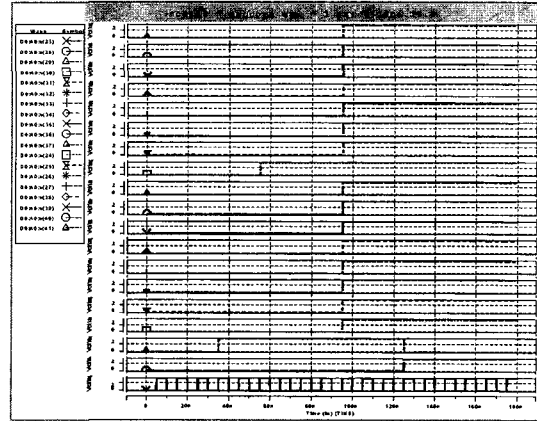


그림 12. 100MHz에서의 입력파형
Fig. 12. Input waveform at 100MHz.

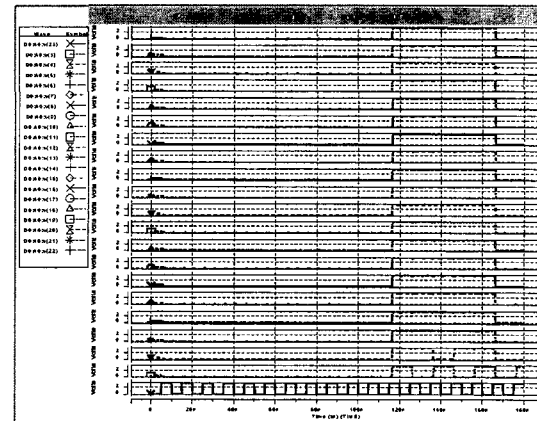


그림 13. 100MHz에서의 출력파형
Fig. 13. Output waveform at 100MHz.

설계한 MAC 시스템의 블록별 전력소모를 그림 14에서 비교하였다. 실험결과 레지스터 블록에서 가장 큰 전력을 소모했으며, 클럭 구동회로와 윌리스 트리 블록에서도 많은 부분의 전력을 소모함을 알 수 있다. 원인을 분석해보면 레지스터 및 윌리스 트리 블록은 트랜지스터의 수가 많아 전력소모가 크고, 클럭트리의 경우는 스위칭 빈도가 가장 높기 때문에 전력소모가 크게

측정됨을 알 수 있다.

표 4. 모의실험 결과
Table 4. Simulation Results.

구 분	성능 및 결과	
	곱셈연산	MAC 연산
공정변수	0.6 μ m, 1-Poly, 3-Meta,1 CMOS	
비트수	8 \times 8+20	
트랜지스터 수(개)	4,440	
면적(mm ²)	1 \times 2	
최대 동작 주파수 (MHz)	200	100
전력소모(mW)	35mW@200MHz, 3.3V	29mW@100MHz, 3.3V

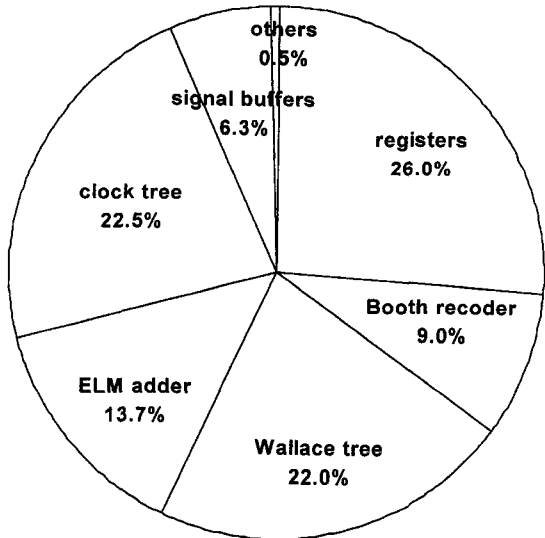


그림 14. 블럭별 전력소모 그래프
Fig. 14. Graph of power consumption on each block.

설계한 MAC의 성능을 비교하기 위해서는 비트 수, 공정변수 등 여러 가지 조건이 같은 대상을 선정해야 한다. 그러나 8 \times 8 + 20비트의 MAC을 0.6 μ m 공정에서 설계한 논문은 발견하지 못했으며, 0.8 μ m 공정에서 설계한 8 \times 8 + 19비트의 MAC[3]을 비교대상으로 선정하였다. 각각의 성능은 표 5에 정리하였다. 이를 분석해보면, 트랜지스터 수와 면적은 큰 차이가 없으나, 최대 동작주파수는 비교 논문이 3.5배 높게 나타났다. 그 원인은 비교논문의 구조는 파이프라인 단 수를 늘려서 지연시간을 줄이는 방법이 적용되었기 때문이다

전력소모는 공정의 최소 선폭(minimum feature size)과 전원전압 등이 일치하지 않아 직접적인 비교는 어

려우나 일반적인 동적 소모전력 계산법에 준하여 환산해 보기로 한다. 먼저 설계한 MAC의 전원전압을 3V로 낮추면 전력은 23.83mW로 낮아지고, 주파수를 3.5배 증가하면 약 83mW의 추정값을 갖는다. 최소 선폭이 고려되지 않은 상태에서의 비교는 설계한 MAC이 비교논문에 비해 약 51%의 전력절감 효과가 있으나 0.6 μ m와 0.8 μ m 공정의 최소 선폭 차이에 대한 정확한 환산방법이 알려져 있지 않으므로 더이상의 비교는 불가능하다.

표 5. MAC의 성능 비교
Table 5. Performance comparison of MACs.

구 분	설계한 MAC	비교논문 (참고문헌[3])
공정	0.6 μ m 1-poly 3-metal CMOS	0.8 μ m 1-poly 2-metal CMOS
비트 수	8 \times 8 + 20	8 \times 8 + 19
트랜지스터 수(개)	4,440	4,200
면적(mm ²)	1 \times 2	1 \times 2.1
전원전압(V)	3.3	3
잠복기	2	9
동작주파수(MHz)	100	350
전력소모(mW)	29@100MHz, 3.3V	170@350MHz, 3V

IV. 결 론

본 논문에서는 8 \times 8+20 비트 MAC을 알고리즘, 구조, 회로, 덧셈기, 레지스터 측면에서 저전력 기법을 이용하여 설계하였다. 전력소모를 줄이기 위해 알고리즘 측면에서 승/감산연산을 위한 기존의 방법에 비해 트랜지스터 수를 감소하는 방법을 제안하였다. 또한 MAC의 핵심 블록중의 하나인 Booth 셀렉터 회로를 NMOS pass-transistor 로직으로 구현하여 전력소모 및 동작속도를 향상시켰다. 최종단 덧셈기로는 병렬 덧셈기 중에서 저전력 측면에서 우수한 ELM 덧셈기를 사용하였으며, 레지스터는 단위셀 당 가장 적은 전력을 소모하는 동적 CMOS 단일 모서리 천이 D-플립플롭을 사용하였다. 저전력 기법의 적용에 의한 동작주파수의 저하를 보상하기 위해 2단 파이프라인 기법을 이용하였으며, 지연시간에 가장 큰 영향을 주는 열압축 트리 블록은 4:2 압축기를 이용한 Wallace 트리 구조를 적용하였다. 0.6 μ m, 3.3V, 단일폴리, 삼중금속 LG CMOS 공정변수

에 의한 모의실험 결과 곱셈연산의 최대 동작주파수는 200MHz, 전력소모는 35mW였으며, MAC 연산의 경우는 각각 100MHz, 29mW의 성능을 나타내었다. 설계한 MAC의 저전력 기법은 휴대용 시스템의 DSP 코어나 통신용 IC 설계에 응용이 가능할 것으로 생각된다.

참 고 문 헌

- [1] Akilesh Parameswar, H. Hura and T. Sakurai, "A Swing Restored Pass-Transistor Logic-Based Multiply and Accumulate Circuit for Multimedia Applications," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 6, pp. 804-809, Jun. 1996.
- [2] Dinesh Somasekhar and V. Visvanathan, "A 230-MHz Half-Bit Level Pipelined Multiplier Using True Single-Phase Clocking," *IEEE Trans. on VLSI Systems*, vol. 1, no. 4, pp. 415-422, Dec. 1993.
- [3] Shyh-Jeh Jou, C. Chen, E. Yang and C. Su, "A Pipelined MAC using a High-Speed, Low-Power Static and Dynamic Full Adder Design," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 1, pp. 114-118, Jan. 1997.
- [4] M. Alidina et al., "DSP16000: A High Performance, Low Power Dual MAC DSP Core for Communication Applications," *IEEE Custom Integrated Circuits Conference*, pp. 119-122, 1998.
- [5] Ram K. Krishnamurthy, H. Schmit and L. R. Carley, "A Low-Power 16-bit MAC using Series-Regulated Mixed Swing Techniques," *IEEE Custom Integrated Circuits Conference*, pp. 499-502, 1998.
- [6] Hiroaki Murakami et al. "A Multiplier-Accumulator Macro for a 45MIPS Embedded RISC Processor," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 1067-1071, Jul. 1996.
- [7] Xiaoping Huang, W. Liu and B. W. Y. Wei, "A High-Performance CMOS Redundant Binary Multiplication-and-Accumulation (MAC) Unit," *IEEE Trans. On Circuit and Systems*, vol. 41, no. 1, pp. 33-39, Jan. 1994.
- [8] Aamir A. Farooqui and Vojin G. Oklobdzija, "General Data-Path Organization of a MAC unit for VLSI Implementation of DSP Processors," *IEEE International Symposium on Circuits and Systems*, 1998.
- [9] Norio Ohkubo et al., "A 4.4ns CMOS 54x54-bit Multiplier Using Pass-Transistor Multiplexer," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 3, pp. 251-257, Mar. 1995.
- [10] Brian S. Checkaur and E. G. Friedman, "A Hybrid Radix-4/Radix-8 Low Power signed Multiplier Architecture," *IEEE Trans. on Circuits and Systems*, vol. 44, no. 8, pp. 656-659, Aug. 1997.
- [11] Issam S. Abu-Khater, Abdellatif Bellaouar and Mohamed I. Elmasry, "Circuit Techniques for CMOS Low-Power High-Performance Multiplier," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 10, pp. 1535-1546, Oct. 1996.
- [12] Hiroshi Makino et al., "An 8.8-ns 54 X 54-Bit Multiplier with High Speed Redundant Binary Architecture," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 6, pp. 773-783, Jun. 1996.
- [13] Jalil Fadavi-Ardekani, "MxN Booth Encoded Multiplier Generator Using Optimized Wallace Trees," *IEEE Trans. on VLSI Systems*, vol. 1, no. 2, pp. 120-125, Jun. 1993.
- [14] Junji Mori et al., "A 10-ns 54 X 54-bit Parallel Structured Full Array Multiplier with 0.5-um CMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 4, Apr. 1991.
- [15] Gensuko Goto et al., "A 4.1-ns Compact 54 x 54-bit Multiplier Utilizing Sign-Select Booth Encoders," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 11, pp. 1676-1682, Nov. 1997.
- [16] Vojin G. Oklobdzija and D. Villerger, "Improving Multiplier Design by Using

- Improved Column Compression Tree and Optimized Final Adder in CMOS Technology," *IEEE Trans. on VLSI Systems*, vol. 3, no. 2, pp. 292-301, Jun. 1995.
- [17] T. P. Kelliber, R. M. Owens, M. J. Irwin and T. T. Hwang, "ELM-A Fast Addition Algorithm Discovered by a Program," *IEEE Trans. on Computers*, vol. 41, no. 9, Sep. 1992.
- [18] Chetana Nagendra, M. J. Irwin and R. M. Owens, "Area-Time-Power Tradeoffs in Parallel Adders," *IEEE Trans. on Circuits and Systems*, vol. 43, no. 10, Oct. 1996.
- [19] *DSP/MSP Products Reference Manual*, Analog Devices, 1995.
- [20] Daniel D. Gajski, *Principles of Digital Design*, Prentice-Hall, pp. 176-177, 1997.
- [21] M. Morris Mano, *Computer System Architecture 3rd Ed.*, Prentice-Hall, pp. 102-105, 1993.
- [22] Neil H. E. Weste and Kamran Eshraghian, *Principles of CMOS VLSI Design: A Systems Perspective 2nd Ed.*, Addison Wesley, pp. 515-520, 1993.
- [23] Reto Zimmermann and Wolfgang Fichtner, "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 7, pp. 1079-1090, Jul. 1997.
- [24] David Moloney, J. O'Brien, E. O'Rourke and F. Brianti, "Low-Power 200-Msps, Area-Efficient, Five-Tap Programmable FIR Filter," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 7, pp. 1134-1138, Jul. 1998.
- [25] Anantha P. Chandrakasan and Robert W. Broderson, *Low Power Digital CMOS Design*, Kluwer Academic Publishers, pp. 249-253, 1995.
- [26] Gary K. Yeap, *Practical Low Power Digital VLSI Design*, Kluwer Academic Publishers, pp. 104-107, 1998.
- [27] Jan M. Rabaey and Massoud Pedram, *Low Power Design Methodologies*, Kluwer Academic Publishers, pp. 47-106, 1996.
- [28] Rafael P. Llopis and Manoj Sachdev, "Low Power, Testable Dual Edge Triggered Flip-Flops," *International Symposium on Low Power Electronics and Design*, 1996.
- [29] Gensuko Goto, T. Sato, M. Nakajima and T. Sukemura, "A 54 X 54-b Regularly Structured Tree Multiplier," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 9, pp. 1229-1236, Sep. 1992.
- [30] Abdellatif Bellaouar and Mohamed I. Elmasry, *Low-Power Digital VLSI Design: Circuits and Systems*, Kluwer Academic Publishers, pp. 442-450, 1995.
- [31] Marco Annaratone, *Digital CMOS Circuit Design*, Kluwer Academic Publishers, pp. 216-226, 1986.

저 자 소 개

沈 基 學(正會員)

1996년 2월 충북대학교 전자공학과 졸업(공학사). 2000년 2월 충북대학교 대학원 전자공학과 졸업(공학석사). 1996년 2월~현재 삼성전자 반도체총괄 재직중. 주관심 분야 : 컴퓨터 구조, 저전력 회로설계

吳 益 均(正會員)

1998년 2월 충북대학교 전자공학과 졸업(공학사). 2000년 2월 충북대학교 대학원 전자공학과 졸업(공학석사). 현대 반도체 입사예정. 주관심 분야 : 저전력 회로설계, VHDL 모델링

洪 相 玟(正會員)

1999년 2월 충북대학교 전자공학과 졸업(공학사). 현재 충북대학교 대학원 전자공학과 석사과정. 주관심 분야 : DSP 코어 설계

李 奇 榮(正會員) 第 37卷 SD編 第 1號 參照

현재 충북대학교 전기전자공학부 교수

柳 凡 善(正會員) 第 37卷 SD編 第 1號 參照

현재 충북대학교 전자공학과 대학원 박사과정

趙 泰 元(正會員) 第 37卷 SD編 第 1號 參照

현재 충북대학교 전기전자공학부 교수