

論文2000-37SD-4-5

박막트랜지스터의 채널 내에 형성된 금속 유도 측면 결정화의 경계가 누설전류에 미치는 영향

(Effect of Metal-Induced Lateral Crystallization Boundary Located in the TFT Channel Region on the Leakage Current)

金兌炅, 金奇範, 尹汝建, 金昶勳, 李炳一, 朱承基

(Tae-Kyung Kim, Gi-Bum Kim, Yeo-Geon Yoon, Chang-Hoon Kim, Byung-Il Lee, and Seung-Ki Joo)

요 약

금속 유도 측면 결정화 (Metal-Induced Lateral Crystallization; MILC)에 의해 저온다결정 실리콘 박막트랜지스터를 형성할 때 Ni박막을 게이트와 소오스/드레인간 경계로부터 거리를 달리하여 형성한 뒤 결정화 시킴으로써 소오스와 드레인으로부터 결정화가 진행되어 서로 만나는 경계 면을 채널 내부·외부에 인위적으로 위치시킬 수 있었고 이들의 전기적 특성비교를 통하여 MILC경계가 트랜지스터 특성에 미치는 영향을 고찰할 수 있었다. MILC 경계를 채널 내부로부터 제거시킴으로써 On Current, Subthreshold slope 특성을 향상시킬 수 있었고 누설전류 특성도 크게 향상시킬 수 있었다. 채널 내부에 MILC 경계가 존재할 경우 전기적 스트레스를 인가함에 따라 누설전류의 양이 감소하였고, 전체 감소량은 채널 폭이 넓을수록 증가하였고 채널길이에는 무관하였다.

Abstract

In the case of metal-induced lateral crystallization (MILC) for low temperature poly-Si TFT, offset length between Ni-thin film and the sides of gate could be modified to control the location of MILC boundary. Electrical characteristics were compared to analyze the effect of MILC boundary that was located either in or out of the channel region of the TFT.

By removing the MILC boundary from channel region, on current, subthreshold slope and leakage current properties could be improved. When MILC boundary was located in the channel region, leakage current was reduced with electrical stress biasing. The amount of reduction increased as the channel width increased, but it was independent of the channel length.

Keyword: metal-induced lateral crystallization, offset, leakage current, electrical stress

* 正會員, 서울大學校 材料工學部

(School of Materials Science and Engineering, Seoul National Univ.)

※ 본 연구는 서울대학교 공학 연구소를 통한 디스플레이 연구조합의 연구비 지원으로 수행되었습니다. 이에 감사드립니다.

接受日字:1999年11月10日, 수정완료일:2000年3月21日

I. 서 론

정보통신 산업의 급격한 발전으로 표시소자는 갈수록 얇아면서도 고속·고정밀 대화면화 되어가고 있다. 전자총을 이용한 기존의 표시소자로는 대화면화 하는데 있어서 많은 제약이 뒤따라 LCD^[1], PDP^[2], FED^[3] 등으로 대표되는 평판표시소자가 이미 휴대용 컴퓨터,

옥의 광고판, 벽걸이형 TV등에 많이 이용되고 있다. 특히 LCD는 가장 많이 적용되고 있는 표시소자이지만 대부분 비정질 실리콘 박막 트랜지스터 (amorphous Si Thin Film Transistor, a-Si TFT) 로 화면의 화소 소자를 조절하고 있어서 동작속도가 느리고 또한 외부에서 별도의 구동소자를 연결해 주는 방법을 사용하고 있어서 이들간의 연결이 추가적으로 필요한 단점이 있다. 따라서 현재 사용되고 있는 a-Si TFT를 결정질 실리콘(Poly-Si) TFT로 대체할 경우 TFT의 구동능력과 응답속도가 빨라 LCD 화면의 고속화·고 정밀화를 구현할 수 있음은 물론 한 기판 위에 구동소자까지 집적할 수 있으므로 경제성까지 동시에 개선시킬 수 있다. 그러나 경제성 있는 대면적 화면을 위해서 유리기판을 사용할 경우에는 공정온도가 500°C이하로 되어야 하는 제약이 있다.

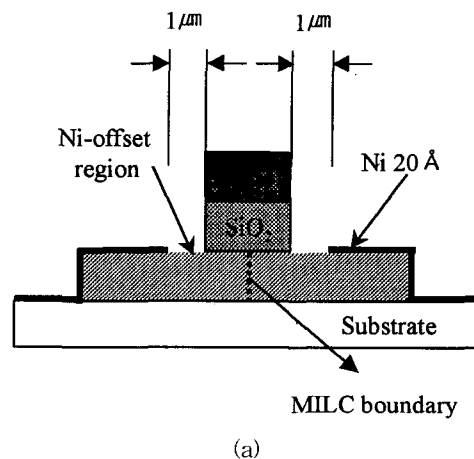
유리 기판 위에 결정질 실리콘을 형성하는 방법으로는 제조공정 및 제작된 소자의 특성 때문에 비정질 실리콘을 표면에 형성하고 이를 결정화시키는 방법이 가장 효과적인 것으로 알려져 있다.^[4] 그러나 비정질실리콘을 결정화시키기 위해서는 600°C에서 수십 시간 정도의 열처리 공정이 수반됨에 따라 저온에서 유리기판에 결정질 실리콘을 형성하는 방법의 개발이 가장 큰 해결과제로 남아있다. 현재는 엑시머 레이저 결정화 방법이 활발히 연구되고 있지만 고가의 장비, 소자 특성의 불 균일성 등 해결해야 될 문제점이 남아있는 상태이다. 최근 비정질 실리콘 표면에 얇은 Ni 박막을 부분적으로 형성시키고 450°C~500°C에서 열처리하면 Ni 박막을 형성시킨 부분은 물론, 측면으로도 결정화가 진행되는 현상을 발견하였고, 원인은 Ni과 Si이 반응한 NiSi₂가 촉매로서 결정화 온도를 낮춘다고 보고되었다. 공정이 간단하고 대면적에 적합하다는 장점으로 많은 연구 그룹에서 활발히 연구를 진행하고 있으며^[5,6,7] 이를 소자에 적용하여 120cm²/v·s 이상의 mobility를 얻는 결과가 보고되었다. 또한 Ni이 입혀진 경계를 source, drain 내부에 위치시키는 Ni offset 방법으로 높은 드레인 전압에서 누설전류를 억제시키는 TFT 구조^[8]가 보고되었다. 이러한 금속유도 측면 결정화 (MILC)에 의해 제작된 TFT는 역 방향의 전기적 스트레스를 인가하여야만 높은 작동 전압에서도 낮은 누설 전류 특성을 얻을 수 있다는 단점이 있다.

본 연구 그룹에서는 MILC 방법으로 TFT를 제작할 때 소오스와 드레인 부분으로부터 결정화가 진행되어

만난 경계 부분을 채널 밖에 형성시킴으로써 전기적 스트레스 없이도 누설전류를 감소시키는 방법에 대한 보고를 한 바 있다.^[9] 본 연구에서는 소오스, 드레인 부분의 니켈 offset 길이를 조절하여 양쪽에서부터 결정화가 진행되어온 경계 부분을 채널 밖과 내부에 형성시킴으로써 경계부분이 누설전류에 미치는 영향을 고찰하고자 하였다. 이렇게 형성된 두 가지 형태의 TFT에 대한 동작특성, 전기적 스트레스 효과 시간에 따른 누설전류변화 그리고 TFT의 크기에 따른 누설 전류 변화를 고찰하였다.

II. 실험 방법

코닝 유리기판(1737) 위에 3000Å의 SiO₂를 형성한 뒤 플라즈마 기상 증착법 (Plasma Enhanced Chemical Vapor Deposition; PECVD)으로 1000Å의 비정질 실리콘을 형성하였다. 이때 기판 온도는 250°C이었으며 SiH₄ 가스를 사용하였다. 사진 식각 방법으로 비정질 실리콘 박막을 Island pattern으로 형성한 뒤 게이트 산화 막으로 1000Å의 전자기공명 플라즈마 산화막^[10]을 형성하였고 게이트로 몰리브덴(Mo)을 스퍼터링으로 형성하였으며 게이트 Mo를 사진 식각한 후 게이트 산화 막을 에칭 하여 소오스, 드레인부위의 산화막을 제거하였다^[8]. 리프트 오프(lift-off)방법으로 니켈 박막을 소오스 드레인 부분에 형성하였는데 이때 게이트 주변에 형성시킨 사진 감광막의 폭을 조절하여 그림 1(a),(b)에 나타난 바와 같이 대칭적, 비대칭적 니켈 오프셋 구조를 이루도록 하였다.



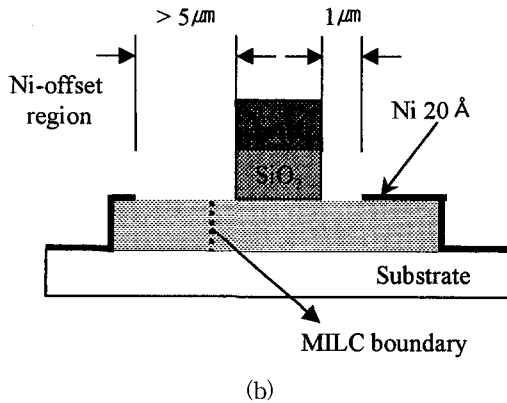


그림 1. 대칭 Ni-offset TFT와 비대칭 Ni-offset TFT 시편의 개략적인 단면도
 Fig. 1. Schematic diagrams of symmetric Ni-offset TFT and asymmetric Ni-offset TFT.

500°C의 온도와 H₂ 분위기에서 15 시간동안 열처리 하여 소오스, 드레인 부분은 물론 채널영역을 모두 결정화 시켰다. 추가적인 수소화 처리는 하지 않았으며 전기적 측정은 personal computer로 조절 및 data를 취합하는 HP4140B pA meter/DC voltage source를 사용하였다.

III. 결과 및 검토

그림 2에 두 가지 종류의 TFT 구조 즉, 그림1(a),(b) 구조에 대한 동작특성을 나타내었다. 대칭 Ni offset 구조는 그림 1 (a)와 같이 소오스/드레인 부분의 offset 길이가 동일한 것을 나타내며 이때는 양쪽에서 성장하여 만난 MILC경계가 채널의 중심부에 위치한 것을 말한다. 비대칭 Ni offset 구조는 그림 1(b)와 같이 소오스, 드레인 부분의 offset 길이가 다르도록 하여 MILC 경계가 채널 외부에 형성되도록 한 것이다. 비대칭 Ni offset 구조의 경우 대칭 Ni offset구조의 특성과 비교하여 On-current, slope등이 더 우수한 것으로 나타났다. 문턱전압 (V_{th}), On-current와 Slope특성은 채널부분의 결정화도와 이 부분 내에 존재하는 결함, 불순물 등에 의해 결정된다^[11]. 대칭 Ni offset 구조나 비대칭 Ni offset 구조를 비교할 때 같은 방법으로 결정화가 진행되었으므로 channel부분의 결정화도나 결정성은 완전히 동일하다. 따라서 On-current 와 slope의 특성차이는 오로지 channel 부분의 MILC 경계 유·무에 의한 차이라고 할 수 있다.

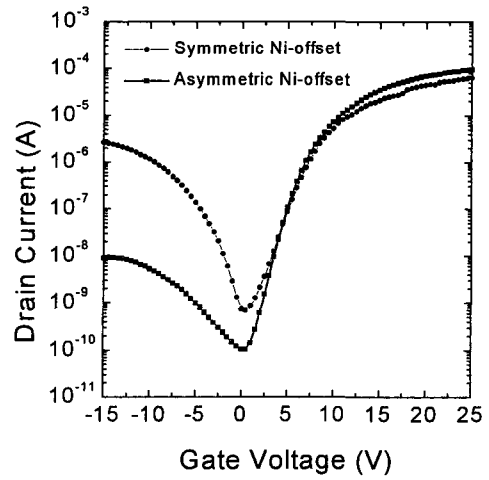


그림 2. 대칭 Ni-offset TFT 와 비대칭 Ni-offset TFT의 전류-전압 특성 곡선(V_D=5V)
 Fig. 2. I-V characteristics of symmetric Ni-offset TFT and asymmetric Ni-offset TFT. (V_D=5V).

게이트 전압이 음수일 경우 즉, 누설전류 특성에서는 현격한 차이를 보이고 있다.

비대칭 Ni offset 구조일 경우 최소 누설전류는 10⁻¹⁰A정도이며 게이트 전압이 -15V 일 때에도 10⁻⁸A 정도의 누설전류특성을 보이고 있으나 대칭 Ni offset 구조의 경우는 최소 누설전류가 10⁻⁹A 정도이고 게이트 전압이 음수 쪽으로 커질수록 누설전류가 급격히 증가하면서 -15V일 때 2×10⁻⁶A정도로 비대칭 Ni offset 구조에 비하여 무려 2 order 이상 큰 누설전류를 보이고 있다.

두 가지 구조에 대한 전기적 특성을 표 1에 나타내었다.

표 1. 비대칭 Ni-offset 과 대칭 Ni-offset TFT의 Device parameters.

Parameters	Asymmetric Ni-offset	Symmetric Ni-offset
Field effect mobility (cm ² /V · s)	82	60
Subthreshold slope(V/dec)	0.93	0.97
Threshold voltage (V)	4.5	5.2
Maximum on/off ratio	2×10 ⁹	1.3×10 ⁹
Minimum leakage current at V _D =5V (A)	1.0×10 ⁻¹⁰	6.9×10 ⁻¹⁰
Leakage current at V _G =-15V and V _D =5V (A)	8.8×10 ⁻⁹	2.6×10 ⁻⁶

큰 누설전류를 보이는 대칭 Ni offset 구조의 TFT에 게이트전압 -10V, 드레인 전압 10V 이상의 조건으로 전기적 스트레스를 인가한 후 특성을 측정하면 전기적 스트레스를 인가한 시간에 따라 점점 비대칭형 Ni offset 구조의 특성에 접근하며 이 결과는 인태형^[9]의 연구결과와 유사한 결과이다.

대칭 Ni offset TFT 구조에서 전기적 스트레스를 인가할 때 흐르는 전류의 양은 초기에 많다가 stress 시간에 따라 점점 감소한 뒤 포화되는 양상을 보이며 이를 그림 3에 나타내었다. 제작된 채널 폭 15 μm, 길이 8 μm 의 TFT에 게이트 전압 -10V, 드레인 전압 10V 를 인가해 주고 경과 시간에 따라 드레인 전류를 측정 하면 비대칭 Ni offset 구조의 TFT는 초기부터 일정한 누설전류만이 흐르며 이 양은 변하지 않고 계속 유지 하지만 대칭 Ni offset 구조는 초기에 약 1.0×10⁻⁶A정도의 누설전류가 흐르다가 시간에 따라 점차 감소하여 약 1200초 경과 후에는 비대칭 Ni offset 구조와 같은 정도의 누설전류만이 흐르게 된다. 두 구조간의 차이는 오로지 채널 내부의 MILC경계 유/무만이 존재하므로 이 두 특성의 차이는 channel 내부에 존재하는 MILC 경계에 기인하는 것이다. 이러한 효과는 게이트전압이 음수 쪽으로 커질수록, 그리고 드레인 전압이 양수 쪽으로 커질수록 커서 누설전류가 감소하는 시간이 빠르다. 이는 채널부위로 이동하는 전자나 정공의 에너지가 높을수록 MILC 계면 효과를 빨리 없애 준다는 것을 의미한다.

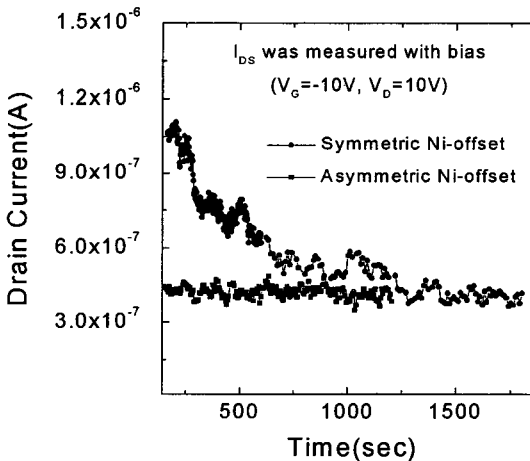


그림 3. 전기적 스트레스 인가 시에 시간에 따라 변화하는 누설전류의 변화
Fig. 3. Variation of the leakage current with electrical stress biasing.

그림 4에 대칭 Ni offset 구조 TFT의 채널 길이를 10μm로 고정시키고 채널 폭을 변화시켰을 때 시간에 따른 누설전류를 나타내었다. 전기적 스트레스 인가 조건은 그림 3에서와 같이 게이트 전압 -10V, 드레인 전압은 10V이다. 채널 폭이 증가하면서 포화되는 전류의 값이 증가하는데 이는 전류가 통과할 수 있는 채널의 단면적이 증가하기 때문이다. 역시 모든 경우에 있어서 초기에 많은 전류가 흐르다가 시간이 경과함에 따라 전류가 포화되는 양상을 보이고 있다. 이렇게 측정된 시간에 따른 전류량을 시간으로 적분하고 여기에서 더 이상 줄어들지 않는 전류량을 시간으로 적분한 값의 차이를 그림 5와 6에 나타내었다. 여기에 사용한 식은 식 1에 나타내었다.

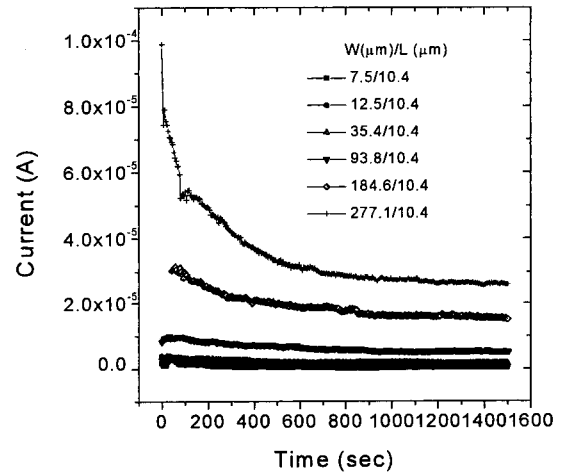


그림 4. 채널폭을 변화 하며 측정된 스트레스 인가 시간에 따른 누설 전류의 변화(대칭 Ni-offset TFT)
Fig. 4. Variation of the leakage current with electrical stress biasing time measured in the different channel width(symmetric Ni-offset TFT).

$$Q = \int_0^{t_{sat}} I dt$$

$$Q_{sat} = I_{sat} \times t_{sat}$$

$$\Delta Q = Q - Q_{sat} \dots\dots\dots(1)$$

여기에서 ΔQ는 전기적 스트레스에 의해 비활성화되어지는 트랩의 수와 관계 되어 질 것으로 생각되고 이 양의 채널 폭에 따른 변화를 그림 5에, 채널의 길이에 따른 결과를 그림 6에 나타내었다.

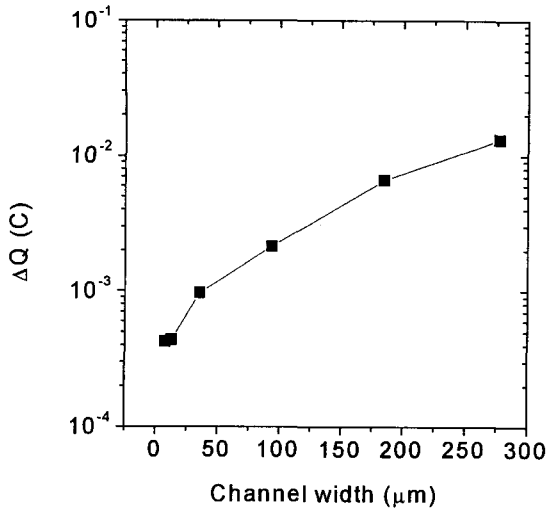


그림 5. 채널 폭 변화에 따른 ΔQ의 변화
Fig. 5. Variation of ΔQ according to the channel width.

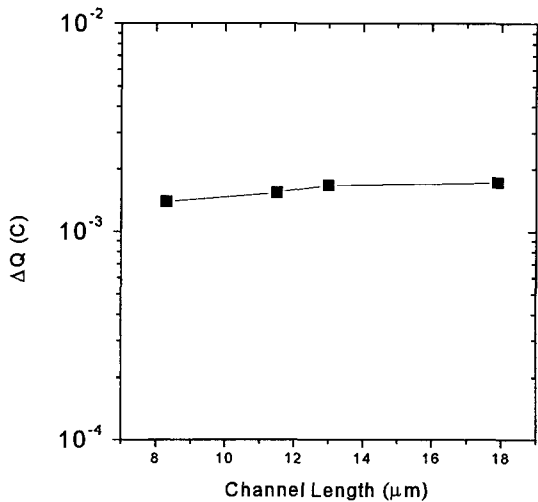


그림 6. 채널 길이 변화에 따른 ΔQ의 변화
Fig. 6. Variation of ΔQ according to the channel length.

그림 5에 보는 바와 같이 채널 폭이 증가함에 따라 계산된 전하량 (ΔQ)이 증가한다. 이는 채널 내부에 존재하는 MILC의 경계 면적이 채널 폭이 증가하면서 직 선적으로 증가함에 기인하는 것으로 보인다. 채널 폭이 일정하고 채널 길이가 증가함에 따라서는 그림 6에 보이는 바와 같이 일정한 값을 보이고 있다. 채널 길이가 증가하여도 채널 내에 존재하는 MILC 경계면적은 변하지 않으므로 일정한 값으로 유지됨을 설명 할 수 있

다. 따라서 그림 5와 6의 결과로부터 전기적 스트레스 인가 시에 시간에 따라 흐르는 전류가 감소하는 것은 채널 내에 형성된 MILC 경계의 상태가 전기적 스트레스에 의해 변하기 때문임을 알 수 있었다. 또한, 이러한 전기적 스트레스에 의해 MILC경계 상태가 완전히 변화한 뒤에는 전기적 특성상에서 MILC경계가 없어진 것처럼 된다는 것을 알 수 있다.

MILC 경계는 결정화된 실리콘의 grain boundary의 밀집된 상태이며 또한 NiSi₂가 집중되어 있는 부분이다. grain boundary는 dangling bond가 밀집되어 실리콘의 밴드갭 내부에 많은 트랩 사이트를 제공해 준다. 또한 NiSi₂라는 전도성 물질이 채널에 수직방향으로 삽입되어 있는 형태이므로 NiSi₂층 양쪽에 존재하는 실리콘 grain과의 계면이 존재하고 이곳 역시 실리콘의 밴드갭에 트랩 사이트를 제공해 주는 역할을 한다. 이 트랩의 위치는 아직 밝혀지지 않았지만 이들 트랩이 채널을 통해 통과되는 전자나 홀에 의해 passivation 되는 것으로 판단된다. passivation 된 경계는 더 이상 누설전류 원인으로서의 역할을 하지 못하여 채널 내의 MILC경계를 없앤 구조와 같은 특성을 보이는 것으로 나타났다.

IV. 결 론

MILC에 의해 제작된 ploy-Si TFT의 누설전류 특성을 관찰하고 전기적 스트레스에 따른 누설전류의 변화를 분석하였다. 대칭 Ni offset구조의 TFT에서는 On/Off 전류비 1.3×10⁶, Subthresholdslope 0.97 V/dec, 최소누설전류 6.9×10⁻¹⁰ A의 특성을 보였다. 이를 게이트전압 -10V, 드레인전압 10V의 역 방향 전압을 인가 하면서 전류 측정된 결과 시간에 따라 누설전류의 양이 감소하여 포화되었다. 전체 누설 전류량은 채널 폭이 증가함에 따라 증가하였고 채널 길이의 변화에 무관한 것으로부터 누설전류는 채널내부에 형성된 MILC 경계에 기인한 것임을 알 수 있었다. 전기적 스트레스 후 누설전류 특성은 비대칭 Ni offset구조의 누설전류 특성과 동일하게 되었다.

비대칭 Ni offset 구조에서는 On/Off 전류비 2×10⁶, Subthresholdslope 0.93 V/dec, 최소누설전류 1.0×10⁻¹⁰A의 특성을 보여 대칭 Ni offset 구조 보다 우수한 특성을 보였다. 이 구조에서 전기적 스트레스 없이

도 채널 폭 15 μm , 길이 8 μm 인 소자에서 게이트전압 -15V, 드레인전압 5V에서도 10^{-8}A 의 낮은 누설전류 특성을 보였다.

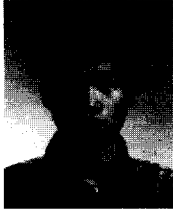
참 고 문 헌

- [1] 장진, "박막트랜지스터 액정 디스플레이", 전자공학회지, Vol. 26, No. 2, pp.156-173, 1999
- [2] C. Punset, J.P. Boeuf, and L. C. Pitchford, "Two-dimensional simulation of an alternating current matrix plasma display cell", J. Appl. Phys., Vol. 83, No. 4, pp. 1884-1897, 1998.
- [3] R. Meyer, "6 Diagonal Microtips Fluorescent Display for T.V. Application", Eurodisplay 90 digest, p. 374, 1990.
- [4] R. S. Sposili and J. S. Im, "Sequential lateral solidification of thin film silicon films on SiO_2 ", Appl. Phys. Lett. vol 69, 2864, 1996
- [5] Seok-Woon Lee, and Seung-Ki Joo, "Low temperature Poly-Si Thin-Film Transistor fabrication by metal-induced lateral Crystallization.", IEEE Electron Device Lett., Vol 17, No. 4, pp.160-162, 1996.
- [6] Gururaj A. Bhat, Zhonghe Jin, Hoi S. Kwok, and Man Wong, "Effects of longitudinal Grain Boundaries on the Performance of MILC-TFT's", IEEE Electron Device Lett., Vol 20, No. 2, pp.97-99, 1996.
- [7] Hansuk Kim, J. Greg Couillard, and Dieter G. Ast, "Kinetics of silicide-induced crystallization of polycrystalline thin-film transistors fabricated from amorphous chemical-vapor deposition silicon", Appl. Phys. Lett., Vol 72, No. 7, pp. 803-805, 1998.
- [8] Tae-Hyung Ihn, Tae-Kyung Kim, Byung-Il Lee and Seung-Ki Joo, A Study on the leakage current of poly-Si TFTs fabricated by metal-induced lateral crystallization, Microelectronics Reliability, vol. 39, pp 53-58, 1999.
- [9] Tae-Hyung Ihn, Byung-Il Lee, Seung-Ki Joo and Yoo-Chan Jeon, Electrical stress effect on poly-Si thin film transistors fabricated by metal induced lateral crystallization, Jpn. J. Appl. Phys. Vol. 36, pp 5029-5032, 1997.
- [10] Tae-Hyung Ihn and Seung-Ki Joo, "ECR plasma oxidation of poly-Si thin films for the gate dielectrics in poly-Si TFTs", 2nd Pacific Rim Inter. Conf. on Advanced Materials and Processing, pp. 1333-1336, 1995.
- [11] Ted Kamins "Polycrystalline silicon for integrated circuit application", Kluwer Academic Publishers, 1988.

저 자 소 개

金兌兪(正會員) 第35卷 D編 第5號 參照
 김태경- 1971년 3월 31일생. 1995년 서울대학교 금속공학과 졸업(공학사). 1997년 서울대학교 금속공학과(전자재료) 공학석사 학위 취득. 2000년 서울대학교 재료공학부(전자재료) 공학박사 학위 취득. 주관심 분야는 poly-Si TFT, 반도체 제조 공정, 전자박막재료 등임

金奇範(正會員) 第36卷 D編 第1號 參照
 1975년 2월 8일생. 1997년 서울대학교 금속공학과 졸업(공학사). 1999년 서울대학교 재료공학부(전자재료) 석사학위 취득, 현재 서울대학교 재료공학부 박사과정 재학중. 주관심 분야는 poly-Si TFT 및 구동소자, 반도체 제조 공정 등임



尹汝建(正會員)

1975년 4월 10일생. 1998년 서울대학교 금속공학과 졸업(공학사). 2000년 서울대학교 재료공학부(전자재료) 석사학위 취득, 현재 서울대학교 재료공학부 박사과정 재학중. 주관심 분야는 poly-Si TFT 및 반도체 제조공정, 박막재료등임

분야는 poly-Si TFT 및 반도체 제조공정, 박막재료등임

金昶勳(正會員)

1973년 10월 5일생. 1998년 서울대학교 금속공학과 졸업(공학사). 2000년 서울대학교 재료공학부(전자재료) 석사학위 취득, 현재 삼성 SDI Color filter 사업팀 근무중. 주관심 분야는 a-Si TFT, poly-Si TFT. 박막재료임

李炳一(正會員) 第 33卷 A編 第 9號 參照

朱承基(正會員) 第 31卷 A編 第 11號 參照