

論文2000-37SD-3-2

열처리 효과가 질소이온주입후에 성장시킨 산화막의 Q_{BD} 특성에 미치는 영향

(Annealing Effects on Q_{BD} of Ultra-Thin Gate Oxide Grown on Nitrogen Implanted Silicon)

南仁浩*, 洪性仁*, 沈載星*, 朴炳國*, 李鍾德*

(In-Ho Nam, Sung-In Hong, Jae-Sung Shim, Byung-Gook Park, and Jong Duk Lee)

요 약

실리콘 기판에 질소를 이온주입한 다음에 게이트 산화막을 2nm, 3nm, 4nm 두께로 성장시켰다. 질소이온주입 에너지는 25keV로 고정하였고 이온주입량은 $5.0 \times 10^{13}/\text{cm}^2$ 과 $1.0 \times 10^{14}/\text{cm}^2$ 으로 나누어서 진행하였다. 질소이온주입량과 산화막의 성장률은 밀접한 관계가 있으며 질소이온주입량이 많아지면 산화막의 성장시간이 늘어난다. 같은 두께를 기르는데 필요한 산화시간을 질소이온주입을 하지 않은 경우와 비교하면 질소이온주입량이 $5.0 \times 10^{13}/\text{cm}^2$ 일 때는 약 20%, $1.0 \times 10^{14}/\text{cm}^2$ 일 때는 약 50% 정도 산화시간이 증가한다. 질소이온주입량이 증가함에 따라 Q_{BD} 값은 감소하는데 이의 개선을 위해 질소이온주입후에 N_2 분위기에서 850°C 60분간 열처리를 한 다음 산화막을 성장시키면 Q_{BD} 값이 증가하여 개선됨을 보인다. 이것은 질소이온주입으로 인한 손상이 게이트 산화막의 신뢰성에 나쁜 영향을 미치지만 이온주입직후에 적절한 열처리 공정을 거치면 이러한 손상으로 인한 영향을 없앨 수 있다는 것을 의미한다.

Abstract

Ultra-thin gate oxide was grown on nitrogen implanted silicon substrates. For nitrogen implantation, the energy was fixed at 25keV, but the dose was split into $5.0 \times 10^{13}/\text{cm}^2$ and $1.0 \times 10^{14}/\text{cm}^2$. The grown gate oxide thickness were 2nm, 3nm and 4nm. The oxidation time to grow 3nm was increased by 20% and 50% for the implanted wafers of $5.0 \times 10^{13}/\text{cm}^2$ and $1.0 \times 10^{14}/\text{cm}^2$ doses, respectively, when it was compared with control wafers which were not implanted by nitrogen. The value of charge-to-breakdown (Q_{BD}) is decreased with increasing nitrogen doses. If an annealing process (N_2 , 850°C, 60min.) is performed after nitrogen implantation, Q_{BD} is increased. It is indicated that nitrogen implantation damage affect gate oxide reliability and the damage can be removed by post-implantation annealing process.

Keyword: gate oxide, nitrogen implantation, charge-to-breakdown, implantation damage

* 正會員, 서울大學校 電氣工學部

(School of Electrical Engineering, Seoul National Univ.)

※ 본 연구는 삼성전자의 연구비 지원을 받아(Contract No. ISRC 98-X-4805) 수행되었습니다.

接受日: 1999年6月17日, 수정완료일: 2000年2月15日

I. 서 론

소자의 크기가 작아짐에 따라 게이트산화막의 두께가 얇아져야 할 필요성이 커지고 있다. 이때 게이트산화막의 두께가 얇아지더라도 산화막 자체의 특성저하는 최소화 시켜야 하며 이러한 관점에서 산화막에 질

소를 함유시키는 시도가 이루어지고 있다.^[1,2] 이 방법은 개선된 신뢰성을 가지는 얇은 게이트유전막을 형성하기 위해 최근에 널리 쓰이고 있다. 게이트산화막에 질소가 함유되었을 때 나타나는 몇 가지 장점은 붕소 투과현상의 감소와 hot electron에 대한 내성이 커지는 것 등이다. 붕소 투과가 일어나면 의도하지 않은 양의 붕소가 실리콘 기판의 채널영역까지 들어가서 트랜지스터의 특성, 특히 문턱전압을 불안정하게 만들게 되므로 안정된 특성의 트랜지스터를 제작하는데 큰 걸림돌이 된다. 그런데 질소가 함유된 산화막이 불순물의 투과를 막는데 효과적이라는 것이^[3] 알려지면서 질소를 게이트 전극이나 게이트 산화막에 함유시키는 연구가 활발히 이루어지게 되었다.^[4~7] 또한 질소가 함유되면 붕소 투과를 막아주는 것 외에도 소자 동작 시에 발생하는 hot electron에 의한 트랜지스터의 특성 저하도 막아준다.^[8,9] 그 이유는 질소가 실리콘 기판과 산화막의 계면에 있는 Si-O 결합이나 dangling silicon bond를 줄여주고 보다 안정된 결합인 Si-N 결합을 만들기 때문이다.^[10,11] 그러나 질소의 양이 지나치게 많으면 질소로 인한 계면 상태가 생성되어 트랜지스터의 전류구동능력을 도리어 감소시키기 때문에 질소의 함유량은 주의 깊게 결정되어야 한다.

질소를 함유 시키는 방법으로는 초기 산화 후에 NH_3 ^[3]나 N_2O ^[1,2,4,5]를 이용하거나 NO ^[8]를 이용하는 방법등이 있다. 질소를 함유한 산화막을 형성하는 공정은 노판에서 형성하는 것이 통상적인 방법이지만 질소 함유량 조절이나 얇은 두께의 조절이 용이하지 않다. 이러한 문제는 질소이온주입 방법을 사용하면 개선되는데 질소이온주입을 할 경우에는 이온주입공정의 속성상 산화막에 함유시키기 원하는 질소의 양을 쉽게 조절할 수 있고 따라서 원하는 만큼 산화율을 떨어뜨려 얇은 산화막의 균일하고 재현성 있는 성장이 가능하기 때문이다.^[12] 또한 이온주입방법은 사진공정을 이용하여 특정부위만 이온주입 할 수 있으므로 동일 소자에서 다른 두께의 산화막을 쉽게 형성 할 수 있다는 장점이 있다.

그러나 이온주입방법은 몇 가지 장점에도 불구하고 일반화 되어 있지 않다. 그 이유는 질소이온주입이 과다할 경우 실리콘의 결정결함 때문에 그 위에 성장시킨 게이트산화막의 신뢰성이 악화 되기 때문이다.^[13] 초창기의 연구결과에 따르면 질소이온주입방법을 이용하여 산화막을 성장 시킬 때 산화막성장억제 효과를 얻

으려면 이온주입량을 $1.0 \times 10^{15}/\text{cm}^2$ 수준으로 진행해야 했다^[14]. 이 정도의 이온주입량이면 실리콘 기판에 dislocation loop이 생성되므로 게이트산화막으로는 사용할 수가 없다^[15]. dislocation loop이 생기지 않게 하려면 질소이온주입량이 $5.0 \times 10^{14}/\text{cm}^2$ 이하가 되어야 하며^[15] 그 이상의 질소이온주입을 적용하면 산화막의 신뢰성이 저하된다.^[13] 즉 이온주입을 많이 하게 되면 그로 인한 손상 때문에 질소의 산화막 신뢰성 개선효과는 없어지게 된다는 것이다. 따라서 질소이온주입 방법은 이온주입량으로 산화막의 성장률을 조절할 수 있는 장점에도 불구하고 실리콘의 손상에 의한 신뢰성 저하를 해결해야 하는 문제가 있다. 그런데 산화막 성장 억제를 위해 이렇게 많은 질소이온주입량이 필요했던 이유는 게이트산화막의 성장온도가 $900 \sim 950^\circ\text{C}$ 였기 때문이다. 그러나 $2 \sim 3\text{nm}$ 수준의 얇은 게이트산화막의 성장은 800°C 수준에서 이루어 지고 있으며 이 정도의 산화막 성장온도에서는 $5.0 \times 10^{14}/\text{cm}^2$ 이하의 질소이온주입량으로도 충분히 산화막 성장억제효과가 있다^[12]는 것이 최근의 연구결과로 알려져 있다. 그러므로 질소이온주입량이 $5.0 \times 10^{14}/\text{cm}^2$ 이하의 값일 때 게이트산화막의 신뢰성에 미치는 영향이 어떠한지를 알 필요가 있다. 아직까지 $5.0 \times 10^{14}/\text{cm}^2$ 이하의 낮은 질소이온주입량을 적용하여 성장시킨 게이트산화막의 신뢰성에 대해서는 연구되어 있지 않으며 그 이유는 전술한 바와 같이 산화막의 성장온도를 900°C 수준으로 하면 $5.0 \times 10^{14}/\text{cm}^2$ 이하의 이온주입량에서는 산화막성장률의 감소 효과가 없었기 때문이다. 본 논문에서는 질소이온주입량을 dislocation loop 이 생성되지 않는 범위인 $1.0 \times 10^{14}/\text{cm}^2$ 과 $5.0 \times 10^{13}/\text{cm}^2$ 조건으로 하였으며 이 범위의 질소이온주입에서 Q_{BD} 의 특성이 어떻게 변화하는가를 알아 보았다. 한편 $1.0 \times 10^{14}/\text{cm}^2$ 이하의 낮은 이온주입량에서도 실리콘기판에는 어느 정도의 결함이 있을 것이므로 이 결함이 신뢰성에 미치는 영향을 확인하기 위하여 질소 이온주입 직후에 N_2 분위기에서 850°C 60분간 열처리공정을 적용한 다음 Q_{BD} 의 변화를 분석하였다.

II. 실험

비저항 $10 \sim 20 \Omega\text{-cm}$ 이고 결정방향 (100)인 p-형 실리콘 기판에서 실험을 진행 하였다. 실리콘 기판에 25nm의 산화막을 성장시키고 질소이온주입을 25keV에서 행하였다. 이온주입량은 $5.0 \times 10^{13}/\text{cm}^2$ 과 $1.0 \times 10^{14}/\text{cm}^2$

으로 나누어 주입하였다. N⁺ 질소이온주입후의 분포는 SIMS분석에 의하면 25keV에서 산화막을 포함한 Rp값이 대략 70nm정도가 된다.^[12]

질소이온주입을 통하여 질소가 실리콘기판에 함유될 때 산화막의 성장률이 어떻게 변화하는가를 먼저 확인하기 위하여 이온주입하지 않은 웨이퍼와 이온 주입량이 $5.0 \times 10^{13}/\text{cm}^2$, $1.0 \times 10^{14}/\text{cm}^2$ 인 웨이퍼를 동시에 열 산화를 수행했다. 산화막 성장시간은 습식산화와 전식 산화를 6분, 16분, 30분, 45분으로 하였다.

이렇게 행한 산화막 성장률 실험의 결과를 토대로 하여 질소이온주입을 적용하고 게이트 산화막 두께 3nm인 nMOS 커패시터를 제작하였다. 소자간의 분리를 위해 LOCOS공정을 이용하여 active 영역을 정의한 다음 25nm의 buffer 산화막을 기르고 그 상태에서 질소 이온주입을 하였다. 이온주입 에너지는 25keV로 행해졌으며 이온주입량은 $5.0 \times 10^{13}/\text{cm}^2$ 과 $1.0 \times 10^{14}/\text{cm}^2$ 으로 나누어서 진행하였다. 이 때 이온주입한 결과와 비교하기 위하여 이온주입을 하지 않은 경우도 함께 진행 하였다. 또한 질소 이온 주입으로 인한 결함 생성과 그것의 제거 효과를 분석 하기 위해 이온주입 후에 열과정을 준 것과 주지 않은 것도 함께 포함 시켰다. 이온주입한 웨이퍼중의 일부는 850°C N₂분위기에서 60분간 열처리를 하였다. buffer 산화막을 제거한 후에 상압 열산화법으로 두께 2nm, 3nm, 4nm의 게이트 산화막을 성장시켰다. 질소이온주입을 하면 산화막 성장속도가 이온주입을 하지 않은 경우보다 느려지기 때문에 이온주입 조건에 따라 산화시간을 적절히 조절하여 게이트 산화막을 같은 두께로 성장시켰다.

게이트전극은 다결정실리콘을 이용하였고 LPCVD방법으로 150nm를 증착하였다. 전극으로 사용하기 위해 POCl₃도핑방법으로 면저항을 낮추었다. 이후 contact을 형성하고 금속공정후에 33% H₂/N₂ 분위기에서 450°C 30분간 alloy 하였다. 성장시킨 산화막의 두께측정은 엘립소미터 L116B-HP85B를 이용하였고, 전기적 특성분석은 HP4155 semiconductor parameter analyzer를 이용하였다.

III. 결과 및 토의

얇은 산화막에서는 게이트 전극의 전압에 따라 증가하는 누설전류를 무시할 수 없다. 특히 터널 전류는 게

이트 전압에 지수함수적으로 증가하게 되므로 산화막이 얇아짐에 따라 게이트 전극의 전압에 대한 영향을 많이 받게 된다. 산화막두께 2nm, 3nm, 4nm의 경우에 따라서 게이트 전압에 따른 게이트 누설 전류의 특성을 측정하였다. 그림 1. 에 나타난 바와 같이 질소이온주입량이 $5.0 \times 10^{13}/\text{cm}^2 \sim 1.0 \times 10^{14}/\text{cm}^2$ 인 범위에서 게이트 전극의 전압에 따라 증가하는 누설전류의 특성은 질소이온주입량과 관계가 없으며 도리어 산화막두께의 경향에 따라간다. 즉 $5.0 \times 10^{13}/\text{cm}^2 \sim 1.0 \times 10^{14}/\text{cm}^2$ 의 이온주입량은 산화막의 누설전류특성에 큰 영향을 미치지 않는다. 측정에 사용된 계기에서 실제로 측정되는 최소 노이즈 전류의 범위가 10^{-11}A 수준이며 MOS capacitor의 면적이 $460 \times 100 \mu\text{m}^2$ 이므로 단위면적(cm^2)으로 환산하면 $V_G=1 \sim 4\text{V}$ 범위의 최소 전류값이 $10^{-7}\text{A}/\text{cm}^2$ 의 값을 나타내게 되었다.

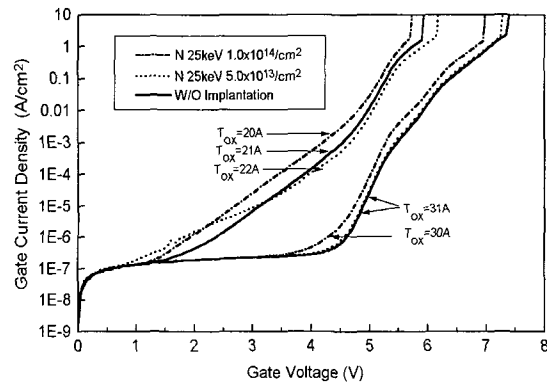


그림 1. 게이트 전압에 따른 게이트 산화막의 누설전류의 변화

Fig. 1. The leakage current of gate oxide ($T_{\text{ox}} = 20 \text{ \AA} \sim 31 \text{ \AA}$) versus gate voltage (nitrogen implant doses of $5.0 \times 10^{13}/\text{cm}^2$, $1.0 \times 10^{14}/\text{cm}^2$ and without implantation)

질소를 25keV로 이온주입하면 최대치가 약 70nm정도의 깊이에 위치하게 된다. (그림6) 산화막을 성장시킨 다음의 질소의 분포를 자세히 알기 위해 게이트 산화막을 800°C 30분 성장한 다음에 TOFSIMS분석을 하였다. 그림 3에 나타난 것처럼 질소는 산화막과 실리콘 기판의 계면으로 모이게 된다. 그림 2에서 질소이온주입이 $1.0 \times 10^{14}/\text{cm}^2$ 의 경우는 3.2nm이고 $5.0 \times 10^{13}/\text{cm}^2$ 일 때는 3.6nm로 산화막의 두께가 서로 다른 것은 같은 산화조건일 때 질소의 산화막 억제효과가 질소이온주입량에 따라 다르기 때문이다. 즉, 질소 이온주입을 적

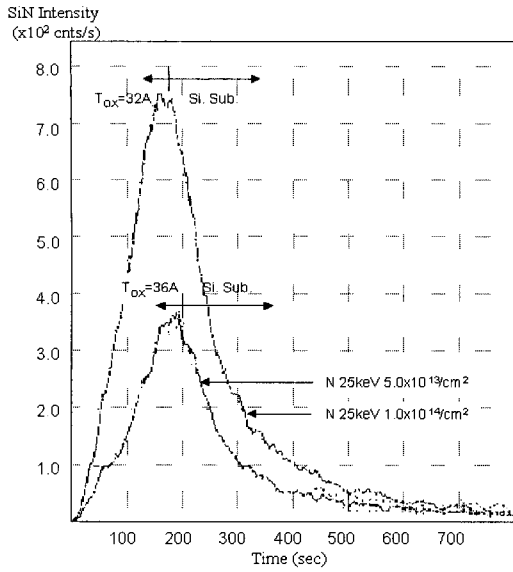
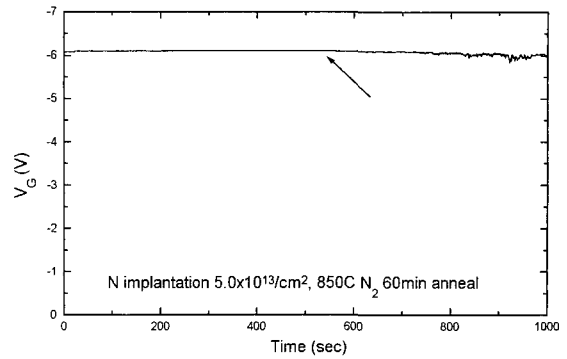
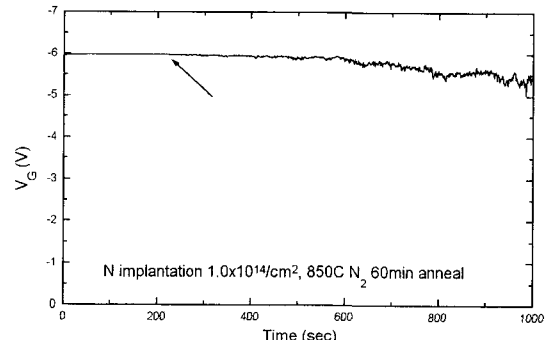


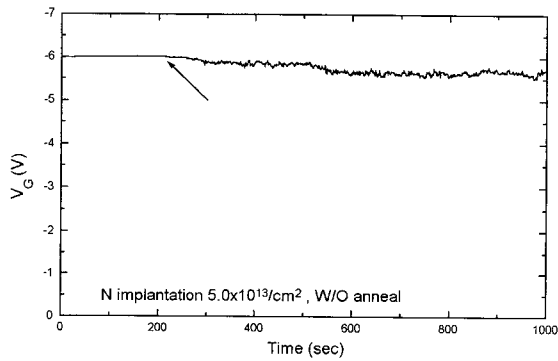
그림 2. 산화막 성장(800°C, 30분)후의 질소분포 TOF-SIMS 분석
 Fig. 2. Nitrogen TOF-SIMS profile after gate oxidation. ($T_{ox}=32\text{\AA}$ and 36\AA for nitrogen implant doses of $1.0 \times 10^{14}/\text{cm}^2$ and $5.0 \times 10^{13}/\text{cm}^2$, respectively)



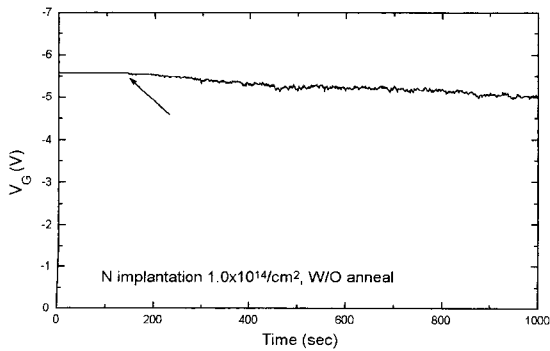
(c)



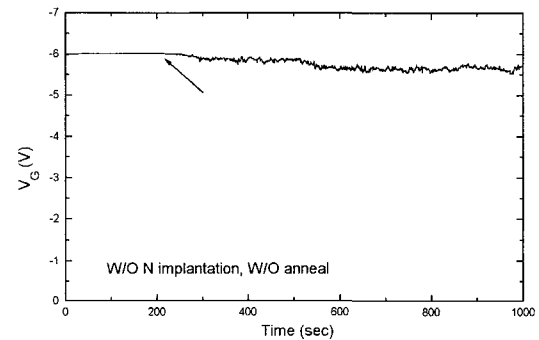
(d)



(a)



(b)



(e)

그림 3. Soft-breakdown을 측정하기위한 V-t 측정 결과

Fig. 3. Measured gate voltage during $10\text{mA}/\text{cm}^2$ constant current stress. Soft breakdown is detected as a small drop of the applied gate voltage and the transition to a fluctuation mode.

- (a) N implantation $5.0 \times 10^{13}/\text{cm}^2$, W/O anneal
- (b) N implantation $1.0 \times 10^{14}/\text{cm}^2$, W/O anneal
- (c) N implantation $5.0 \times 10^{13}/\text{cm}^2$, 850°C N_2 60min anneal
- (d) N implantation $1.0 \times 10^{14}/\text{cm}^2$, 850°C N_2 60min anneal
- (e) W/O N implantation, W/O anneal

용하면 산화막의 성장이 느려지는데 두께가 감소되는 정도는 질소 이온 주입량이 $5 \times 10^{13}/\text{cm}^2 \sim 1.0 \times 10^{14}/\text{cm}^2$ 일 때 10%~20% 정도의 두께가 감소되며 같은 두께를 기르는데 필요한 산화시간을 질소이온주입을 하지 않은 경우와 비교하면 질소이온주입량이 $5.0 \times 10^{13}/\text{cm}^2$ 일 때는 약 20%, $1.0 \times 10^{14}/\text{cm}^2$ 일 때는 약 50% 정도 산화시간이 증가한다.^[12] 산화막의 성장률이 떨어지면 같은 두께의 산화막을 성장시키는데 필요한 시간이 늘어나게 되므로 산화막 두께 조절이 쉬워진다. 특히 2nm~3nm 정도의 얇은 산화막의 경우에는 산화시간이 너무 짧아져서 두께조절이 어려워지게 되는데 이때 질소 이온주입을 하게 되면 산화시간의 증가를 얻을 수 있게 되어 얇은 산화막의 두께조절이 용이하게 된다. 그러므로 특히 얇은 산화막을 성장시키는 데는 질소이온주입이 좋은 조절 방법이 될 수 있다.

산화막의 두께는 엘립소미터로 측정하였는데 측정값을 검증하기 위하여 엘립소미터의 측정값으로 3nm 두께인 산화막의 시편을 TEM으로 분석하였으며 TEM으로 측정된 값은 3.2nm였다.^[12] TEM으로 측정된 산화막의 두께가 약간 두껍게 측정되었으나 큰 차이는 없으므로 본 실험에서는 엘립소미터로 측정된 두께 값으로 산화막의 두께를 표시 하였다.

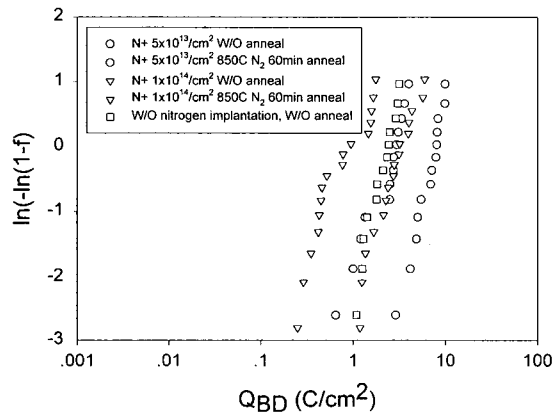


그림 4. 질소이온주입량에 따른 Q_{BD} 분포

Fig. 4. The weibull plots of Q_{BD} for nitrogen implant doses of $5.0 \times 10^{13}/\text{cm}^2$, $1.0 \times 10^{14}/\text{cm}^2$ and without implantation.

질소이온주입에 따라 게이트 산화막의 신뢰성이 어떻게 영향을 받는지 조사하기 위해 Q_{BD} (charge to breakdown)를 측정하였다. 질소이온주입은 $5.0 \times 10^{13}/\text{cm}^2$ 과 $1.0 \times 10^{14}/\text{cm}^2$ 으로 적용하였는데 산화막을

성장한 직후에 이온주입으로 인한 결함을 제거할 목적으로 N_2 분위기에서 850°C 60분의 열과정을 가한 것과 가하지 않은 것으로 나누어 진행하여 MOS 커패시터를 제작하였다. 이때 산화막 두께는 건식산화 3nm로 성장하였다. 측정된 MOS 커패시터의 크기는 $460 \mu\text{m} \times 100 \mu\text{m}$ 이며 전류는 $-10 \text{mA}/\text{cm}^2$ 을 가하였다. 동일한 전류를 계속 가하면 산화막은 어느시점까지 견디다가 절연 파괴가 일어나게 되어 산화막 양단에 걸리는 전압이 갑자기 떨어지는데 이를 hard-breakdown이라고 한다. 그런데, 산화막의 두께가 3nm 정도로 얇아지면 hard-breakdown이 일어나기 전에 양단간의 전압이 미세하게 변하는 현상이 생기며 이것을 quasi-breakdown^[16] 또는 soft-breakdown^[17]이라고 한다. 본 실험의 산화막 두께는 2~3nm수준이므로 soft-breakdown 특성이 나타나게 되며 Q_{BD} 는 soft-breakdown이 일어나는 시점까지의 전하량으로 정의하였다.

그림 3에 산화막에 동일전류를 가하면서 측정된 V-t graph를 질소이온주입과 열처리 조건별로 나타내었다. 화살표는 산화막에 걸리는 전압이 미세하게 변하는 지점, 즉 soft-breakdown이 일어나는 시점을 표시한 것이다. 이러한 방법으로 여러 시료를 측정하여 weibull 분포로 나타낸 것이 그림4이다. 이온주입후 850°C 60분의 열과정을 가하지 않은 경우 질소이온주입을 $5.0 \times 10^{13}/\text{cm}^2$ 하면 하지 않은 것에 비해서 Q_{BD} 값의 분포가 넓어지고 있다. 즉 이온주입을 하지 않은 것보다 더 좋은 Q_{BD} 값을 가지는 것이 있는 반면에 더 나쁜 값을 가지는 것도 있다. 이온 주입량이 더 많아져서 $1.0 \times 10^{14}/\text{cm}^2$ 이 되면 전체적으로 Q_{BD} 값이 나빠진다. 즉 질소이온주입이 산화막의 신뢰성에 영향을 주고 있음을 알 수 있다. 질소는 산화막과 실리콘 기판의 계면에서 Si-N결합을 형성하여 산화막의 특성을 개선시켜 주는 것으로 알려져 있는데^[10,11] 질소 주입량이 많아질수록 도리어 더 나쁜 Q_{BD} 값을 가지는 것은 다른 원인이 있기 때문인데, 그것은 이온주입에서 오는 실리콘 기판의 결함 때문이라고 추측되며 이는 $1.0 \times 10^{14}/\text{cm}^2$ 정도의 이온주입량에서도 산화막의 신뢰성을 악화시키는 결함이 생성된다는 것이다. 따라서 산화막의 신뢰성개선을 위하여 산화막을 성장한 직후에 N_2 분위기에서 850°C 60분의 열과정을 가하였다. 이 열과정의 목적은 질소이온주입으로 인한 결함을 이온주입 직후에 없애기 위한 것이다. 질소이온주입 $5.0 \times 10^{13}/\text{cm}^2$ 과 $1.0 \times 10^{14}/\text{cm}^2$ 각

각의 경우에 열과정을 가하였으며 산화막은 건식으로 3nm를 성장 시켰다. 그림 4에서 이러한 조건으로 제작한 MOS 커패시터의 Q_{BD} 값 측정결과를 보면 이온주입 후에 열과정을 가하면 Q_{BD} 값이 거의 10배 가까이 커진다는 것을 알 수 있다. 이 값은 산화막의 두께가 3nm에서 4nm로 커질 때의 Q_{BD} 값의 변화량(그림 5) 보다 훨씬 더 큰 것이므로 Q_{BD} 가 좋아진 것은 두께 차이 때문이 아니라 열과정 때문이라는 것을 강력하게 뒷받침한다. 그림 5에서 2nm산화막의 경우 가장 큰 값의 Q_{BD} 를 가지는 이유는 터널전류의 값이 포함되었기 때문이다.

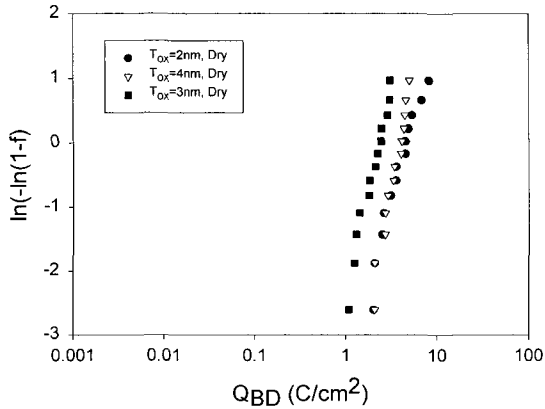


그림 5. 게이트 산화막 두께에 따른 Q_{BD} 값의 변화
Fig. 5. The weibull plot of Q_{BD} for oxide thicknesses of 2nm, 3nm and 4nm.

산화막성장후의 후속공정에서 900°C 30분 이상의 열과정을 받았으므로 산화막을 성장 시킨 후에 열과정은 산화막의 신뢰성을 개선시키는데는 효과가 없다. 따라서 산화막 신뢰성 개선목적의 열과정은 산화막 성장전, 즉 질소이온주입 직후에 열과정을 하는 것이 필요하다. 그림 4의 결과에서 나타난 것처럼 이온주입직후에 열과정을 거치면 질소이온주입으로 인한 실리콘 기판의 결함은 제거할 수 있으며 질소의 산화막 특성개선효과를 극대화 할 수 있다.

그러나 이렇게 열처리를 거치고 나면 질소이온주입으로 인한 산화막성장률의 감소효과가 사라지게 되는 문제가 있다. 그 결과가 표 1에 정리되어있다. 표에 나타난 것과 같이 질소이온주입을 하면 산화막의 두께가 얇게 성장하는 경향이 있지만 열처리를 하게 되면 질소이온주입을 한 경우에도 산화막의 성장두께가 질소이온주입을 하지 않은 것과 동일하게 된다. 질소이온주

입을 했는데도 산화막의 두께가 감소하지 않은 이유를 알기 위해서 SIMS분석을 행하였다. 그림 6에 질소이온주입을 한 직후와 850°C 60분 열처리를 한 다음의 질소 분포를 나타내었다. 그림6의 SIMS분석결과를 보면 대부분의 질소가 열과정을 받은 후에 확산되어 실리콘 내부에는 얼마 남아있지 않게 된다. 따라서 질소의 산화막 억제 효과가 없어서 산화막의 성장두께는 질소이온주입하지 않은 것과 동일하게 된 것이다. 비록 산화막의 성장 두께 감소 효과는 없어 졌지만 이온주입하고 열처리한 것의 특성이 개선된 이유는 실리콘에 아직 남아있는 미량의 질소가 실리콘기판과 산화막의 계면에서 안정된 Si-N결합을 이루어서 산화막의 특성을 개선시켰기 때문으로 보인다.

표 1. 질소이온주입후 열과정(850°C, 60분) 유무에 따른 산화막(800°C, 30분)의 성장두께

Table 1. Gate oxide thicknesses(Å) after the same oxidation process.

	W/O I/I	$5.0 \times 10^{13}/\text{cm}^2$		$1.0 \times 10^{14}/\text{cm}^2$	
	W/O anneal	W/O anneal	anneal	W/O anneal	anneal
T	40.0	37.0	40.0	33.0	40.0
C	40.0	36.0	41.0	32.0	40.0
B	40.0	36.0	41.0	32.0	41.0
L	40.0	36.0	41.0	32.0	41.0
R	40.0	36.0	41.0	32.0	41.0
Avg.	40.0	36.2	40.6	32.2	40.6

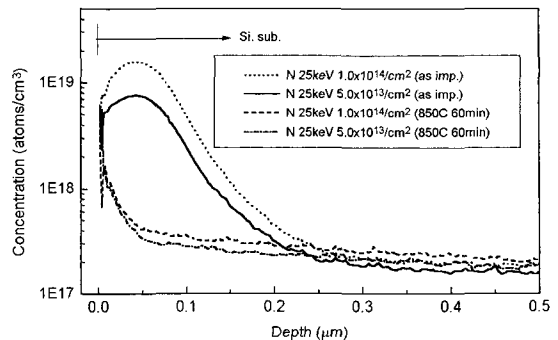


그림 6. 질소이온주입직후와 열과정(850°C 60분)을 거친 후의 질소의 분포에 대한 SIMS 분석 결과
Fig. 6. Nitrogen SIMS profile as imp. and after 850°C, 60min N_2 annealing.

IV. 결 론

질소이온주입후의 산화막의 성장률을 분석하여 질소 이온주입 농도에 따라 산화율이 감소함을 관측하였다. 산화막을 3nm 성장시키는데 필요한 시간은 순수산화막 인 경우에 비해서 질소이온주입량이 $1.0 \times 10^{14}/\text{cm}^2$ 일 때 50% 더 길어진다. 따라서 질소이온주입 방법은 산화막의 두께 조절에 보다 유리한 방법이 될 수 있다. 이온주입된 질소의 거동을 관측하기 위하여 SIMS 분석을 행하였으며 열과정이나 산화과정동안에 실리콘 기판과 산화막의 계면으로 질소가 확산됨을 확인 하였다. 이는 노판에서 질소가 함유된 산화막을 형성할 때에 질소가 계면에 모이는 것과 유사한 결과이다. 한편 Q_{BD} 특성을 확인한 결과 질소이온주입량이 $5.0 \times 10^{13}/\text{cm}^2$ 이면 Q_{BD} 의 전반적인 값은 떨어지지 않으나 분포가 약간 커지며 $1.0 \times 10^{14}/\text{cm}^2$ 이면 Q_{BD} 의 값이 전반적으로 작아짐을 알 수 있었다. 질소가 산화막의 특성을 좋게 해준다는 기존의 보고와는 다른 결과를 얻었는데 이는 질소이온주입으로 인한 실리콘 기판의 결함이 있는 상태에서 산화막이 성장되었기 때문이라고 생각된다. 이를 검증하기 위해 질소이온주입을 한 다음 즉시 열과정을 적용한 경우에는 거의 10배 가까운 Q_{BD} 의 증가를 볼 수 있었다. 따라서 질소이온주입으로 인한 기판의 결함을 최소화하고 질소의 산화막 개선효과를 극대화 하기 위해서는 질소이온주입후의 열처리가 필요하다는 것을 알 수 있었다. 그러나 열과정을 거치고 나면 상당량의 질소가 외부로 확산되어 미량의 질소만이 남게 되며 이 상태에서 산화막을 성장시키면 산화막 성장률 감소는 일어나지 않게 된다. 산화막 성장률을 감소시켜서 두께 조절효과를 얻음과 동시에 산화막의 신뢰성을 개선시키는 효과까지 동시에 얻는 것이 앞으로 해야 할 과제이다. 이것이 가능해지면 질소 이온주입 방법은 여러 소자에 응용이 가능하며 소자의 특성개선과 공정단순화 및 원가절감에 상당히 큰 영향을 미치는 도구가 될 것이다.

참 고 문 헌

[1] A. Uchiyama, H. Fukuda, T. Hayashi, T. Iwabuchi and S. Ohno, "High performance dual-gate sub-halfmicron MOSFETs with

6nm-thick nitrided SiO_2 films in an N_2O ambient," *IEDM*, p.425, 1990.

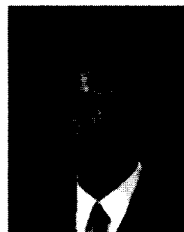
- [2] Z. Ma, Z. H. Liu, J. T. Krick, H. J. Huang, Y. C. Cheng, C. Hu and P. K. Ko, "Optimization of gate oxide N_2O anneal for CMOSFET's at room and cryogenic temperatures," *IEEE Trans. On Electron Devices* 41, p.1364, 1994.
- [3] T. Ito, T. Nakamura, and H. Ishikawa, "Advantages of thermal nitride and nitroxide gate films in VLSI process," *IEEE Electron Devices*, 29, p.498, 1982.
- [4] K. S. Krisch, L. Manchanda, F. H. Baumann, M. L. Green, D. Brasen, L. D. Feldman and A. Ourmazd, "Impact of Boron Diffusion through O_2 and N_2O Gate Dielectrics on the Process Margin of Dual-Poly Low Power CMOS," *IEDM*, p.325, 1994.
- [5] H. hwang, W. Ting, D. L. Kwong and J. Lee, "Electrical and reliability characteristics of ultrathin oxynitride gate dielectric prepared by rapid thermal processing in N_2O ," *IEDM*, p.421, 1990.
- [6] T. S. Chao, C. H. Chien, C. P. Hao, M. C. Liaw, C. H. Chu, C. Y. Chang and T. F. Lei, "Mechanism and Optimization of Nitrogen Co-Implant for Suppressing Boron Penetration in P+-Poly-Si Gate of PMOSFET's," *SSDM*, p.347, 1996.
- [7] C. T. Liu, Y. Ma, J. Becerro, S. Nakahara, D. J. Eaglesham and S. J. Hillenius, "Preventing boron penetration through 2.5nm gate oxides with nitrogen implant in the Si substrates," *IEEE Electron Device Letters* 18, p.105, 1997.
- [8] M. Bhat, D. Wristers, J. Yan, L. K. Han, J. Fulford and D. L. Kwong, "Performance and Hot-Carrier Reliability of N- and P-MOSFETs with Rapid Thermally NO-nitrided SiO_2 Gate Dielectrics," *IEDM*, p.329, 1994.
- [9] Y. Tamura, S. Ohkubo, T. Nakanish, Y. Kataoka, K. Irino and K. Takasaki, "Suppression of Hot Carrier Degradation in LDD n-MOSFETs with Gate N_2O -Nitrided

- O3-Oxide," *SSDM*, p.536, 1996.
- [10] R. I. Hegde, B. Maiti and P. J. Tobin, "Growth and Film Characteristics of N₂O and NO Oxynitride Gate and Tunnel Dielectrics, " *J. Electrochem Soc.*, 144, p.1081, 1997.
- [11] R. I. Hegde, P. J. Tobin, K. G. Reid, B. Maiti and S. A. Ajuria, "Growth and surface chemistry of oxynitride gate dielectric using nitric oxide," *Appl. Phys. Lett.*, 66 (21), p.2882, 1995.
- [12] I. H. Nam, S. I. Hong, J. S. Sim, B. G. Park and J. D. Lee, " Ultra-Thin Gate Oxide Grown on Nitrogen Implanted Silicon," *The 6th KCS*, p.247, 1999.
- [13] C. Lin, A. I. Chou, P. Choudhury, J. C. Lee, K. Kumar, B. Doyle and H. R. Soleimani, "Reliability of gate oxide grown on nitrogen implanted Si substrates," *Appl. Phys. Lett.* 69, p.3701, 1996.
- [14] H. R. Soleimani, B. S. Doyle and Philipossian, "Formation of Ultrathin Nitrided SiO₂ Oxides by Direct Nitrogen Implantation into Silicon," *J. Electrochem Soc.*, 142, p.L132, 1995.
- [15] C. T. Liu, Y. Ma. J. Becerro, S. Nakahara, D. J. Eaglesham and S. J. Hillenius, "Preventing boron penetration through 2.5nm gate oxides with nitrogen implant in the Si substrates," *IEEE Electron Device Letters* 18, p.105, 1997.
- [16] S. H. Lee, B. J. Cho, J. C. Kim and S. H. Choi, " Quasi-breakdown of ultrathin gate oxide under high field stress," *IEDM*, p.605, 1994.
- [17] M. Depas, T. Nigam and M. M. Heyns, "Soft Breakdown of Ultra-Thin Gate Oxide Layers," *IEEE Trans. On Electron Devices* 43, p.1499 , 1996.

— 저 자 소 개 —



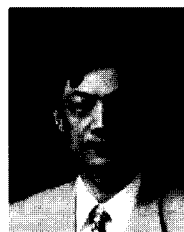
南 仁 浩(正會員)
1962년생. 1985년 2월 경북대학교 물리학과 이학사. 1987년 2월 경북대학교 물리학과 이학석사. 1987년 1월~현재 삼성전자 반도체연구소. 1996년 3월~현재 서울대학교 전기공학부 박사과정 재학중. 주관심분야는 극미세 CMOS 소자, 초박게이트산화막 등임



沈 載 星(正會員)
1998년 2월 서울대학교 전기공학부 졸업(공학사). 2000년 2월 서울대학교 전기공학부 졸업(공학석사). 주관 심분야는 MOSFET 소자의 산화막 신뢰성과 특성분석



洪 性 仁(正會員)
1972년생. 1996년 2월 서울대학교 전기공학부 공학사. 1998년 2월 서울대학교 전기공학부 공학석사. 1998년 3월~현재 서울대학교 전기공학부 박사과정 재학중. 주관심분야는 극미세 CMOS 소자, 초박게이트산화막 등임



朴 炳 國(正會員)
1978년 3월~1982년 2월 서울대학교 전자공학과 학사. 1982년 3월~1984년 2월 서울대학교 전자공학과 석사. 1984년 9월~1990년 9월 Stanford University 박사. 1990년~1993년 1월 AT & T Bell 연구소 연구원. 1993년 2월~1994년 2월 Texas Instruments 연구원. 1994년 3월~1997년 2월 서울대학교 전자공학과 조교수. 1998년 3월 현재 서울대학교 전기공학부 부교수

李 鍾 德(正會員) 第 29卷 第7號 參照
현재 서울대학교 전기공학부 교수