

論文2000-37SC-4-4

# 완전평형 전류 적분기를 이용한 3V CMOS 연속시간 필터 설계

## (Design of 3V CMOS Continuous-Time Filter Using Fully-Balanced Current Integrator)

安庭徹\*, 劉永奎\*\*, 崔碩佑\*\*, 金東龍\*\*, 尹暢焘\*\*\*  
(Joung Chul Ahn, Young Gyu Yu, Seok Woo Choi, Dong Yong Kim,  
and Chang Hun Yun)

### 요 약

본 논문에서는 완전평형 전류 적분기를 이용하여 저전압 구동이 가능하고 고주파수 응용이 가능한 연속 시간 필터를 설계하였다. 적분기 회로의 평형 구조 특성 때문에 짝수 차수의 고조파 성분들이 제거되고, 입력 신호 범위가 2배가되어 제안된 필터는 개선된 잡음 특성과 넓은 동적범위를 갖는다. 또한 상보형 전류미러를 이용하기 때문에 바이어스 회로가 간단하고 필터의 차단주파수는 단일 바이어스 전류원에 의해 간단히 제어할 수 있다. 설계의 예로 3차 버터워스 저역통과 필터를 개구리도약법으로 구현하였고, 제안된 완전평형 전류모드 필터는 0.65  $\mu\text{m}$  CMOS n-well 공정 파라미터를 이용하여 SPICE 시뮬레이션한 후 필터의 특성을 검토하였다. 시뮬레이션 결과 3V의 공급 전압에서 50MHz의 차단주파수, 1%의 THD에서 69dB의 동적범위를 갖고, 전력소모는 4mW이다.

### Abstract

In this paper, a continuous-time filter for low voltage and high frequency applications using fully-balanced current integrators is presented. As the balanced structure of integrator circuits, the designed filter has improved noise characteristics and wide dynamic range since even-order harmonics are cancelled and the input signal range is doubled. Using complementary current mirrors, bias circuits are simplified and the cutoff frequency of filters can be controlled easily by a single DC bias current. As a design example, the 3rd-order lowpass Butterworth filter with a leapfrog realization is designed. The designed fully-balanced current-mode filter is simulated and examined by SPICE using 0.65  $\mu\text{m}$  CMOS n-well process parameters. The simulation results show 50MHz cutoff frequency, 69dB dynamic range with 1% total harmonic distortion(THD), and 4mW power dissipation with a 3V supply voltage.

\* 正會員, 韓國電子通信研究院

(Electronics and Telecommunications Research Institute)

\*\* 正會員, 全北大學校 電氣電子回路合成研究所

(Electrical Circuits and Systems Research Institute, Chonbuk National University)

\*\*\* 正會員, 又石大學校 情報通信컴퓨터工學部

(Division of Information & Communication and Computer Engineering Woosuk University)

※ 본 논문은 1998년도 전북대학교 국제공동연구비에 의하여 연구되었습니다.

接受日字:1999年5月24日, 수정완료일:2000年5月30日

### I. 서론

집적회로 기술의 발전으로 혼성 아날로그/디지털 신호처리(Mixed analog/digital signal processing)에 대한 연구가 활발히 진행되고 있다. 혼성 아날로그/디지털 신호처리는 동일 칩상에 디지털 회로와 아날로그 회로를 함께 집적하여 고품질, 저가격의 VLSI를 실현하는 기술로서 단일 전원 전압으로 구동하기 위해서는 아날로그 회로도 디지털 회로와 함께 저전압으로 구동되어야 한다. 또한 이동 통신용 단말기, 휴대용 장비

등과 같이 저전압 구동 및 저소비 전력이 요구되는 장비의 경우에는 3V 또는 그 이하의 전압으로 구동되는 아날로그 회로를 설계할 필요가 있다.<sup>[1,2]</sup>

전압을 신호원으로 하는 전압모드로 저전압 구동 회로를 설계할 경우, 낮은 전원 전압은 최대 입력 전압의 진폭에 직접적인 영향을 주어 동적 범위(Dynamic range)와 대역폭이 줄어든다. 그러나 입력 신호원과 출력 신호를 전류로 사용하는 전류모드 신호처리는 저전압 구동이 가능하고 넓은 대역폭을 사용할 수 있다.<sup>[3]</sup> 이러한 전류모드 신호처리의 장점들 때문에 특히 저전압 고주파용 시스템에 적용되는 필터 등도 전류모드 신호처리 방식에 의한 설계법이 많이 연구되고 있다.<sup>[4~9]</sup>

능동필터 설계시 기본 블럭인 전류모드 적분기의 구조를 살펴보면 NMOS 전류미러쌍을 직렬로 구성하여 피드백시킨 구조<sup>[5]</sup>와 출력특성을 개선시킨 구조<sup>[6]</sup> 그리고 위상 추이 및 신호잡음의 영향을 줄이고 주파수 특성을 개선한 완전평형 구조<sup>[6~8]</sup> 등으로 연구되고 있다. 완전평형 구조의 전류모드 적분기는 다른 구조에 비하여 상대적으로 고주파용 필터의 동작시 안정성 면에서 좋은 조건을 갖추고 있다.

따라서 본 논문에서는 상보형 전류미러를 이용하여 저전압 구동이 가능하고 고주파수 응용이 가능한 완전 평형 전류모드 필터를 설계하였다. 제안된 적분기는 전류미러를 상보적으로 구성할 수 있기 때문에 추가적인 바이어스 회로가 필요치 않아 회로가 단순하고 필터의 차단주파수는 DC 바이어스 전류원에 따라 간단히 제어할 수 있다.

본 논문의 구성은 다음과 같다. 제 II장에서는 완전 평형 전류모드 필터 구성을 위한 기본 블럭으로 유손실 전류 적분기와 무손실 전류 적분기를 설계하였다. 제 III장에서는 II장에서 구성된 기본 블럭을 이용하여 3차 버터워스 저역통과 필터를 개구리도약법(Leapfrog realization)으로 설계하고 시뮬레이션 하였다. IV장에서는 논문의 내용을 요약하고 결론을 맺는다.

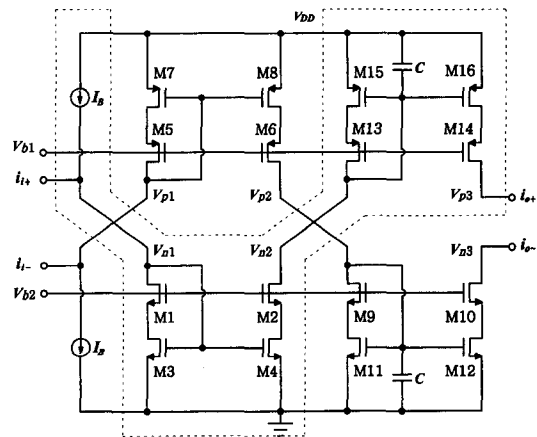
## II. 전류 적분기 설계

본 절에서는 완전평형 전류모드 필터 설계를 위한 완전평형 유손실 전류 적분기와 완전평형 무손실 전류 적분기를 상보형 전류미러로 설계한다.

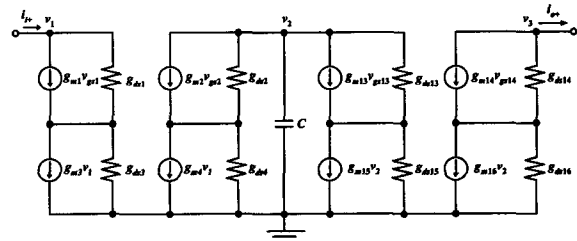
### 1. 완전평형 유손실 전류 적분기

그림 1은 전류미러로 구성된 완전평형 유손실 전류 적분기이다. 이때 적분기를 구성하는 전류미러는 적분기의 출력 전류 오차를 줄이고 저전압 동작이 가능하도록 high swing cascode 전류미러를 이용하였다.  $V_{b1}$  과  $V_{b2}$  는 cascode 트랜지스터를 포화영역에서 동작시키기 위한 전압이고  $I_B$  는 전류미러의 바이어스 전류,  $i_{i+}$  는 비반전 입력전류,  $i_{i-}$  는 반전 입력전류,  $i_{o+}$  는 비반전 출력전류,  $i_{o-}$  는 반전 출력전류이다.

그림 1의 점선으로 된 부분의 비반전 입력전류  $i_{i+}$  의 신호 경로로 n-형 전류미러와 p-형 전류미러를 상보적으로 구성하면  $I_B$ 와  $i_{i+}$ 가 M1의 드레인에 입력되고 모든 전류미러의 이득이 1일 때 M2의 드레인에 전류는  $I_B$ 와  $i_{i-}$ 를 갖는다. 또한 M13의 드레인 전류는 M2의 드레인 전류와 같고 M14의 드레인에서 출력 전류는  $I_B$ 와  $i_{i+}$ 이다. 그림 1의 점선에서 제외된 부분은 반전 입력전류  $i_{i-}$ 의 신호 경로로 비반전 입력전류의 동작 원리와 같다.



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 1. 완전평형 유손실 전류 적분기

Fig. 1. Fully-balanced lossy current integrator.

그림 1의 적분기가 완전 대칭이면 식(1)~(5)와 같은 관계식이 성립되므로, 그림 1(b)와 같이 절반회로(half-circuit) 소신호 등가회로로 간소화시킬 수 있다.

$$i_{i+} = -i_{i-} = i_i \quad (1)$$

$$i_{o+} = -i_{o-} = i_o \quad (2)$$

$$v_{n1} = -v_{p1} = v_1 \quad (3)$$

$$v_{n2} = -v_{p2} = v_2 \quad (4)$$

$$v_{n3} = -v_{p3} = v_3 \quad (5)$$

위의 식을 이용하여 그림 1(b)의 소신호 등가회로에서 조건  $g_m \gg g_{ds}$ 를 만족할 때 전류 전달함수  $T_1(s)$ 는 다음과 같이 구할 수 있다.

$$i_i = g_{m3} v_1 \quad (6)$$

$$g_{m4} v_1 + (g_{m15} + sC) v_2 = 0 \quad (7)$$

$$i_o = -g_{m16} v_2 \quad (8)$$

$$T_1(s) = \frac{i_o}{i_i} = \frac{g_{m4} g_{m16}}{g_{m3}} \cdot \frac{1}{sC + g_{m15}} \quad (9)$$

식 (9)는 완전평형 유손실 전류 적분기의 전류 전달 함수이다. 모든 전류미러의 이득이 1이면  $g_{m3} = g_{m4}$ ,  $g_{m15} = g_{m16}$ 이 되어 식 (10)을 얻을 수 있다.

$$T_1(s) = \frac{i_o}{i_i} = \frac{i_{o+} - i_{o-}}{i_{i+} - i_{i-}} = \frac{1}{\frac{sC}{g_{m16}} + 1} \quad (10)$$

식(10)은 차단주파수  $g_{m16}/C$ 를 갖는 1차 저역통과 필터 형태로 전류 적분기가 구현된다. 이때 M10의 출력 전류  $I_o$ 는  $I_B + i_{o-}$ 이고, M14의 출력 전류는  $I_o$ 는  $I_B + i_{o+}$ 이다. 각 출력 전류는 DC 바이어스 성분  $I_B$ 를 포함하고 있어 이를 다음 단의 바이어스 전류로 이용하면 다음 단의 바이어스 회로가 제거되므로 회로를 간략화 할 수 있다.

또한 그림 1(a)의 트랜지스터 M1, M2, M3, M4와 M5, M6, M7, M8은 입력 버퍼로 동작하게 되는데 입력 버퍼가 필요하지 않는 회로에서 그림 1(a)는 그림 2와 같이 회로를 단순화할 수 있다.

2. 완전평형 무손실 전류 적분기

그림 1(a)의 완전평형 유손실 전류 적분기를 이용하여 완전평형 무손실 전류 적분기를 설계하기 위해서는 식(10)에서 손실 항을 제거해야 한다. 그림 3과 같이

M16, M19와 M10, M13을 통해 정귀환을 제공하면 완전평형 유손실 전류 적분기의 손실을 제거할 수 있다.  $I_B$ 는 M16과 M19의 DC 바이어스 전류원이다.

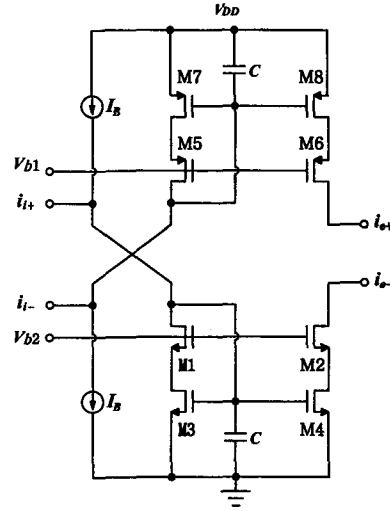


그림 2. 단순화된 완전평형 유손실 전류 적분기  
Fig. 2. Simplified fully-balanced lossy current integrator.

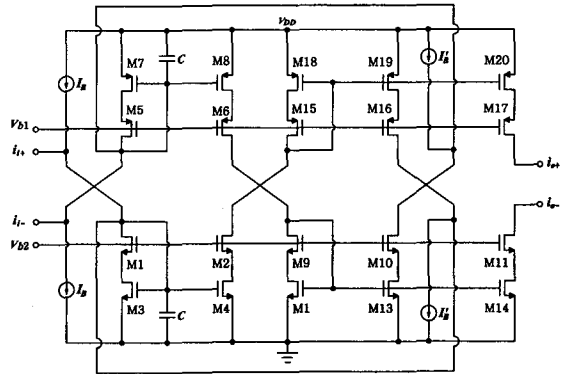


그림 3. 완전평형 무손실 전류 적분기  
Fig. 3. Fully-balanced lossless current integrator.

그림 3의 완전평형 무손실 전류 적분기의 전류 전달함수  $T_2(s)$ 는 조건  $g_m \gg g_{ds}$ 를 만족할 때 식(11)과 같다.

$$T_2(s) = \frac{i_{o+} - i_{o-}}{i_{i+} - i_{i-}} = \frac{g_{m4} g_{m20}}{g_{m3}} \cdot \frac{1}{sC + g_{m18} - g_{m4} \frac{g_{m19}}{g_{m3}}} \quad (11)$$

모든 전류미러의 이득이 1이면,  $g_{m3} = g_{m4}, g_{m18}$

$=g_{m19} = g_{m20}$ 이 되어 식(12)와 같이 간략화 된다.

$$T_2(s) = \frac{i_{o+} - i_{o-}}{i_{i+} - i_{i-}} = \frac{g_{m20}}{sC} \quad (12)$$

이때 식(12)에서 무손실 전류 적분기는 DC에서 이득이 무한대이다. 따라서 무손실 전류 적분기가 단독으로 사용되는 경우 DC 오프셋 때문에 불안정하게 되므로 능동필터 설계 등에 응용될 때에는 일반적으로 부귀환 루프와 함께 사용한다.

그림 4는 그림 2의 단순화된 완전평형 유손실 전류 적분기를 이용한 단순화된 완전 평형 무손실 전류 적분기이다. 트랜지스터 M2, M5과 M8, M11를 통해 정귀환을 제공하여 단순화된 유손실 전류 적분기의 손실을 제거할 수 있다.

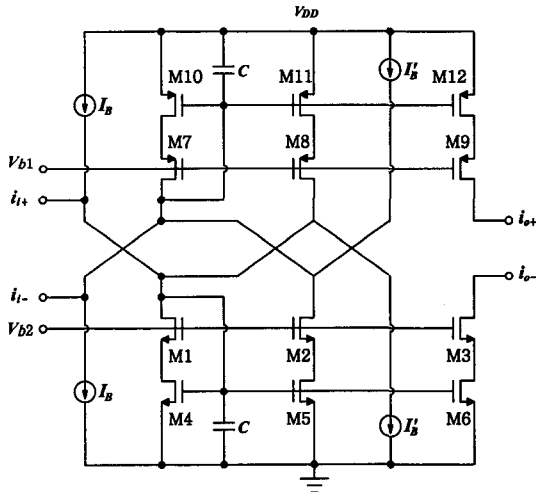


그림 4. 간략화된 완전평형 무손실 전류 적분기  
Fig. 4. Simplified fully-balanced lossless current integrator.

그림 3과 4의 무손실 전류 적분기는 두 개의 DC 전류원  $I_B$ 와  $I'_B$ 를 포함하고 있으나  $I_B$ 는 앞단의 DC 출력 전류로부터 제공되고 또한  $I'_B$ 는 부귀환 루프를 구성하는 출력으로부터 얻을 수 있으므로 실제로 고차 필터를 설계할 때에는 간단하게 구현할 수 있다.

### III. 전류모드 연속시간 필터 설계

고차 전류모드 능동필터를 설계하는 방법으로 수동 제자형 회로로부터 수동 소자를 전압, 전류 관계식으로 모의하는 개구리도약법과 고차 함수를 1차 함수와 2차 함수로 실현한 후 연결하는 중속연결법이 있다.

개구리도약법은 수동 제자형 회로망의 낮은 감도 특성이 능동 회로에서도 그대로 유지되는 특징이 있고, 중속연결법은 각 블록을 쉽게 동조할 수 있다는 장점을 갖는다.<sup>[10]</sup> 본 논문에서는 개구리도약법을 이용하여 연속시간 필터를 설계하고, SPICE 시뮬레이션을 통하여 회로의 특성을 확인한다.

#### 1. 3차 개구리도약법 저역통과 필터 설계

본 절에서는 전체 회로의 입력 DC 바이어스 전류  $I_B$ 가  $200 \mu A$ , 저항  $R$ 이  $3.06k\Omega$ , 차단주파수가 50MHz인 3차 버터워스 저역통과 필터를 개구리도약법으로 설계하였다. 그림 5는 3차 수동 복종단 LC 제자형 필터의 회로도이다.

그림 5를 개구리도약법으로 수동 소자를 전압, 전류 관계식에 기준하여 동작을 모의하면 그림 6과 같은 신호 흐름도를 구할 수 있다.

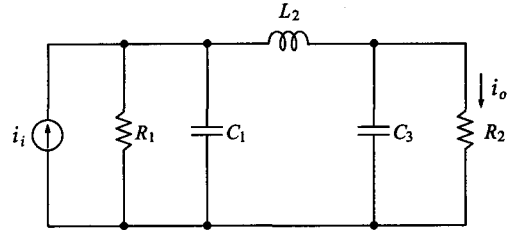


그림 5. 3차 수동 복종단 제자형 필터  
Fig. 5. 3rd-order passive doubly-terminated ladder filter.

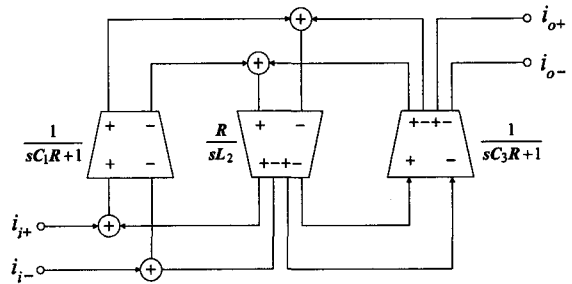


그림 6. 3차 개구리도약법 필터의 블록 선도  
Fig. 6. Block diagram of 3rd-order leapfrog filter.

그림 6에서 3차 버터워스 필터는 2개의 유손실 전류 적분기와 1개의 무손실 전류 적분기로 구성할 수 있다. 이때 전류 적분기의 적분 커패시터  $C_i$ 는 식(13)으로 구할 수 있다.

$$C_i = \frac{g_m X_i}{\omega_c} \quad (13)$$

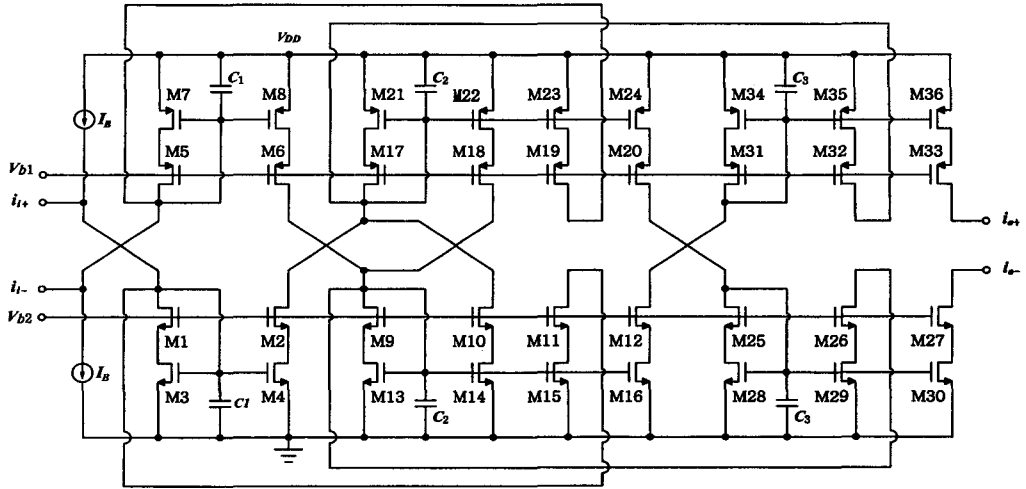


그림 7. 3차 저역통과 필터의 개구리도약법 구현  
Fig. 7. Leapfrog realization of 3rd-order lowpass filter.

식(13)에서  $g_m$ 은 전류 적분기의 트랜스컨덕턴스이며,  $X_i$ 는 LC 회로의  $i$ 번째 수동 소자의 규준화된 소자 값이고,  $\omega_c$ 는 전류모드 능동 필터의 차단주파수이다. 제안된 전류 적분기의  $g_m$  값과 설정된 전류모드 필터의 차단주파수를 식(13)에 대입하여 구한 커패시터 값은 표 1과 같다.

3차 개구리도약형 저역통과 필터를 본 논문에서 설계한 전류 적분기를 이용하여 구현한 실제 회로도도 그림 7과 같다.

표 1. 3차 저역통과 필터의 커패시터 값  
Table 1. Capacitance values of 3rd-order lowpass filter.

커패시터	크기
$C_1$	1.04 pF
$C_2$	2.08 pF
$C_3$	1.04 pF

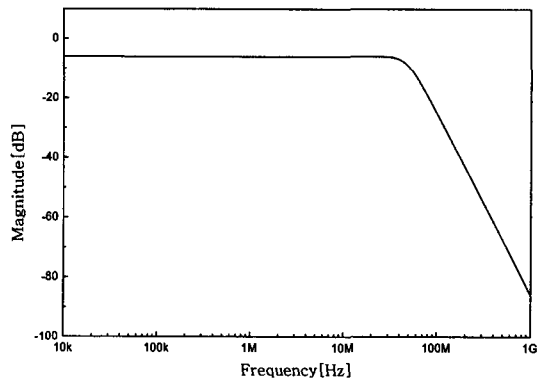
모든 전류미러의 이득이 1이면 그림 7에서 M11, M15와 M19, M23의 DC 바이어스 전류는 입력 바이어스 전류  $I_B$ 에 더해지게 되어 전체 회로의 입력 DC 바이어스 전류는  $2I_B$ 가 된다. 이와 같은 구조는 중간에 무손실 전류 적분기를 추가함으로써 고차 필터로 쉽게 확장이 가능하고 고차 필터 내부의 DC 바이어스 전류원을 제거할 수 있으므로 입력단은  $2I_B$ 의 DC 바이어스 전류원만으로 구성된다.

2. 시뮬레이션 결과 및 고찰

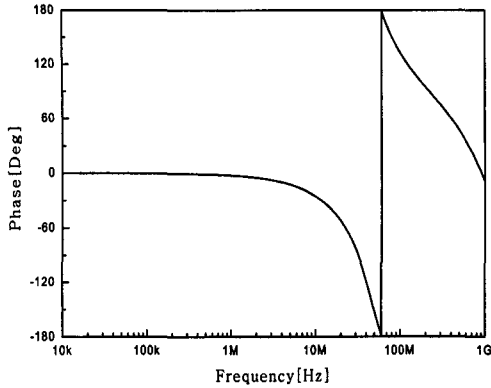
본 논문에서는  $0.65\mu\text{m}$  CMOS n-well 공정 파라미터를 사용하여 전원 공급 전압 3V, 바이어스 전류  $100\mu\text{A}$ 에서 차단주파수는 50MHz로 설계하였다. 그림 8은 개구리 도약형 3차 버터워스 저역통과 필터의 크기 및 위상 특성이다.

그림 9에서는 DC 바이어스 전류  $I_B$ 를  $50\mu\text{A}$ 에서  $150\mu\text{A}$ 까지  $50\mu\text{A}$  단위로 제어하여 주파수 동조 특성을 고찰하였다. 바이어스 전류가 증가함에 따라 차단주파수가 37MHz에서 58MHz까지 증가하는데 주파수 동조가 안정된 특성을 갖는다.

그림 10은 3차 저역통과 필터의  $(i_i/I_{bias})$ 값에 따른 THD(Total Harmonic Distortion) 특성이다. 이때 입력 신호 주파수가 5MHz, 필터의 대역폭은 50MHz, 바이어스 전류  $I_B=100\mu\text{A}$ 이다.



(a) 크기 특성



(b) 위상 특성

그림 8. 3차 저역통과 필터의 크기 및 위상 특성  
Fig. 8. Magnitude and phase characteristics of 3rd-order lowpass filter.

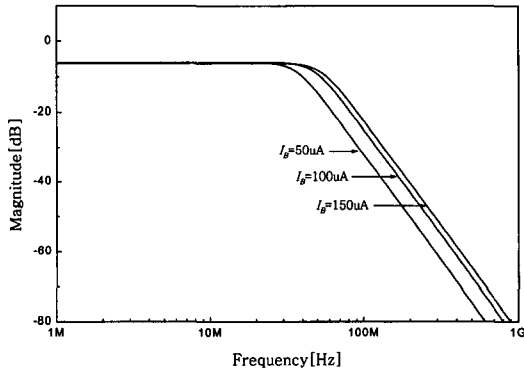


그림 9. 필터의 주파수 동조 특성  
Fig. 9. Frequency tuning characteristics of filter.

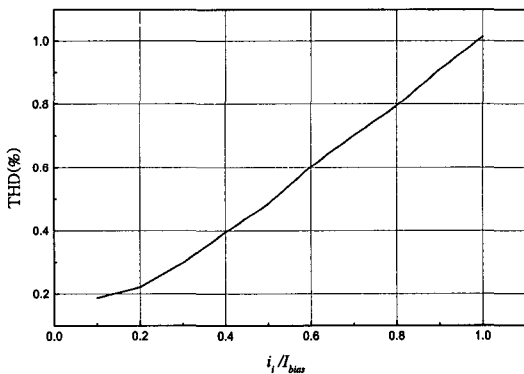


그림 10. 필터의  $(i_i/I_{bias})$  값에 따른 THD  
Fig. 10. THD as a input modulation index  $(i_i/I_{bias})$  of filter.

표 2는 3차 저역통과 필터의 SPICE 시뮬레이션 결과이다.

표 2. 3차 저역통과 필터의 시뮬레이션 결과  
Table 2. Simulated results of 3rd-order lowpass filter.

-3 dB frequency	50 MHz
Power supply voltage	3 V
Bias current	100 $\mu$ A
Power dissipation	4 mW
THD ( $i_i/i_{bias}$ )=0.9	0.909%
RMS Noise (50MHz BW)	34.9 nA <sub>rms</sub>
Dynamic range (1%THD)	69 dB

#### IV. 결 론

본 논문에서는 완전평형 전류 적분기를 이용하여 저전압 고주파수 응용이 가능한 연속시간 필터를 설계하였다. 제안된 필터는 완전평형 구조를 갖기 때문에 짝수 차수의 고조파 성분이 제거되어 잡음 특성이 향상되고 동적 범위가 증가하였다. 또한 본 논문에서 제시된 전류 적분기는 저전압 동작이 가능하고 출력 전류의 오차를 감소시키기 위해 high swing cascode 전류미러를 이용하였다. 그리고 제안된 전류 적분기는 상보형 전류미러를 사용하기 때문에 바이어스 회로가 간단하고 필터의 차단주파수는 단일 바이어스 전류원에 의해 간단히 제어할 수 있다. 이때 필터의 주파수 특성을 안정화하기 위해서는 DC 바이어스 전류가 안정되어야 하는데 이를 위하여 PLL 시스템 등을 사용함으로써 전자적으로 동조가 가능한 필터를 실현할 수 있다.

설계의 예로 3차 버터워스 저역통과 필터를 개구리 도약법으로 구현하였고, 제안된 전류모드 필터는 0.65  $\mu$ m CMOS n-well 공정파라미터를 이용하여 SPICE 시뮬레이션한 후 필터의 특성을 검토하였다. 3차 저역통과 필터는 3V의 공급전압에서 50MHz의 차단주파수, 1%의 THD에서 69dB의 동적범위를 갖고, 전력 소모는 4mW이다.

필터에 사용된 전류미러는 3V이하의 저전압 구동이 가능하여 휴대용 오디오, 비디오, 이동전화 등과 같은 저전압, 저전력 특성을 요구하는 휴대용기기에 쉽게 응용할 수 있다.

#### 참 고 문 헌

[1] R. Batruni, P. Lemaitre, and T. Fensch, "Mixed Digital/Analog Signal Processing for a

- Single-Chip 2B1Q U-Interface Transceiver," IEEE J. of Solid-State Circuits, vol. 26, pp. 1414-1425, December, 1990.
- [2] J. Y. Michel, "High-Performance Analog Cells in Mixed-Signal VLSI : Problems and Practical Solutions," Analog Integrated Circuits and Signal Processing, vol. 171-182, November, 1991.
- [3] C. Toumazou, F. J. Lidgley, and D. G. Haigh, Analogue IC Design: the Current-Mode Approach, Peter Peregrinus Ltd., 1993.
- [4] T. S. Fiez and D. J. Allstot, "CMOS Switched-Current Ladder Filters," IEEE J. Solid-State Circuits, vol. 25, pp. 1360-1367, December, 1990.
- [5] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "A Continuous-Time Current-Mode Integrator," IEEE Trans. Circuits and Systems, vol. 38, pp. 1236-1238, October, 1991.
- [6] S. L. Smith, E. S. Sinencio, "3V High-frequency Current-Mode Filter", in Proc. IEEE ISCAS, pp. 1459-1462, 1993.
- [7] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully-Balanced CMOS Current-Mode Filters," IEEE J. Solid-State Circuits, vol. 28, pp. 569-575, May, 1993.
- [8] R. H. Zele, and D. J. Allstot, "Low-Power CMOS Continuous-Time Filters," IEEE J. Solid-State Circuits, vol. 31, pp. 157-168, February, 1996.
- [9] J. C. Ahn, and N. Fujii, "Current-Mode Continuous-Time Filters Using Complementary Current Mirrors Pairs," Analog Integrated Circuits and Signal Processing, vol. 11, pp. 109-118, November, 1996.
- [10] R. Schaumann, M. S. Ghausi, and K. R. Laker, Design of Analog Filters: Passive, Active RC, and Switched Capacitor, Englewood Cliffs, NJ, Prentice-Hall, 1989.

---

 저 자 소 개
 

---

安庭徹(正會員) 第34卷 C編 第11號 參照  
 현재 한국전자통신연구원 부호기술연구부 선임연구원

劉永奎(正會員)  
 1974년 8월 15일생. 1996년 전북대학교 전기공학과 졸업(공학사). 1998년 전북대학교 대학원 전기공학과 졸업(공학석사). 현재 전북대학교 대학원 전기공학과 박사과정. 주관심 분야는 아날로그 집적회로 설계

崔碩佑(正會員) 第35卷 C編 第9號 參照  
 현재 전북대학교 부속 전기전자회로합성연구소 조교수

金東龍(正會員) 第35卷 C編 第6號 參照  
 현재 전북대학교 전자정보공학부 교수. 전북대학교 부속 전기전자회로합성연구소 소장

尹暢焄(正會員) 第35卷 C編 第9號 參照  
 현재 우석대학교 이공대학 정보통신컴퓨터공학부 전임 강사