

論文2000-37SC-2-10

51.84Mbps VDSL QAM 수신기를 위한 통과대역 디지털 심볼 클럭 복원방식 (Passband Digital Symbol Clock Recovery Scheme for 51.84Mbps VDSL QAM Receiver)

李宰昊*, 金在元**, 丁恒根***, 鄭鎮均***
(Jae-Ho Lee, Jae-Won Kim, Hang-Geun Jeong, and Jin-Gyun Chung)

요 약

본 논문에서는 51.84Mbps의 전송 속도를 갖고, 16-QAM 변조방식을 사용하는 VDSL(고속 디지털 가입자 루프) 시스템에서, 전송 신호 주파수 스펙트럼의 밴드-에지 성분을 최대화함으로써 심볼 클럭(12.96MHz)을 복원하는 방식에 대해 논의한다[1]. 디지털 방식의 PLL에서 여러 가지 특성들이 조사되었으며, NCO(Numerically Controlled Oscillator)에서 사용하는 룩-업 테이블의 효율적인 설계 방식을 제시하였다.

Abstract

In this paper, we discuss a symbol clock extraction scheme based on maximizing the band-edge component of the transmitted signal frequency spectrum for applications to 51.84Mbps VDSL system which uses a 16-QAM. The major characteristics of the digital PLL are examined. In addition, we suggest an efficient design method of a sinusoidal look-up table which is used for NCO.

I. 서 론

기존 동선 가입자 선로를 사용하여 고속 디지털 데이터 통신을 가능하게 하는 XDSL 기술이 최근 연구 개발되어 일부 실용화 단계에 있다^[1-3].

XDSL 중 가장 전송 속도가 높은(최대 51.84 Mbps) VDSL은 가입자가 있는 건물 입구까지 광케이블을 사용하고 마지막 구간(수백 m 정도)에 동선을 사용하는 방법이다.

이러한 VDSL 시스템에 사용하는 수신기에도 심볼 타이밍 동기가 필요하며, 수신기의 디지털 방식 구현이 보편화됨에 따라 심볼 타이밍 복원도 디지털 방식 구현이 유리하게 되어 최근 많은 연구 논문이 발표되었다^[4-7].

심볼 클럭을 복원하기 위하여 수신된 신호를 적절히 처리하여 심볼 클럭 주파수 성분을 생성하여야 한다. VDSL 모델에서와 같이 대역효율을 높이기 위하여 사용하는 roll-off factor가 작은 경우(DAVIC 표준의 경우 0.2), 비선형 신호처리 방법은 사용할 수 없고, 밴드-에지 성분을 최대화하는 방법 등이 흔히 사용되고 있다^{[4][8]}.

본 논문에서 채택한 방식은 캐리어 복조 없이 밴드

* 正會員, 韓國電子通信研究院
(Electronics and Telecommunications Research Institute)

** 正會員, 全北大學校 컴퓨터工學科
(Dept. of Computer Eng., Chon-Buk Natl. Univ.)

*** 正會員, 全北大學校 電子情報工學部
(Faculty of Electronics and Informations Eng., Chon-Buk Natl. Univ.)

※ 본 연구는 서울대학교 반도체 공동연구소의 교육부
반도체분야학술연구조성비(과제번호: ISRC 97-E-
2034)에 의해 수행되었습니다.

接受日字: 1999年 4月19日, 수정완료일: 2000年 2月14日

패스 대역에서 직접 심볼 클럭을 복원하는 방식으로서 밴드-에지 성분을 최대화하는 방식을 채택하고 디지털 구현 방식을 연구하였다.

밴드-에지 성분을 최대화시키는 방법은 Hilbert 변환을 하는 밴드패스 필터링을 함으로써 얻어진다. Hilbert 밴드패스 필터는 디지털로 구현가능하며, 두 개의 Hilbert 밴드패스 필터의 출력 값을 교차하여 곱함으로써 심볼 주파수를 생성할 수 있다^[8]. 이 때 두 Hilbert 밴드패스 필터의 중심 주파수는 캐리어 주파수로부터 0.5배의 심볼 주파수만큼 떨어져(즉, $f_c \pm 0.5f_s$) 위치한다.

또한 Hilbert 밴드패스 필터 다음에 위상 검출기, 루프 필터, NCO로 구성되는 PLL이 사용된다. NCO의 구현방법은 두 가지가 있다^[9]. 첫 번째 방법은 위상 누적기의 MSB(Most Significant Bit)를 이용하여 구형파를 출력하는 방법이다. 두 번째 방법은 메모리로부터 정현파 샘플값을 읽음으로써 정현파를 생성시키는 방법이다.

곱셈기 형태의 위상 검출기의 경우, 구형파를 사용하는 방식은 위상에러가 0일 때 위상 검출기 출력 값이 0이 되지 않는다. 따라서 본 논문에서는 NCO 출력이 정현파가 되도록 록업 테이블을 이용하는 방식이 사용되었다.

또한 본 논문에서는 Error Compensation Table(ECT)과 data table을 이용한 효율적인 록업 테이블 설계 방법을 조사하였다.

처음에는 하드웨어의 단순화를 위해 NCO의 위상 누적기로부터 A/D변환기를 구동시키는 클럭을 얻고자 하였다. 개방 루프 시뮬레이션에서는 A/D변환기를 구동하는 클럭과 입력신호와의 위상관계는 일정하였다.

그러나 폐쇄루프 시뮬레이션에서는 위상 트래킹이 잘 이루어지지 않았다. 그 이유는 정확한 디지털 밴드패스 필터의 동작을 위해서는 정확한 샘플링 주파수를 필요로 하기 때문이다. 그러므로, 본 논문에서는 A/D 변환기를 구동하는 데에 독립적인 클럭이 사용되었다.

II. 본 론

본 논문에서 다루고 있는 VDSL 수신기는 그림 1과 같이 디지털 구현 방식으로서, 수신된 신호는 바로 ADC를 거쳐 디지털 신호로 변환되며, 패스밴드 등화기를 거친 후, slicer에서 심볼이 복원된다.

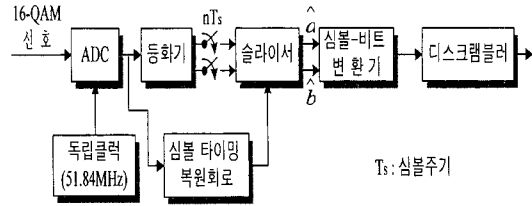


그림 1. VDSL수신기의 블록도
Fig. 1. Block diagram of VDSL receiver.

1. 심볼 클럭 추출방식

본 논문에서 채택한 전체 타이밍 복원회로의 블록도는 그림 2와 같다.

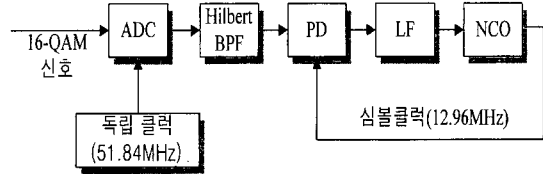


그림 2. 전체 타이밍 복원회로의 블록도
Fig. 2. Block diagram of the entire timing recovery circuit.

그림 2에서 수신된 QAM 신호는 식 (1)과 같다^[10].

$$[\sum a_n g(t - nT_s) \cos w_c(t - nT_s) - \sum b_n g(t - nT_s) \sin w_c(t - nT_s)] \quad (1)$$

여기서 a_n 과 b_n 은 심볼, $g(t)$ 는 square-root raised cosine의 임펄스 응답, T_s 는 심볼 주기, f_c (캐리어 주파수)는 f_s (심볼 주파수)의 0.8배이다^[11].

심볼 주파수를 추출하는 원리는 그림 3과 같다.

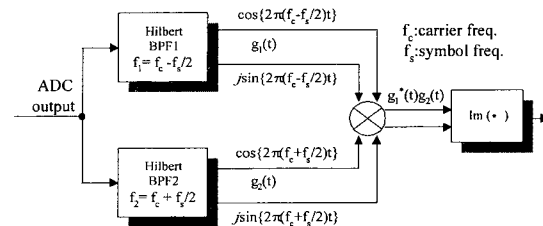


그림 3. 밴드-에지를 이용한 심볼클럭 추출구조
Fig. 3. Symbol clock extraction scheme based on band-edge.

심볼 주파수 성분은 Hilbert 밴드패스 필터의 출력 값을 서로 곱함으로써 생성되며 그 수학적 과정은 다음 식 (2)와 같다.

$$\begin{aligned}
 g_1(t) &= \cos [2\pi(f_c - \frac{f_s}{2})t] + j\sin [2\pi(f_c - \frac{f_s}{2})t] \\
 g_2(t) &= \cos [2\pi(f_c + \frac{f_s}{2})t] + j\sin [2\pi(f_c + \frac{f_s}{2})t] \\
 \text{Im}[g_1^*(t)g_2(t)] \\
 &= [\sin 2\pi(f_c + f_s/2)t \cdot \cos 2\pi(f_c - f_s/2)t \\
 &\quad - \sin 2\pi(f_c - f_s/2)t \cdot \cos 2\pi(f_c + f_s/2)t] \quad (2) \\
 &= \sin[2\pi(f_c + f_s/2)t - 2\pi(f_c - f_s/2)t] \\
 &= \sin(2\pi f_s t)
 \end{aligned}$$

위상 검출기로는 곱셈기가 사용되었다. NCO 심볼 클럭의 rising edge를 기준으로 보고, 심볼 중심과 NCO의 rising edge와의 위상 차를 위상 에러라 정의할 때, 위상 검출기의 특성곡선은 그림 4와 같다.

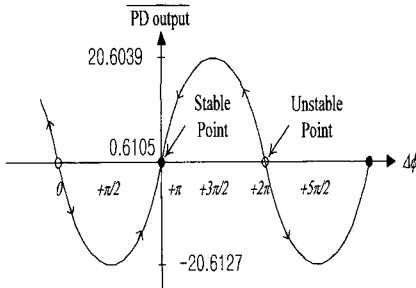


그림 4. 위상 특성 곡선
Fig. 4. Characteristics of the phase detector.

루프 필터는 그림 5와 같고, 식 (3)은 일반적인 아날로그 PLL 2차 시스템의 루프 설계로부터 유도되었다^{[11][12]}.

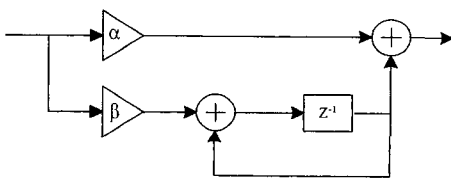


그림 5. 루프 필터의 블록도
Fig. 5. Block diagram of the loop filter.

$$\begin{aligned}
 H(Z) &= \frac{Y(Z)}{X(Z)} = (\alpha + \frac{\beta z^{-1}}{1 - z^{-1}}) \quad (3) \\
 \alpha &= \frac{2 \times \zeta \times \omega_n}{K_d \times K_o}, \quad \beta = \frac{T_s \times \omega_n^2}{K_d \times K_o}
 \end{aligned}$$

여기서 ζ 는 damping factor, ω_n 은 루프 고유주파수(natural frequency), T_s 는 샘플링 주기, K_d 는 위상검출기 이득, K_o 는 NCO 이득이다. 루프 필터 출력은 NCO 블록으로 입력되며 Frequency Control

Word(FCW)가 된다^[13]. 시뮬레이션에서, 루프 대역폭은 ω_n 의 0.05%였고, damping factor는 0.707였다. NCO의 블록도는 그림 6과 같다^[9].

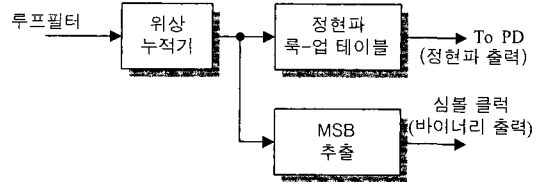


그림 6. NCO의 블록도
Fig. 6. Block diagram of the NCO.

위상 누적기는 FCW를 누적하고 심볼 클럭은 위상 누적기의 MSB로부터 추출되며, NCO의 출력 주파수 f_{out} 은 식 (4)와 같다.

$$f_{out} = \frac{f_{sys} \times FCW}{2^n} \quad (4)$$

본 논문에서 사용된 f_{sys} 는 51.84MHz×16이고, n은 8이다.

2. 효율적인 록-업 테이블 구현방식

정현파 록-업 테이블의 크기는 록-업 테이블의 어드레스 길이가 증가할수록 지수적으로 증가하게 된다^[13]. 그러나 정현파의 quarter-wave 대칭성질을 이용하면 $0 \sim \pi/2$ 까지의 정현파 값만을 이용하여 $0 \sim 2\pi$ 까지의 모든 정현파 값을 표시할 수 있으므로 록-업 테이블의 크기를 1/4로 줄일 수 있다. 본 논문에서는 Error Compensation Table(ECT)과 data table을 이용한 효율적인 록-업 테이블 설계 방법을 제안한다.

어드레스 = K비트, 데이터의 크기 = J비트, $[Z] = J$ 비트로 표현한 Z의 2의 보수라고 할 때 $Y(n) = \cos(\frac{2 \times \pi \times n}{2^K})$, ($n=0, 1, 2, \dots, 2^K-1$)에 해당하는 Y 값들을 구하는 알고리즘은 다음과 같다.

(1) $MAX \{ Y(2n+1) - \frac{Y(2n) + Y(2n+2)}{2} \}$ 의 값이 2^{-J+1} 보다 크면

$2^{-x+1} > MAX \{ Y(2n+1) - \frac{Y(2n) + Y(2n+2)}{2} \}$ 인 x를 $\geq 2^{-x}$, ($x=0, 1, 2, \dots, J-1$)

정하고 ECT의 데이터 크기는 J-x 비트로 정한다. $MAX \{ Y(2n+1) - \frac{Y(2n) + Y(2n+2)}{2} \}$ 의 값이 2^{-J+1} 보다 작으면(즉, $x \leq J$) 주어진 J비트 내에서 에러가 없으므로 이 알고리즘을 적용할 필요가 없다.

2) $Y(2n)$ 의 값들 중 $0 \sim \pi/2$ 까지의 위상에 해당하는 $Y(2n)$ 의 값만 2의 보수로 변환하여 정현파 룩-업 테이블에 저장한다.

$$3) Y(2n+1) - \frac{Y(2n)+Y(2n+2)}{2} = Error(n),$$

($n = 0, 1, \dots, \frac{2^K}{8} - 1$) 를 저장한다.

4) J 비트의 $[Y(2n)]$ 및 $[Y(2n+1)]$ 로부터 다음을 만족하는 J-x 비트의 ECT(n)을 결정한다.

$$[Y(2n+1)] - \frac{[Y(2n)] + [Y(2n+2)]}{2} - Error(n) = 0, (n = 0, 1, 2, \dots, \frac{2^K}{8} - 1)$$

예를 들어, 어드레스 10비트($K=10$), 데이터 크기 20 비트($J=20$)에 해당하는 정현파 룩-업 테이블을 만들 때 위의 알고리즘을 이용하여 생성된 error중 가장 큰 error는 2-16에서 발생하므로 error compensation table(ECT)의 데이터 크기는 4비트로 한다.

룩-업 테이블에 저장된 데이터가 정현파이므로 입력 어드레스의 최상위 두 비트를 XOR 취한 값이 0이면 출력 데이터의 부호는 양이고 1이면 음이다. 이러한 성질을 이용하여 룩-업 테이블에 들어가는 데이터의 부호 비트를 줄일 수 있다^[4]. 정현파 룩-업 테이블에 입력되는 어드레스의 LSB가 0이면 quarter-wave symmetry 성질을 이용하여 출력하고 LSB가 1이면 quarter-wave symmetry 성질을 검사하고 입력된 어드레스에서 1을 가감하여 2개의 어드레스를 생성한다. 이 2개의 어드레스에 해당하는 출력값을 평균을 내고 ECT의 값을 더하여 출력한다. ECT의 어드레스는 어드레스 크기가 10비트인 경우, $a_9a_1 \dots a_9(a_0 : \text{MSB})$ 중에서 $a_2 \sim a_8$ 까지 7비트 어드레스를 사용하며 정현파 룩-업 테이블의 어드레스도 error table과 같은 $a_2 \sim a_8$ 까지의 7비트 어드레스를 사용한다. 먼저 00000 00000 어드레스에는 2의 보수 표현으로 1에 해당하는 0111 1111 1111 1111과 00000 00010 어드레스에는 $\cos(2 \times \pi \times 2 / 1024)$ 에 해당하는 0111 1111 1111 1101 1000이 저장되어 있다고 하자. 만일 정현파 룩-업 테이블에 00000 00001 어드레스가 들어오면 최하위 비트가 1이므로 1을 가감한 00000 00000 어드레스와 00000 00010 어드레스를 생성한다. 그 다음엔 각각의 어드레스에 해당하는 값을 더하여 2로 나눈 평균값에 ECT에서 나온 값을 더하여 출력한다. 즉, 0111 1111 1111 1111 1111 + 0111 1111 1111 1101 1000 = 1111 1111 1111 1101 0111 이다. 2로 나누는 것은 오른쪽으로 한 비트 shift 하는 것과 같다. 그래서 0111 1111 1111

1110 1011 값에 ECT에서 나온 값인 1011을 더하면 0111 1111 1111 1111 0110이 된다. 이 값은 $\cos(2 \times \pi \times 1 / 1024)$ 에 해당하는 값과 같은 값이다. 이러한 방법을 그림 7에 나타내었다.

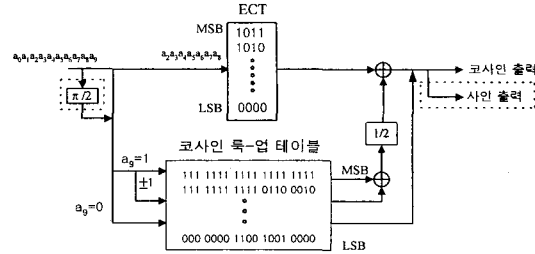


그림 7. 제안된 정현파 룩-업 테이블의 회로도
Fig. 7. Schematic diagram of the suggested sinusoidal look-up table method.

본 논문에서 제안한 알고리즘을 이용하여 정현파 룩-업 테이블을 작성하고 VHDL을 이용하여 코딩하였다. 제안된 룩-업 테이블의 Synopsys를 이용한 시뮬레이션과 합성된 회로도는 그림 8과 그림 9에 나타내었다. 제안한 알고리즘을 적용함으로써 기존의 quarter wave 대칭성질을 이용하여 구현한 룩-업 테이블 보다 약 25%의 하드웨어 이득을 얻을 수 있다.

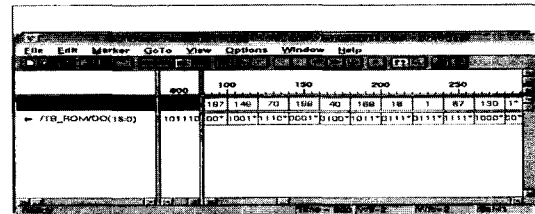


그림 8. 제안된 정현파 룩-업 테이블의 시뮬레이션
Fig. 8. Simulation results for the look-up table method.

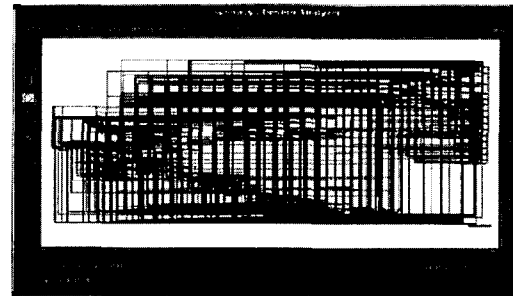


그림 9. 제안된 정현파 룩-업 테이블의 합성된 회로도
Fig. 9. Synthesized look-up table circuit.

정현파 룩-업 테이블의 입력을 그림 7에서 파선으로 표시한 것과 같이 $\pi/2$ 만큼 shift 시킬 경우 정현파

와 여현과 2개의 값이 출력되도록 할 수 있다. 본 논문에서 제안한 정현파 록업 테이블 설계 알고리즘을 다른 알고리즘^[14-16]에 의해 설계된 정현파 ROM에 적용한다면 하드웨어 면적을 더욱 줄일 수 있다.

3. 시뮬레이션 결과

다음은 채널 길이에 따른 PLL의 특성을 논의한다. $|\Delta FCW|_{max}$ 를 $|FCW - FCW_{nom}|_{max}$ 라 정의할 때 그림 10 (a)는 선로 수가 4인 경우 선로 길이의 증가에 따른 $|\Delta FCW|_{max} / FCW_{nom}$ 을 나타낸 그림이며 선로 길이가 증가할수록 NCO의 출력 주파수의 지터가 증가하는 것을 볼 수 있다. 그림 10 (b)는 Hilbert 밴드패스 필터 곱의 다운샘플링 값을 평균한 값을 나타내는 그림이다.

전체적으로 보면 선로 길이가 증가할수록 NCO 출력 주파수의 지터도 증가함을 알 수 있으며, 그림 10 (b)에서 보면 선로 길이가 증가할수록 DC offset값이 증가하는데 이러한 결과는 정상 상태에서 NCO 출력 주수의 지터를 증가시킨다.

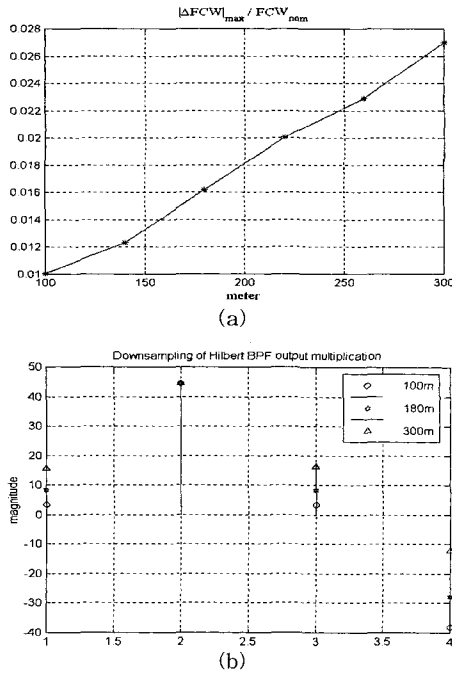


그림 10. 채널 길이에 따른 PLL 특성
 (a) NCO 출력 주파수의 지터변화 (b) Hilbert 밴드패스 필터 곱의 다운샘플링 평균값
 Fig. 10. PLL characteristics for different channel lengths. (a) Jitter characteristics of the NCO output frequency. (b) Average value of the down-sampled output of the Hilbert bandpass filter block.

다음은 선로 수에 따른 PLL의 특성을 조사하였다. 그림 11 (a)는 선로 길이가 100m 이하인 경우 $|\Delta FCW|_{max} / FCW_{nom}$ 을 나타낸 것으로 그림 10 (a)와 비교할 때 NCO 출력 주파수의 지터가 작음을 알 수 있다. 그림 11 (b)는 선로 수가 각각 4, 14, 20개 인 경우 Hilbert 밴드패스 필터 곱의 다운샘플링 값을 평균한 값을 나타내는 그림으로 선로 수의 증가에 따라 Hilbert 밴드패스 필터 곱의 평균값들이 변화가 거의 없다. 즉 정상 상태에서 NCO 출력 주파수의 지터가 적음을 알 수 있다.

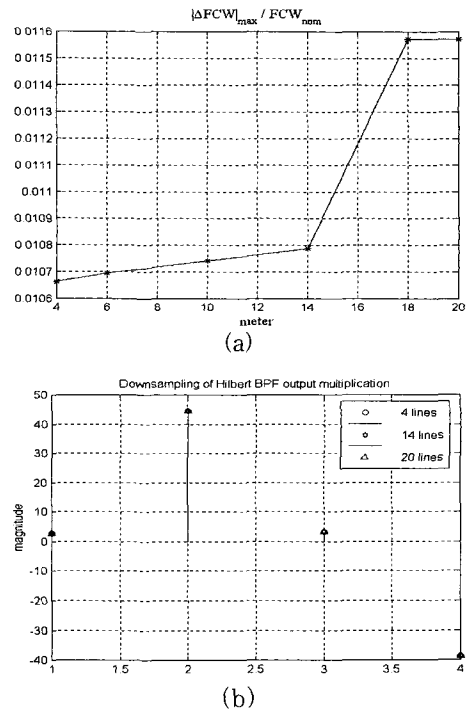


그림 11. 선로 수에 따른 PLL 특성
 (a) NCO 출력 주파수의 지터변화
 (b) Hilbert 밴드패스 필터 곱의 다운샘플링 평균값
 Fig. 11. PLL characteristics for different line number. (a) Jitter characteristics of the NCO output frequency. (b) Average value of the down-sampled output of the Hilbert bandpass filter block.

다음에는 pattern에 의한 영향을 조사하였다. 송신 부에서 동상 심볼과 직교상 심볼이 모두 1인 경우와 3과 -3이 교대로 바뀌는 경우의 패턴에 대하여 PLL의 acquisition을 조사하였다. 그림 12 (a)는 선로 길이가 100미터이고 선로 수가 4일 때, 심볼이 모두 1인

경우 Hilbert 밴드패스 필터 곱의 주파수 스펙트럼을 나타낸 것이고, 그림 12 (b)는 선로 길이가 100미터 이고 선로 수가 4일 때, 심볼이 교대로 바뀌는 경우 Hilbert 밴드패스 필터 곱의 주파수 스펙트럼을 나타낸 그림이다. 그림 12에서 보면 심볼 주파수 성분 이외의 다른 주파수 성분도 생성되므로 PLL이 acquisition되지 않았다.

다음은 잡음의 variance를 바꿔가면서 NCO 출력 주파수의 지터 특성을 조사하였다. 그림 13은 $\Delta FCW_{max}/FCW_{nom}$ 을 나타낸다.

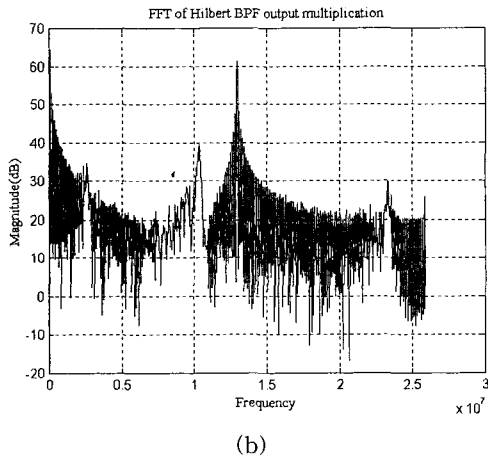
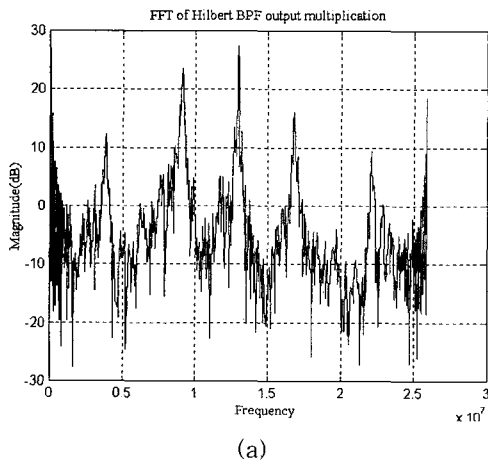


그림 12. Hilbert 밴드패스 필터 곱의 주파수 스펙트럼
(a) 7송신 심볼이 모두 1인 경우
(b) 송신 심볼이 교대로 바뀌는 경우

Fig. 12. Output of the Hilbert bandpass filter block. (a) Output of the Hilbert bandpass filter block for all "1" symbols. (b) Output of the Hilbert bandpass filter block for ± 3 alternating symbols.

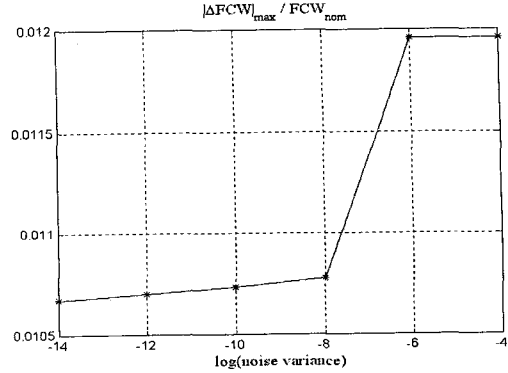


그림 13. 잡음 variance에 따른 지터 변화
Fig. 13. Variation of jitter with noise.

타이밍 복원회로를 실제로 구현할 때 발생하는 문제, 특히 유한 워드길이의 효과를 알아보기 위하여 ADC를 제외한 전체 회로를 VHDL로 코딩하고 Synopsys를 이용하여 시뮬레이션 하였다. 그림 14 (a)는 전체 구간의 시뮬레이션 결과 파형이고 (b)는 일부 구간을 확대한 파형이다. 그림 14 (b)에서 SBC는 추출된 심볼 클럭, BC는 비트 클럭, DO1은 루프 필터에서 출력된 FCW를 나타내고, DO2는 FCW를 입력으로 하는 NCO의 출력을 나타낸다. 그림 15는 전체 회로를 Synopsys를 이용하여 합성한 결과이다.

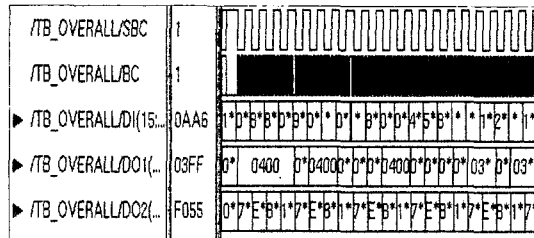
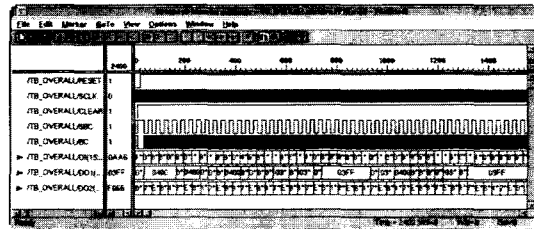


그림 14. 타이밍 복원 회로의 시뮬레이션
(a) 전체 시뮬레이션 결과
(b) 전체 시뮬레이션 결과의 일부 구간

Fig. 14. Simulation results of the timing recovery circuit. (a) Entire simulation result. (b) A part of entire simulation result.

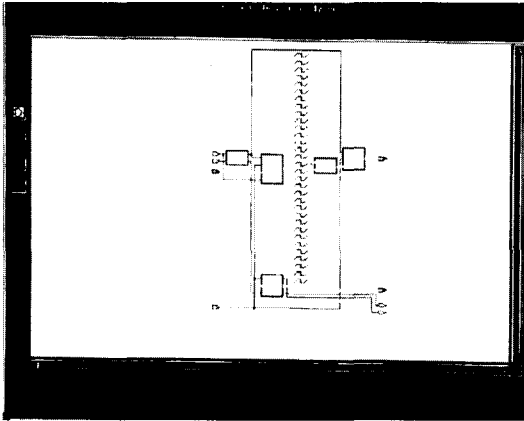


그림 15. 타이밍 복원 회로의 합성된 회로도
Fig. 15. Synthesized timing recovery circuit.

III. 결 론

시뮬레이션을 한 심볼 클럭 복원방식은 Hilbert 밴드패스 필터를 사용하여 수신된 QAM 신호의 밴드-에지 성분을 최대화함으로써 심볼 클럭을 추출하였다. 또한 Hilbert 밴드패스 필터로부터 추출된 심볼 클럭보다 상대적으로 지터가 적은 심볼 클럭을 얻기 위해 디지털 PLL이 사용되었다. 그리고 Hilbert 밴드패스 필터로부터 추출된 심볼 클럭은 A/D 변환기를 구동하는 샘플링 클럭에 의해 영향을 받으므로, 추출된 심볼 클럭의 지터를 줄이기 위해 독립적인 클럭(51.84MHz)으로 A/D 변환기를 구동시켰다.

디지털 PLL은 위상 검출기로서 일반적인 곱셈기를 사용하였으며, 루프 필터는 비례 부분과 적분 부분으로 이루어졌으며, NCO에서는 정현파 록업 테이블을 사용하여 위상 검출기로 입력되는 값이 정현파의 값을 갖도록 하였다. NCO에 사용되는 정현파 록업 테이블을 기존의 quarter wave 대칭(symmetry)성질을 이용하여 구현한 록업 테이블 보다 약 25%의 하드웨어 이득을 얻을 수 있는 효율적인 정현파 록업 테이블을 설계하는 방법을 연구하였다.

시뮬레이션에서 얻어진 위상 검출기의 특성 곡선은 S자 곡선을 나타냈고, 루프 대역폭은 13.337kHz이었으며, 모든 가능한 위상 에러에 대해 디지털 PLL이 트래킹을 하였다. 또한 채널 길이에 따른 지터를 조사할 때, 채널 길이가 증가하면 전송 손실이 증가하므로 수신단의 이득을 증가시키면서 지터특성을 조사하였다. 그 결과 채널 길이가 증가할 때, Hilbert 밴드패스 필

터 곱의 다운샘플링 평균 값의 DC offset이 증가하여 지터도 증가함을 확인하였다.

EL-FEXT의 영향을 조사하기 위해, 선로 수를 증가하면서 지터특성을 조사한 결과 그림 11 (b)와 같이 지터가 선로 수에 따라 크게 증가하지 않음을 알 수 있다.

다음으로 pattern에 의한 영향을 조사하기 위해 송신부의 심볼이 모두 1인 경우와 3과 -3이 교대로 바뀌는 경우에 대해 조사하였다. 송신부의 심볼이 모두 1인 경우에는 PLL이 정상 상태에서 위상 offset과 DC offset이 존재하여, acquisition이 되지 않았고 송신부의 심볼이 교대로 바뀌는 경우에도 정상 상태에서 위상 offset과 DC offset이 존재하여 acquisition이 되지 않았다. 그리고 채널에서 잡음의 variance가 증가할 때 PLL이 정상 상태에서 지터가 증가함을 확인하였다.

본 논문에서는 심볼 클럭 복원회로의 디지털 구현을 목적으로 하였기 때문에 본 논문에서 채택한 심볼 클럭 복원방식을 이용하여 심볼 클럭 복원회로를 설계할 경우 VDSL의 수신부와 함께 집적화가 가능하다.

참 고 문 헌

- [1] Dr. Walter Y. Chen, "DSL Simulation Techniques and Standards Development for Digital Subscriber Line Systems," MAC-MILLAN TECHNOLOGY SERIES, 1998.
- [2] ANSI T1.413 ISSUE 2.
- [3] John M. Cioffi, Vladimir Oksman, Thierry Pollet and Jacky S. Chow, "Very-High-Speed Digital Subscriber Lines," IEEE Communications Magazine, April 1999.
- [4] KyungHa LEE, YoungHoon KIM and HyungJin CHOI, "A New Symbol Timing Recovery for All-digital High Speed Symbol Synchronization," IEICE Trans. Commun., vol. E80-B, NO. 9 September 1997.
- [5] Erdal Panayirci, "Timing Recovery for DSL Transceivers in the Presence of Residual Echo and Impulsive Noise," IEEE Trans. on Commun., vol. 45, No. 8, August 1997.
- [6] W.C. Lindsey and C.M. Chie, "A survey of digital phase-locked loops," IEEE Proceedings, vol. 69, pp. 410-431, April 1981.

- [7] H.J. Choi, "Synchronous Digital Communications," Kyohaksa, Korea, 1995.
- [8] Dominique N. Godard, "Passband Timing Recovery in an All-Digital Modem Receiver," IEEE Trans. on Commun., vol. COM-26, No. 5, May 1976.
- [9] Fang Lu, Henry Samueli, Jiren Yuan and Christer Svensson, "A 700-MHz 24-b Pipelined Accumulator in 1.2 μ m CMOS for Application as a Numerically Controlled Oscillator," IEEE J. Solid State Circuits, VOL. 28, NO. 8, pp. 878-885, August 1993.
- [10] DAVIC 1.2 Specification Part 8.
- [11] L-N. Lee, A. Shenoy and M.K. Eng, "Digital signal processor-based programmable BPSK/QPSK/offset -QPSK modems," Comsat Technical Review VOL.19, Number 2, Fall 1989.
- [12] Gardner, "Phaselock Techniques," JOHN WILEY & SONS., 1979.
- [13] D. Fu and A. N. Willson, Jr. "A High-Speed Processor for Digital Sine/Cosine Generation and Angle Rotation", 32nd Asilomar Conference, 1998.
- [14] D. A. Sunderland, R. A. Strauch, S. Wharfield, H. T. Peterson and C. R. Cole, "CMOS/SOS Frequency Synthesizer LSI Circuit for Spread Spectrum Communications", IEEE J. Solid-State Circuits, vol. sc-19, pp. 497-505, Aug. 1984.
- [15] H. T. Nicholas, III and H. Samueli, "A 150 MHz direct digital frequency synthesizer in 1.25- μ m CMOS with -90 dBc spurious performance," IEEE J. Solid-State Circuits, vol. 26, pp. 1959-1969, Dec. 1991.
- [16] Loke Kun Tan and Henry Samueli, "A 200 MHz Quadrature Digital Synthesizer/Mixer in 0.8 μ m CMOS", IEEE J. Solid-State Circuits, vol. 30, pp. 193-200, Mar. 1995

저 자 소 개



李宰昊(正會員)

1997년 2월 전북대학교 전자공학과(공학사). 1999년 2월 전북대학교 전자공학과(공학석사). 1999년 11월~현재 ETRI 연구원. 주관심분야는 변복조 신호처리, VLSI



金在元(正會員)

1997년 2월 순천대학교 정보통신공학과(공학사). 1999년 2월 전북대학교 정보통신공학과(공학석사). 1999년 3월~현재 전북대학교 컴퓨터공학과(박사과정). 주관심분야는 VLSI 신호처리



丁恒根(正會員)

1977년 2월 서울대학교 전자공학과(공학사). 1979년 2월 KAIST 전기 및 전자공학과(공학석사). 1989년 12월 University of Florida 전기공학과(공학박사). 1979년~1982년 ETRI 연구원. 1989년~1991년 Motorola 연구소 연구원. 1996년 9월~현재 전북대학교 정보통신 연구소 연구원. 1991년~현재 전북대학교 전자·정보공학부 부교수. 주관심분야는 집적회로 설계, RF 시스템 설계



鄭鎮均(正會員)

1985년 2월 전북대학교 전자공학과(공학사). 1991년 12월 University of Minnesota 전기공학과(공학석사). 1994년 12월 University of Minnesota 전기공학과(공학박사). 1996년 9월~현재 전북대학교 정보통신 연구소 연구원. 1995년 3월~현재 : 전북대학. 교 전자·정보공학부 조교수. 주관심분야는 VLSI 신호처리, 고속 DSL모뎀