論文2000-37SC-2-9

NOR 형태의 고속 dual-modulus 프리스케일러
(A NOR-type High-Speed Dual-Modulus Prescaler)

成 基 赫 *, 金 利 燮 **
(Ki-Hyuk Sung and Lee-Sup Kim)

요 약

dual-modulus 프리스케일러는 제어신호의 값에 따라 입력신호를 두 개의 모듈러스(modulus) 중에서 하나의 값으로 나누는 회로이다. 본 논문에서는 일반적인 ratioed-NAND구조가 아닌, ratioed-NOR구조를 가진 새로운 고속 dual-modulus 프리스케일러를 제안한다. 제안하는 회로는 NMOS를 직렬 연결하는 대신 병렬 연결함으로써 기존 회로보다 더 고속으로 작동한다. 현대 0.65(m 2-poly 2-metal CMOS 공정 파라미터를 사용한 HSPICE 모의 실험 결과, 25° C의 온도와 5V전원전압의 환경에서, 40.7mW의 전력을 소모하고 최대 동작 주파수는 2.8GHz라는 것을 얻었다. 제안하는 dual-modulus 프리스케일러는 셀룰라 라디오의 입력단에서 주파수 합성을 하는 데에 이용될 수 있을 것이다.

Abstract

A dual-modulus prescaler divides the input signal by one of the moduli according to the control signal. In this paper, a new fast dual-modulus prescaler is proposed. The proposed prescaler has a ratioed-NOR structure different from a conventional ratioed-NAND structure. The proposed one can operate at a higher speed by using parallely connected NMOSs instead of using series-connected ones. HSPICE simulation results using HYUNDAI 0.65(m 2-poly 2-metal CMOS process parameters show that the maximum operating frequency of the proposed dual-modulus prescaler is 2.8GHz with power consumption of 40.7mW at 5V supply voltage at 25° C. The proposed dual-modulus prescaler can be utilized for the frequency-synthesis in cellular radio front-ends.

I. 서 론

PLL을 이용한 주파수 합성기는 통신 시스템에서 RF입력단에 위치하고 있는 중요한 블록이다. 펄스 스왈로우 (pulse swallow) 방식을 사용하는 PLL 주파수 합성기의 핵심 회로인 dual-modulus 프리스케일러는 고속 동작을 요구한다. 예전에는 고속 특성을 얻기 위해서 GaAs 또는 바이폴라 공정으로 dual-modulus 프리스케일러를 구현하였지만[1,2], 최근에는 CMOS 공정이 발달함에 따라 값싼 CMOS 공정을 사용하여 고속 dual-modulus 프리스케일러를 설계하고자 하는 연구가 활발하다[3-6]. 기존의 대부분의 연구의 목표는 고속 플립플롭의 설계였다[3-5]. 최근에는 플립플롭과 플립플롭 사이를 연결해 주는 로직과, 플립플롭을 병합하는 기술이 개발되었다[6]. 본 논문은 로직과 플립플롭을 합치는 기술을 좀더 개량하여 고속 dual-modulus 프리스케일러의 구현을 목표로 삼는다.

본 논문의 구성은 다음과 같다.

2장에서는 기존의 연구 동향을 살펴본다. 3장에서는 제안하는 고속 dual-modulus 프리스케일러에 대하여 설명하고, 4장에서는 모의 실험 결과를 보여 준다. 마지막으로 5장에서 결론을 맺는다.

* 學生會員, ** 正會員, 韓國科學技術員 電子電算學科
(Division of Electrical Engineering, Dept. of Electrical Engineering & Computer Science, KAIST)
接受日字: 1999年 8月2日, 수정완료일 :2000年 2月11日

Ⅱ. 기존의 연구

그림 1은 기존의 128/129 dual-modulus 프리스케일러의 블록도이다.

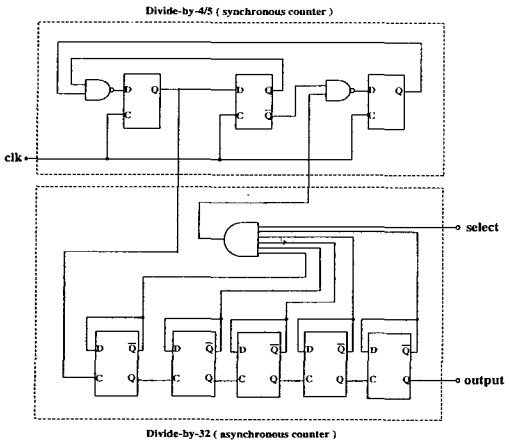


그림 1. 기존의 128/129 dual-modulus 프리스케일러의 블록도
Fig 1. Block diagram of the conventional 128/129 dual-modulus prescaler.

동기 카운터(Synchronous Counter) 는 D-플립플롭 세 개와 NAND 게이트 2개, 비동기 카운터 (Asynchronous Counter)는 다섯 개의 D-플립플롭과 하나의 AND게이트로 구성되어 있다. 비동기 카운터의 작동 주파수는 select신호의 값에 따라 동기 카운터의 작동주파수의 4분의 1 또는 5분의 1이 된다. 따라서, 비동기 카운터에서는 저속에서 동작하더라도 저전력을 소비하는 플립플롭을 사용하고, 동기 카운터에서는 전력을 많이 소비하더라도 고속동작이 가능한 플립플롭을 사용한다.

그림 2의 (a)는 true - single - phase - clocking (TSPC)을 이용한 D-플립플롭으로서[3], 작동속도는 다소 느리지만 전력소비가 적으므로, 비동기 카운터를 구현하는 데에 사용된다. (b)는 ratioed latch를 사용하여 구현한 D-플립플롭으로서[4], 작동속도는 (a)의 플립플롭보다 빠르지만 전력소모가 크다. (c)의 플립플롭은 (a)의 플립플롭의 단점이었던 glitch가 발생하지 않는다[5]. 그림 2의 (b)와 (c) 회로들은 고속 동기 카운터의 플립플롭으로 사용된다.

dual-modulus 프리스케일러에서 고속동작을 하는 동기 카운터는 D-플립플롭 세 개와 NAND게이트 두 개로 이루어져 있다. 따라서 dual-modulus 프리스케일러의 작동 속도는 NAND게이트와 플립플롭의 지연시간에 의해서 결정되는데 NAND게이트와 D-플립플롭을 하나의 회로로 병합한다면 더욱 빠른 dual-modulus 프리스케일러를 설계할 수 있다[6].

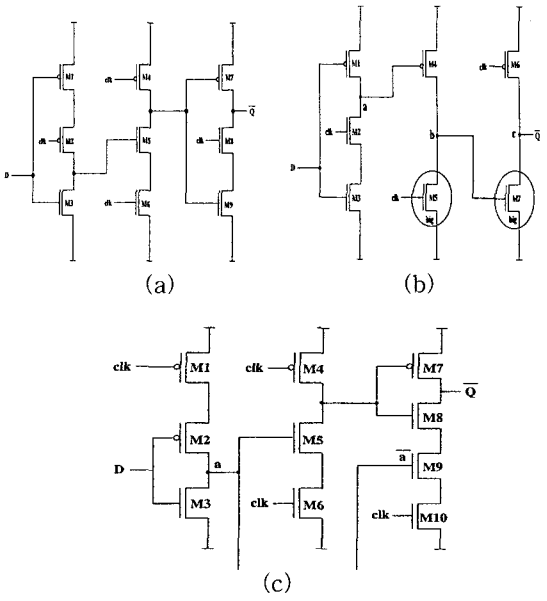


그림 2. 기존의 고속 플립플롭
(a) TSPC (b) ratioed latch (c) glitch-free
Fig. 2. Conventional high-speed flip-flops.
(a) TSPC (b) ratioed latch (c) glitch-free

그림 3의 (a)는 D-플립플롭을 나타내고, (b)는 NAND로직과 D-플립플롭이 병합된 형태의 회로이다. 엄밀히 말해서 그림 3의 회로는 플립플롭이 아니다. 하지만 dual-modulus 프리스케일러에 사용되면 정상적으로 역할을 수행한다. (부록 참조)

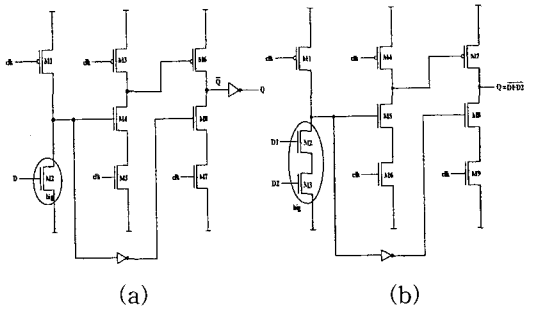


그림 3. C. Yang이 제안한 회로[6]
(a) 향상된 TSPC ratioed-D 플립플롭 (b) 간소화된 ratioed logic NAND 플립플롭
Fig. 3. The circuits proposed by C. Yang.
(a) Improved TSPC ratioed D-FF.
(b) Simplified ratioed logic NAND-FF.

Ⅲ. 고속 dual-modulus 프리스케일러

1. 동기 카운터

1) 전체적인 구조

본 논문이 제안하는 동기 카운터는 그림 4와 같다. 그림 4의 (a)에서 점선부분의 D1과 D3는 그림 4의 (b)의 NOR플립플롭을 사용하고, D2는 그림 3의 (a)의 D-플립플롭을 사용한다. 기존의 동기 카운터와의 차이점은 NAND대신 NOR를 사용한다는 점이다.

2) 제안하는 동기 카운터가 기존의 동기 카운터보다 고속 동작을 하는 이유

μ_p가 μ_n의 2분의 1이라고 가정할 때, 2-입력 스태틱 CMOS NAND의 NMOS와 PMOS의 크기는 서로 같다. 반면에 2-입력 스태틱 CMOS NOR의 PMOS의 크기는 NMOS의 크기의 4배일 때 상승시간(rise time)과 하강시간(fall time)이 같아진다. 따라서 2-입력 스태틱 CMOS NOR는 입력 loading이 2-입력 스태틱 CMOS NAND보다 크다. 이러한 이유 때문에 지금까지 제안된 동기 카운터에서는 스태틱 CMOS NAND로직만을 사용하였다. 하지만 최근에 개발된 로직과 플립플롭을 병합하는 기술을 이용하면, NOR로직과 플립플롭을 병합함으로써 스태틱 CMOS NOR 로직에서 사용되던 직렬 연결의 PMOS 두 개를 삭제할 수 있다. 그림 3. (b)와 그림 4. (b)로부터 NOR 플립플롭은 입력단의 NMOS가 병렬 연결이고, NAND 플립플롭은 직렬 연결이라는 사실을 알 수 있다.

그림 3. (b)의 입력단의 ratioed 로직이 정상적으로 작동하려면, 클럭이 Low일 때, D1과 D2가 둘다 High이면, 입력단의 출력값은 다음 단에서 Low로 인식할 정도로 작아야 한다. 마찬가지로 그림 4. (b)의 입력단의 ratioed 로직이 정상적으로 작동하려면, 클럭이 Low일 때, D1과 D2 둘 중에서 하나라도 High이면, 입력단의 출력값은 다음 단에서 Low로 인식할 정도로 작아야 한다. 따라서, 클럭이 Low일 때, NAND 플립플롭과 NOR 플립플롭의 입력단이 올바르게 입력 데이터를 샘플링하려면 NAND 플립플립의 입력단의 NMOS는 NOR 플립플롭의 입력단의 NMOS의 크기의 약 2배가 되어야 한다. NAND 플립플롭의 입력단의 NMOS를 구동시키는 힘과 NOR 플립플롭의 입력단의 NMOS를 구동시키는 힘이 같다면, NAND 플립플롭의 setup time이 NOR 플립플롭의 setup time보다 길어진다. 전체적으로 볼 때 NAND를 사용한 동기 카운터보다 NOR를 사용한 동기 카운터가 더 높은 속도로 작동할 수 있다.

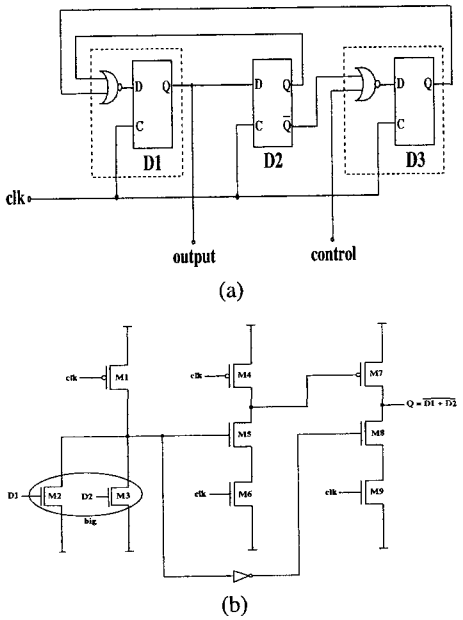


그림 4. 제안하는 고속 동기 카운터
(a) 전체 구조
(b) 간소화된 ratioed logic NOR플립플롭

Fig. 4. Proposed high-speed synchronous counter
(a) Overall structure
(b) Simplified ratioed logic NOR-FF

3) 작동 원리

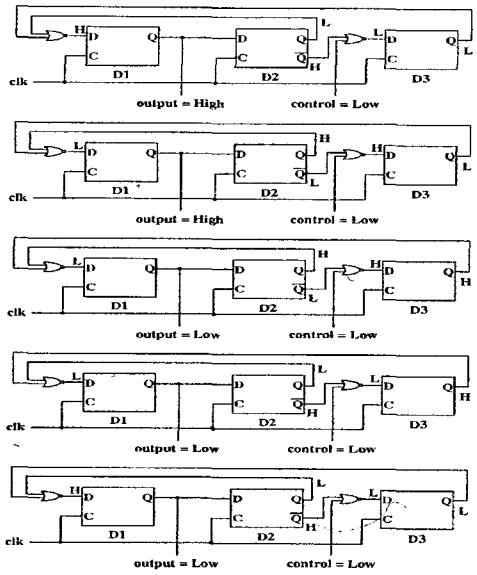
그림 5에서는 제안하는 동기 카운터의 작동원리를 도시하였다.

컨트롤 신호가 Low일 때 divide-by-5회로로, 컨트롤 신호가 High일 때 divide-by-4회로로 동작함을 알 수 있다. 그림 5. (a)로부터 divide-by-5회로로 동작할 때, 두 사이클 동안 High를 유지하고, 세 사이클 동안 Low를 유지한다는 사실을 알 수 있다.

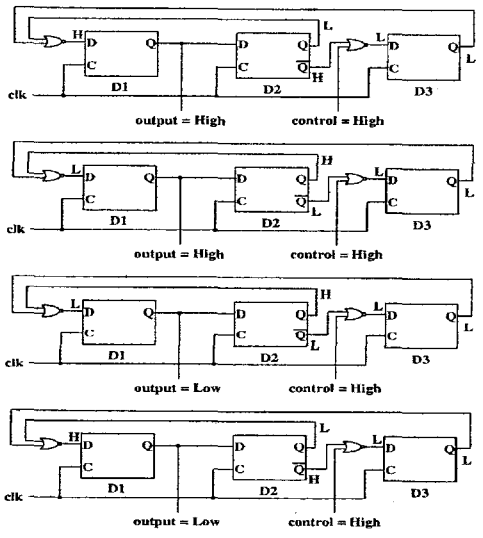
4) 작동 속도의 최적화

그림 5로부터 알 수 있듯이 divide-by-4회로는 그림 4. (a)의 D1과 D2가 동작하고, divide-by-5회로는 그림 4. (a)의 D1, D2, D3 모두가 작동한다. 따라서 고주파수 클럭이 들어올 때, 컨트롤 신호가 High일 때 divide-by-4회로로서 동작을 하게 되면, 컨트롤 신호가 Low일 때에도 divide-by-5회로가 동작을 한다. 그러므로 컨트롤 신호가 High일 때 divide-by-4회로에 고주파수 클럭이 입력될 때 작동하도록

D1과 D2의 트랜지스터 크기를 설계한 다음, D3의 트랜지스터 크기는 D1과 똑같이 설계하면 된다. control 신호가 High일 때, divide-by-4회로(즉 D1과 D2로 이루어진 회로)를 트랜지스터 레벨로 표기하면 그림 6과 같다.



(a)



(b)

그림 5. 제안하는 동기 카운터의 작동원리
(a) 컨트롤이 Low일 때 (divide-by-5)
(b) 컨트롤이 High일 때 (divide-by-4)

Fig. 5. Operation principle of the proposed synchronous counter.
(a) when control is Low (divide-by-5).
(b) when control is High (divide-by-4).

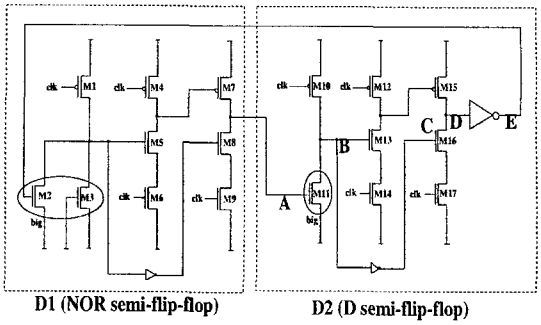


그림 6. 컨트롤이 High일 때, divide-by-4회로

Fig. 6. Divide-by-4 circuit when control is High.

D1과는 달리 D2에는 노드 D와 노드 E 사이에 인버터가 존재한다. 따라서 D1의 입력 노드 E로부터 D1의 출력 노드 A까지의 지연시간이 D2의 입력 노드 A로부터 D2의 출력 노드 E까지의 지연시간보다 더 짧다. D1과 D2의 지연시간을 서로 비슷하게 해주기 위해서 M15, M16, M17을 M7, M8, M9보다 약간 더 크게 설계한다.

2. 비동기 카운터

제안하는 128/129 dual-modulus 프리스케일러의 비동기 카운터는 그림 7과 같이 설계한다.

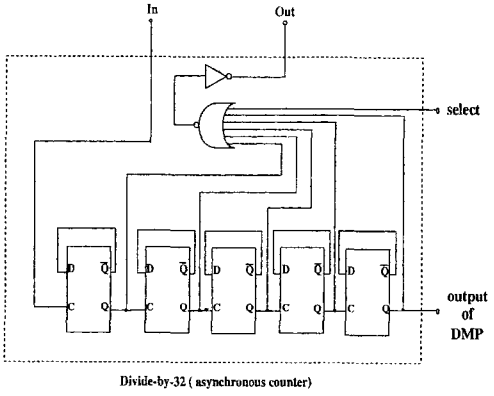


그림 7. 비동기 카운터의 블록도

Fig. 7. Block diagram of the asynchronous counter.

그림 7의 In은 동기 카운터의 출력 신호이고, Out은 동기 카운터의 컨트롤 신호이다. select신호의 값에 따라 동기 카운터에 입력되는 클럭주파수의 128분의 1 또는 129분의 1이 되는 신호를 output of DMP에서 얻을 수 있다. 기존의 dual-modulus 프리스케일러의 비동기 카운터와는 달리 인버터가 추가되었다. 본 논문이 제안하는 NOR를 이용한 동기 카운터는 기존의

NAND를 이용한 동기 카운터와는 반대로 컨트롤 신호가 High일 때 divide-by-4, 컨트롤 신호가 Low일 때 divide-by-5의 기능을 하기 때문이다. 비동기 카운터의 입력신호는 동기 카운터의 입력신호의 주파수의 4분의 1 또는 5분의 1의 주파수를 가지기 때문에, 사용되는 플립플롭은 고속일 필요는 없고, 저전력 특성이 요구된다. 따라서 그림 2의 (a)의 true-single-phase-clocking D-플립플롭의 입력과 출력을 연결한 T-플립플롭을 사용한다. 6-입력 NOR로직을 스태틱 로직으로 구현하면 T-플립플롭의 구동력이 떨어지므로 pseudo-NOR를 사용한다.

6-입력 pseudo-NOR의 PMOS와 NMOS의 크기는 다음과 같이 결정한다. 6개의 입력 중에서 하나의 입력이라도 High라면 출력 전압은 다음 단에서 Low로 인식하는 전압 (V_{OL})보다 낮은 값으로 떨어져야 한다. 그 순간 PMOS는 포화영역에서 동작하고, NMOS는 선형영역에서 동작한다. 따라서 다음과 같은 식이 성립한다[7].

$$\frac{\beta_p}{2}(V_{DD}-V_{THE})^2=\beta_n[V_{DD}-V_{THE})\cdot V_{OL}-\frac{V^2_{OL}}{2}]$$

윗 식이 성립하도록 적당한 PMOS와 NMOS의 크기를 선택한다.

Ⅳ. 모의 실험 결과

NOR 플립플롭의 입력단은 ratioed 로직이므로, PMOS의 게이트에 입력되는 클럭 신호가 Low일 때, NMOS의 게이트에 High전압이 입력되면 ratioed 로직의 출력전압은 V_{OL} ($\cong$ 0.6V)이 되어야 한다. (NMOS의 문턱전압이 0.7V이므로 VOL을 0.6V로 정한다.) NAND 플립플롭과 NOR 플립플롭의 입력단의 PMOS의 폭을 바꿔가면서 VOL이 0.6V가 되도록 할 때 입력단의 NMOS의 폭은 표 1과 같다.

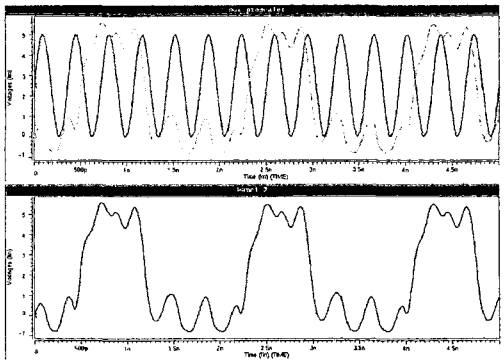
표 1. 입력단의 PMOS의 폭의 변화에 따른 입력단의 NMOS의 폭(단위 : μm)

Table 1. The width of NMOS in the input stage depending on the change of the width of PMOS in the input stage.

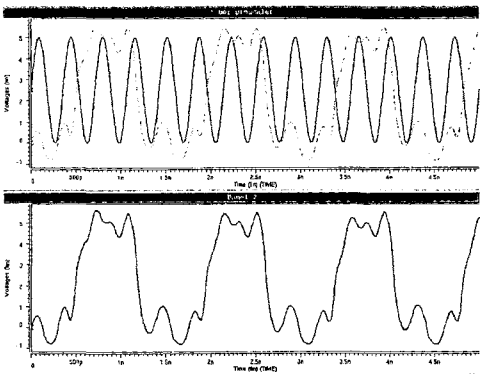
PMOS의 폭	4	6	8	10	12	14
NOR	5	7	10	13	15	18
NAND	9	14	19	24	29	34

NAND-플립플롭보다 NOR-플립플롭의 입력단의 NMOS의 폭이 더 작다는 것을 알 수 있다.

그림 8은 본 논문이 제안하는 동기 카운터가 정상 동작하는 것을 보여준다. 전원전압은 5V이고, 온도는 25° C이고 클럭 주파수는 2.8GHz이다. 높은 주파수에서 시뮬레이션하는 것이므로, 기생 인덕턴스를 무시할 수 없어서 Vdd와 GND에 각각 10nH의 인덕턴스를 직렬로 연결해서 시뮬레이션을 수행하였다. 그림 8. (a)에서 divide-by-5회로로 동작하고, 그림 8. (b)에서 divide-by-4로 동작하는데, divide-by-5로 동작할 때에는 그림 5. (a)에서 설명하였듯이 두 사이클 동안 High를 유지하고, 세 사이클 동안 Low를 유지한다.



(a)



(b)

그림 8. 동기 카운터의 정상 동작
(a) 컨트롤이 Low일 때, divide-by-5
(b) 컨트롤이 High일 때, divide-by-4

Fig. 8. Normal operation of synchronous counter.
(a) divide-by-5 when control is Low.
(b) divide-by-4 when control is High.

인덕턴스 성분을 고려함으로써 ringing이 발생하는 것을 그림 8로부터 관찰할 수 있다.

입력단의 PMOS의 폭이 14(m이고 전원전압이 5V일 때 온도의 변화에 따른 최대 작동 주파수는 그림 9와 같다.

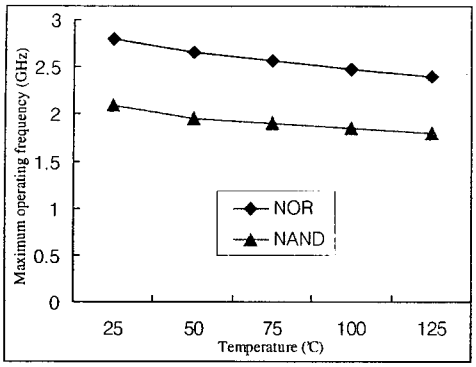


그림 9. 온도에 따른 최대 작동 주파수의 변화
Fig. 9. Maximum operating frequency with the variation of temperature.

기존의 dual-modulus 프리스케일러보다 제안하는 NOR-형태의 dual-modulus 프리스케일러의 최대 작동 주파수가 더 크고, 온도가 높아질수록 최대 작동 주파수는 작아지는 것을 알 수 있다.

입력단의 PMOS의 폭이 14μm이고 온도가 25° C 일 때 전원전압의 변화에 따른 최대 작동 주파수는 그림 10과 같다.

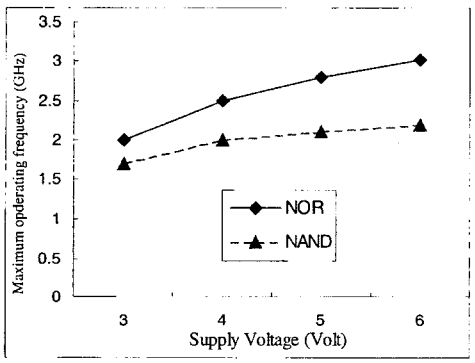


그림 10. 전원전압에 따른 최대 작동 주파수의 변화
Fig. 10. Maximum operating frequency with the variation of supply voltage.

그림 10으로부터 기존의 dual-modulus 프리스케일러보다 제안하는 NOR-형태의 dual-modulus 프리스케일러의 최대 작동 주파수가 더 크고, 전원전압이 높을수록 최대 작동 주파수가 높아진다는 것을 알 수 있다.

그림 11은 전원전압의 변화에 따른 각각의 최대 작동 주파수에서의 소비전력량을 보여준다.

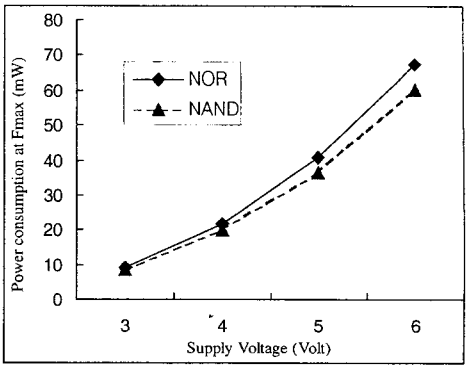


그림 11. 전원전압에 따른 최대 작동 주파수에서의 소비전력
Fig. 11. Power consumption at maximum operating frequency with the variation of power supply voltage.

그림 12는 전원전압이 5V일 때, 클럭 주파수를 변화시켜 가면서 소비되는 전력의 변화를 보여준다. 클럭 주파수가 높아질수록 소비전력량은 증가한다.

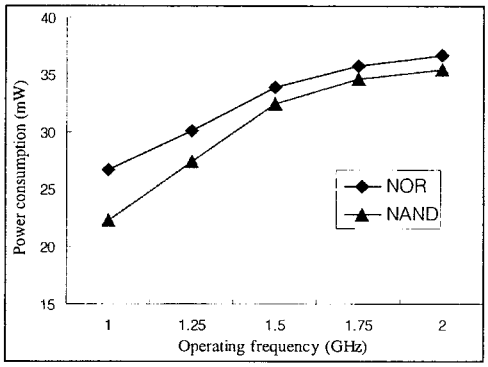


그림 12. 작동 주파수의 변화에 따른 소비전력
Fig. 12. Power consumption with the variation of operating frequency.

V. 결 론

본 연구에서는 기존의 dual-modulus 프리스케일러의 구조를 변형하여 고속 dual-modulus프리스케일러를 제안하고 모의실험하여 기존의 회로와 비교하였다. 제안한 dual-modulus 프리스케일러는 5V전원전압, 섭씨 25도의 온도에서 40.7mW를 소비하면서 최대

2.8GHz까지 동작한다. 모의실험을 해본 결과, 기존의 회로보다 약 30(정도 빠른 작동속도를 가진다. 앞으로 제안된 dual-modulus 프리스케일러를 사용하여 주파수 합성기를 구현하는 연구가 필요하다. 본 연구의 결과를 이용하면, 높은 주파수에서도 동작이 가능한 주파수 합성기의 구현이 가능할 것으로 기대된다.

부 록

C. Yang은 그의 논문[6]에서 그림 3. (a)를 D-플립플롭이라고 명명하였다. 그림 A-1에서 볼 수 있듯이 그림 3. (a)는 완벽한 플립플롭이라고 볼 수는 없다.

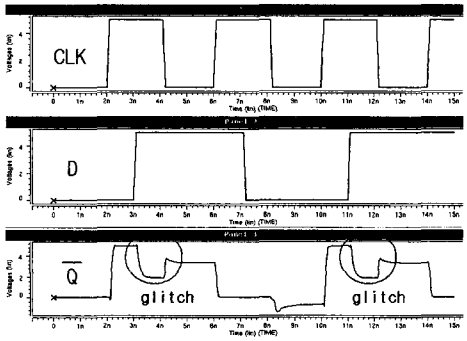


그림 A-1. C.Yang이 제안한 회로가 오동작할 경우

그러나 그의 회로를 고주파에서 동작하는 동기 카운터에 사용하면 그림 A-1과 같은 경우가 발생하지 않는다는 것을 그림 A-2로부터 알 수 있다. 그림 A-2는 그림 6의 회로에 높은 주파수를 가지는 클럭이 입력될 때 정상적으로 divide-by-4회로로서 동작함을 보여 준다.

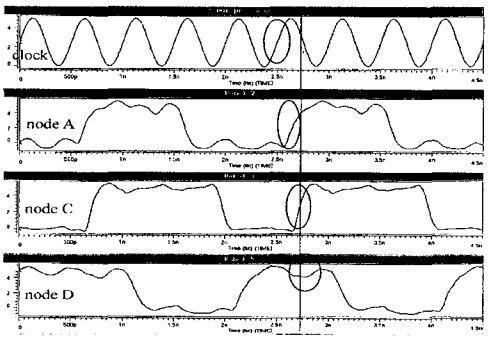


그림 A-2. C. Yang이 제안한 회로를 동기 카운터에 사용할 때 정상동작하는 원리

클럭이 상승하고 있을 때 노드 A가 High로 변하면 약간의 시간이 흐른 뒤에 노드 B가 Low로 변하고, 또다시 약간의 시간이 흐른 뒤에 노드 C가 High로 변한다. 이 순간 만약 클럭이 High전압을 유지하고 있다면 노드 D의 전압은 M16, M17을 통하여 방전하지만, 클럭의 주파수가 높기 때문에 노드 C의 전압이 High일 때 클럭은 Low전압상태에 있게 된다. 즉, 클럭 주파수가 높고 트랜지스터에 의한 지연시간 때문에, C. Yang의 회로를 동기 카운터에 사용하여도 정상동작을 하는 것이다.

그림 A-3은 5V의 전원전압에서 컨트롤 신호가 High일 때, 제안하는 NOR형태의 동기 카운터가 divide-by-4회로로 동작할 때, 입력되는 클럭의 주파수를 낮추어 가면서 출력 파형을 관찰한 그림이다.

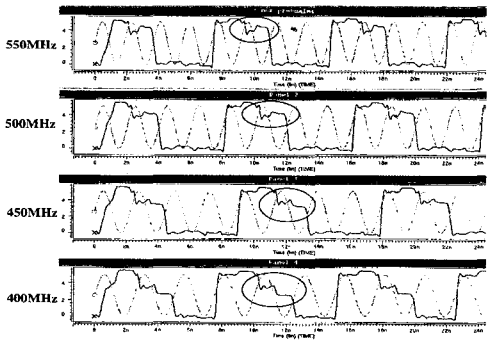


그림 A-3. Divide-by-4회로에 저주파 클럭을 인가할 때의 출력 파형

인가되는 클럭의 주파수가 낮아지면 오동작을 하는 것을 알 수 있다. 시뮬레이션 결과 440MHz보다 낮은 주파수의 클럭이 입력되면 오동작을 하는 것을 관찰하였다.

참 고 문 헌

[1] H. singh, et al., "GaAs prescalers and counters for Fast-settling frequency synthesizers," *IEEE J.Solid-State Circuits,* vol. 25, no. 2, pp. 239-245, Feb. 1990.

[2] Y. Yamauchi, et al., "A 15GHz monolithic two-modulus prescaler," *IEEE J. Solid-State Circuits,* vol. 26, no. 11, pp. 1632-1636, Nov. 1991.

[3] J. Yuan and C. Svensson, "High-Speed CMOS Circuit Technique," *IEEE J. Solid-State Circuits,* vol. 24, no. 2, pp. 62-70, Feb. 1989.

[4] B. Chang, J. Park, and W. Kim, "A 1.2GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Flip-Flops," *IEEE J. Solid-State Circuits,* vol. 31, no. 5, pp. 749-752, May 1996.

[5] Q. Huang and R. Rogenmoser, "Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks," *IEEE J. Solid-State Circuits,* vol. 31, no. 3, pp. 456-465, Mar. 1996.

[6] C. Yang, et al., "New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler," *IEEE J. Solid-State Circuits,* vol. 33, no. 10, pp. 1568-1571, Oct. 1998.

[7] R. Racob Baker, et al., *CMOS circuit design, layout, and simulation.* IEEE PRESS, pp. 242, 1998.

저 자 소 개

成 基 赫(學生會員)

1997년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학사). 1999년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1999년 3월~현재 한국과학기술원 전자전산학과 전기 및 전자공학 전공 박사과정. 주관심분야는 VLSI 회로 설계

金 利 燮(正會員)

1982년 서울대학교 전자공학과 학사. 1986년 Stanford University 전자공학과 석사. 1990년 Stanford University 전자공학과 박사. 1990~1993년 Toshiba Corporation 연구원. 1993년~현재 한국과학기술원 전자전산학과 전기및전자전공 부교수. 주관심분야는 멀티미디어 VLSI 설계, 저전력 설계, EML 설계, 3D Graphics