

論文2000-37SC-2-8

초고속 DRAM의 클럭발생 회로를 위한 CMOS 전류원의 설계기법

(Design Methodology of the CMOS Current Reference for a High-Speed DRAM Clocking Circuit)

金大井 *
(DaeJeong Kim)

요 약

본 논문에서는 표준 메모리 공정에 구현이 가능한 CMOS 전류원의 설계 기법에 대해 논한다. 제안하는 설계기법은 자기바이어스 기법을 활용하여 공급전압의 변화에 대해 매우 좋은 특성을 갖고, 새로운 온도보상 기법을 통해 온도변화에 대한 출력전류 변이의 일차성분을 제거할 수 있으며, 칩 내의 전압잡음에 강한 새로운 전류감지 스타트업 회로를 포함한다. 이러한 CMOS 전류원의 회로설계 기법과 함께 제안된 CMOS 전류원을 초고속 DRAM의 클럭 발생회로에 적용할 수 있는 방법에 대해서도 논의한다. 본 논문에서 제안된 CMOS 전류원의 설계기법은 해석적인 방법과 함께 회로 시뮬레이션을 통해 그 유용성을 입증한다.

Abstract

This paper describes a design methodology for the CMOS current source which can be implemented in standard memory process. The proposed techniques provide a good characteristic against the power-supply variation by utilizing a self-bias circuit and the reduction of the first-order component of the temperature variation through the new temperature compensation technique and include a new current-sensing start-up circuit enabling a robust operation against the voltage noise generated during the operation of the chip. In addition to the circuit-design technology, techniques where the proposed CMOS current-reference circuit can be applied to the clocking circuits of a very high-speed DRAM are presented. The feasibility of the suggested design methodology for the CMOS current reference is demonstrated by both the analytical method and the circuit simulation.

I. 서 론

최근의 초고속 DRAM에서는 데이터의 샘플링 window가 점점 좁아짐에 따라 데이터와 시스템 클럭과의 동기화가 칩의 고속동작의 성능을 좌우하는 매우 중요한 관건이 되었다.^[1] 어떤 경우에는 시스템 클럭

edge의 위치가 데이터의 edge와 일치되는 것이 요구되기도 한다.^[2] 이러한 목적을 달성하기 위해서는 DRAM 칩에 입력되는 시스템 클럭이 칩 내부의 입력 버퍼나 출력버퍼를 통과할 때 발생하는 지연시간을 보상할 수 있는 내부 클럭 회로가 필요하며, 이를 위해서는 (-)의 지연시간을 구현할 수 있는 DLL(delay-locked loop)의 사용이 필수적으로 요구된다.^{[1]-[2]} DLL은 PLL과는 달리 내부에 VCO(voltage-controlled oscillator)가 없기 때문에 2차이상의 PLL보다 절대적으로 안정된 동작을 하며 PLL에서와 같이 jitter 누적(accumulation) 등의 문제점도 보이지 않

* 正會員, 國民大學校 電子工學部
(School of Electronics Engineering, Kookmin University)

接受日字:1999年 8月2日,수정완료일:2000年 2月11日

는다.^[1] 따라서 시스템에서 안정된 주파수를 가지는 클럭이 공급될 때는 PLL보다 DLL을 사용하는 것이 바람직하다. 근래에는 이러한 DLL을 장착한 고속 DRAM들이 상품화되고 있으며 여기에 사용되는 DLL의 jitter 특성 등에 의한 회로의 불확실성(uncertainty)은 그 제품의 품질을 좌우하는 매우 중요한 항목이다. DLL은 회로의 구현방법에 따라 디지털 방식과 아날로그 방식이 있다. 아날로그 방식은 대기전류(standby current) 소모가 큰 단점이 있기는 하나 jitter 특성이 일반적으로 디지털 방식에 비해 우수하므로 500Mbps 이상의 초고속 DRAM에서는 아날로그 방식의 DLL이 선호되고 있다.

이러한 아날로그 회로의 jitter의 주요한 원인이 되는 것은 공급전압의 변이나 온도의 변화에 따른 회로 특성의 변화이다. 이를 극복하기 위해서는 아날로그 회로에 공급되는 전류가 이러한 변이에 둔감한 특성을 가져야 하므로 그림 1의 바이어스 발생부에서는 정전류원이나 정전압원을 발생하여 주요한 아날로그 회로부인 전하펌프(charge pump)와 위상믹서(phase mixer)에 공급해 준다. 바이어스 발생부분은 칩의 대기전류 소모를 줄이기 위해 매우 작은 전류를 소모하므로 칩 내에서 발생하는 기판전압 잡음이나 기타 전압잡음에 매우 약하다. 따라서 칩 내에서는 되도록 다른 회로블록과 고립하여 배치하므로 출력전류 I_{ref} 는 칩 내에서 먼 거리를 달려서 여러 아날로그 회로블록에 공급된다. 전압잡음을 사용하는 경우는 칩 내부에 많이 발생하는 전압잡음에 의해 출력전압을 형성하는 트랜지스터의 게이트-소오스 전압이 변하므로 출력전류가 달라져서 위상 믹서나 전하펌프의 특성이 변하여 jitter의 원인이 되지만, 전류원을 사용하는 경우는 드레인 노우드에 가해지는 전압잡음이 출력전류에 큰 영향을 미치지 않으므로 칩 내부의 전압잡음에 대해 매우 강하다.

Rambus DRAM과 같은 초고속 DRAM에서 입력 데이터와 출력 데이터의 클럭에 대한 skew를 각각 보상하기 위해서 두 개의 DLL을 사용하는 경우 바이어스 발생부는 대개 공통으로 사용한다. DLL의 대기전류를 최소화하기 위해서는 바이어스 발생부에서 소모되는 전류를 수 백 pA 정도로 제한하므로 바이어스 발생부의 동작은 공급전압선이나 기판(substrate)을 타고 들어오는 잡음에 영향을 많이 받는다. 따라서 이러한 바이어스 발생부는 다른 블록과 분리해서 배치하

는 것이 유리하므로 일반적으로 출력단인 M1, M2의 드레인 노우드는 수 백 μm 이상의 거리를 지나가는 것이 보통이다.

그림 1과 같이 정전류 I_{ref} 를 전하펌프부나 위상믹서에 공급하는 경우는 그림 2와 같이 전류반복기(current mirror)를 구성하는 트랜지스터 M1, M2가 바이어스 발생부(bias generator)의 출력단에 존재하여 전하펌프부나 위상믹서 회로의 꼬리전류(tail current)를 공급한다. 이 때 출력 임피던스가 큰 트랜지스터의 드레인을 통한 전류공급이 이루어지므로 칩 내의 전압잡음에 강한 동작특성을 갖는다.

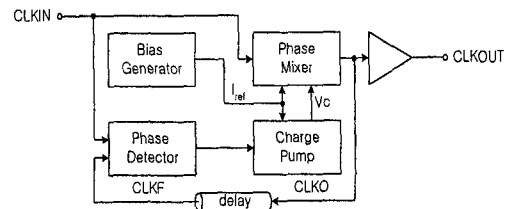


그림 1. 아날로그 DLL의 블록도
Fig. 1. Block diagram of an analog DLL.

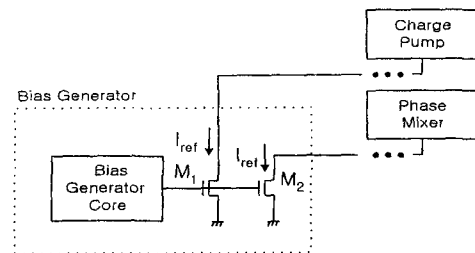


그림 2. 바이어스 단으로부터의 전류원의 공급
Fig. 2. Reference current sources supplied by the bias stage.

II. CMOS 정전류원의 회로설계기법

1. 정전류원 설계의 개념

서론에서 살펴본 바와 같이 고정밀 아날로그 DLL에서 정전류원의 사용은 필수적이다. 본 논문에서는 공급전압의 변화에는 출력전류가 거의 영향을 받지 않으며, 온도변이에 따른 전류량의 변화를 상쇄하여 정전류원을 설계하는 기법을 다룬다.

먼저 공급전압의 변화와 무관한 전류원을 만들기 위해서는 자기바이어스(self-bias) 회로기법을 사용하여 바이어스 전류를 발생시키며,^[3] 온도변화와 무관한 전류원을 만들기 위해서는 상쇄전류를 발생시키는 전

류상쇄부를 도입한다.^[4] 그림 3과 그림 4에서 I_{bias} 는 이러한 자기바이어스 회로의 출력전류를 나타내고 I_{cmp} 는 전류상쇄부의 출력전류를 나타낸다.

그림 3과 그림 4에서와 같이 출력전류는 바이어스 전류 I_{bias} 와 상쇄전류 I_{cmp} 의 차이에 해당하는 전류가 전류복사기를 통해 공급된다. 그림 5는 이와 같은 개념의 설계기법을 이용한 제안하는 전류원의 회로도이다.

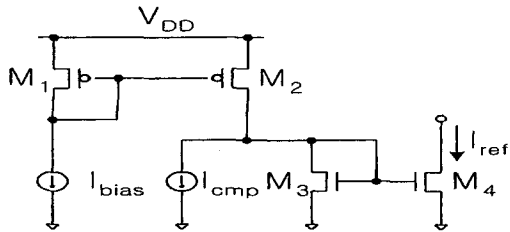


그림 3. 전류싱크의 개념도

Fig. 3. Simplified schematic of a current sink.

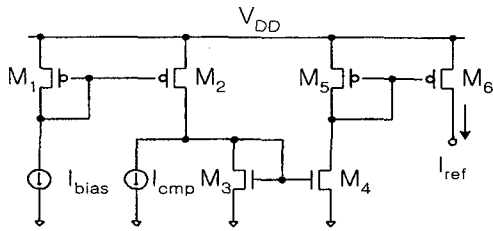


그림 4. 전류원의 개념도

Fig. 4. Simplified schematic of a current source.

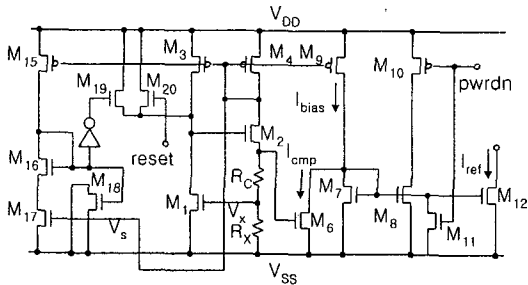


그림 5. 제안하는 정전류원 회로

Fig. 5. Proposed current-reference circuit.

위의 회로에서 $M_1 \sim M_4$ 및 R_x 와 R_c 로써 구성되는 바이어스 회로는 공급전압과 무관한 바이어스 전류 I_{bias} 를 공급하는 역할을 한다. M_1 , M_2 , R_x , R_c 로써 이루어지는 부분은 변형된 Wilson current source로써 M_2 의 드레인에서의 출력 임피던스가 증가한다. 가장 손쉽게 바이어스 회로를 구현하는 방법은 M_3 , M_4 를 저항으로 대체하여 전원인가시 공급전압 V_{DD} 의

증가에 따른 전류가 흘러서 회로가 시작되도록 하는 것이겠으나, 이 경우 바이어스 전류는 공급전압의 변화에 따라 변화하므로 공급전압과 무관한 I_{bias} 를 발생하지 못한다. M_3 , M_4 와 같이 트랜지스터 부하를 구성하고 M_1 과 R_x 로써 자기바이어스 회로를 구현했을 때는 I_{bias} 가 공급전압의 변화와 무관한 특성을 얻을 수 있다.

M_6 트랜지스터는 온도보상을 위한 상쇄부에 해당하며 상쇄전류 I_{cmp} 를 발생한다. M_6 의 게이트는 W/L 의 비의 조절과 함께 R_c 저항 값의 조절에 의해 I_{cmp} 의 바이어스 크기를 결정할 수 있는 자유도를 갖는다.

$M_{15} \sim M_{20}$ 및 한 개의 반전기(inverter)로써 구성되는 회로 부분은 자기바이어스 회로를 시작 시켜주기 위한 제안하는 전류감지 스타트업 회로이다.

$Pwrndn$ 신호는 대기 전류를 소모하면서 동작하고 있는 아날로그 회로 부분의 전류공급을 차단함으로써 칩이 전력절약모드(power-down mode)에 들어가도록 해 주는 신호이다. $Pwrndn$ 이 로직 "high"가 되면 I_{bias} 와 I_{cmp} 의 차이에 해당하는 크기의 전류를 M_{11} 이 흘려주어 M_7 , M_8 , M_{12} 의 전류를 차단한다.

2. 정전류원 회로의 온도보상기법

그림 5의 제안하는 회로의 온도변이에 대한 상쇄기법은 다음과 같다. 트랜지스터의 온도변화에 대한 특성은 문턱전압(threshold voltage) V_T 와 전자의 이동도(mobility) μ 에 큰 영향을 받는다. 온도변이에 의한 변화량이 가장 작도록 설계하고자 하는 목표온도를 T_0 라 할 때 온도의 변화량을 $T - T_0$ 의 변수로써 정의한다. 이 때, $T = T_0$ 에서의 nMOS 트랜지스터의 문턱전압을 V_{T0} , 전자의 이동도를 μ_0 로써 나타낸다. 자기바이어스 회로를 구성하는 M_1 의 문턱전압을 $T - T_0$ 의 변수로써 나타내면 식 (1)과 같다.

$$V_T = V_{T0} + V_{T1}(T - T_0) + V_{T2}(T - T_0)^2 \quad (1)$$

여기서 $T - T_0$ 의 일차성분과 이차성분의 계수는 각각 V_{T1} 과 V_{T2} 로써 표시되었다. 삼차이상의 성분은 그 크기가 일차성분이나 이차성분에 비해 작으므로 무시하였다. 바이어스 발생부의 대기전류를 줄이기 위해 M_1 트랜지스터의 게이트전압 V_x 를 V_T 에 가깝게 설계하면, M_1 과 R_x 로써 구성되는 자기바이어스 회로의 출력 바이어스 전류 I_{bias} 는 식 (2)와 같이 나타내어진다.

$$I_{bias} \approx \frac{V_T}{R_X} = \frac{V_{T0}}{R_X} + \frac{V_{T1}}{R_X}(T - T_0) + \frac{V_{T2}}{R_X}(T - T_0)^2 \quad (2)$$

식 (2)의 계수들은 식 (3)과 같이 간략히 표시할 수 있다.

$$I_{bias} = I_{bias0} + I_{bias1}(T - T_0) + I_{bias2}(T - T_0)^2 \quad (3)$$

여기서 식 (2)로부터

$$\begin{aligned} I_{bias0} &= \frac{V_{T0}}{R_X} \\ I_{bias1} &= \frac{V_{T1}}{R_X} \\ I_{bias2} &= \frac{V_{T2}}{R_X} \end{aligned}$$

이다.

전류상쇄부를 구성하는 M₆ 트랜지스터의 보상전류 I_{cmp}를 T-T₀의 함수로써 표시하면 다음과 같다. 먼저 전자의 이동도는 식 (4)와 같이 T-T₀에 관한 함수로써 표시된다.

$$\mu \approx \mu_0 + \mu_1(T - T_0) + \mu_2(T - T_0)^2 \quad (4)$$

M₆가 포화영역(saturation region)에서 동작하도록 바이어스를 잡으면,

$$\begin{aligned} I_{cmp} &= \left(\frac{C_{ox}W}{2L} \right) \mu \cdot \left[(V_T + \frac{R_C}{R_X} V_T) - V_T \right]^2 \\ &= \left(\frac{C_{ox}W}{2L} \right) \left(\frac{R_C}{R_X} \right)^2 \cdot \\ &\quad [\mu_0 + \mu_1(T - T_0) + \mu_2(T - T_0)^2] \cdot \\ &\quad [V_{T0} + V_{T1}(T - T_0) + V_{T2}(T - T_0)^2]^2 \end{aligned} \quad (5)$$

가 된다. 식 (5)에 나타난 온도변수에 대한 계수를 간략히 표시하여 식 (6)과 같이 나타낼 수 있다.

$$I_{cmp} = I_{cmp0} + I_{cmp1}(T - T_0) + I_{cmp2}(T - T_0)^2 \quad (6)$$

여기서

$$\begin{aligned} I_{cmp0} &= \left(\frac{C_{ox}W}{2L} \right) \left(\frac{R_C}{R_X} \right)^2 \mu_0 V_{T0}^2 \\ I_{cmp1} &= \left(\frac{C_{ox}W}{2L} \right) \left(\frac{R_C}{R_X} \right)^2 (2\mu_0 V_{T0} V_{T1} + \mu_1 V_{T0}^2) \\ I_{cmp2} &= \left(\frac{C_{ox}W}{2L} \right) \left(\frac{R_C}{R_X} \right)^2 \{ \mu_0 \cdot (V_{T1}^2 + 2V_{T0} V_{T2}) \\ &\quad + 2\mu_1 V_{T0} V_{T1} + \mu_2 V_{T0}^2 \} \end{aligned}$$

이다.

식 (3)과 식 (6)으로부터 출력전류

$$\begin{aligned} I_{ref} = I_{bias} - I_{cmp} &= (I_{bias0} - I_{cmp0}) + (I_{bias1} - I_{cmp1}) \\ &\quad (T - T_0) + (I_{bias2} - I_{cmp2})(T - T_0)^2 \end{aligned} \quad (7)$$

로 나타내어진다. 온도의 일차성분이 상쇄되는 조건인

$I_{bias1} = I_{cmp1}$ 를 만족하기 위해서는 식 (2)와 식 (6)으로부터

$$\left(\frac{W}{L} \right)_6 = \frac{2R_X V_{T1}}{C_{ox} R_C^2 (2\mu_0 V_{T0} V_{T1} + \mu_1 V_{T0}^2)} \quad (8)$$

로 설정함으로써

$$I_{ref} = (I_{bias0} - I_{cmp0}) + (I_{bias2} - I_{cmp2})(T - T_0)^2 \quad (9)$$

가 되어 온도에 대한 일차성분이 상쇄된다.

식 (8)은 I_{cmp1}의 크기를 변화시켜 I_{bias1}과 일치시키기 위해서는 (W/L)₆ 비를 조절함으로써 가능함을 보여준다. 또한, 출력전류의 T=T₀에서의 크기인 I_{ref0}의 크기는 식 (9)에 나타난 바와 같이 I_{bias0}와 I_{cmp0}의 크기에 의해 결정되는 바, 식 (6)에서 R_C/R_X 비를 조절함으로써 I_{ref0}의 값을 원하는 값으로 설정할 수 있다.

3. 컴퓨터 시뮬레이션에 의한 설계 기법

2절에서 살펴본 바와 같이 온도에 대한 일차성분을 구성하는 성분은 전하이동도, 문턱전압, 게이트 캐패시턴스와 같은 소자특성과 관련되는 항과 R_X, R_C 및 (W/L)₆ 비와 같이 설계적으로 다룰 수 있는 항으로써 구성된다. 이러한 공정변수들의 값을 주어진 공정 파라미터로부터 구하여 식 (8)에 의해 온도보상을 위한 (W/L)₆ 비를 구하는 것은 쉬운 일이 아니므로 회로 설계자는 주어진 소자의 종합적인 모델 파라미터를 사용하여 회로 시뮬레이션을 행함으로써 온도보상을 위한 (W/L)₆ 비를 구해내는 기법이 필요하다.

본 절에서는 주어진 공정하에서 I_{cmp}의 일차성분과 I_{bias}의 일차성분을 같게 함으로써 일차성분이 상쇄된 출력전류 I_{ref}를 발생하기 위해 컴퓨터를 이용한 회로 시뮬레이션을 반복 수행하여 (W/L)₆ 비를 정하는 기법을 설명한다. 칩 동작이 보장되는 온도 영역의 최저점 및 최고점을 각각 T_a, T_b라 할 때, 회로 시뮬레이션을 행하여 I_{bias}(T=T₀), I_{bias}(T=T_a), I_{bias}(T=T_b), I_{cmp}(T=T₀), I_{cmp}(T=T_a), I_{cmp}(T=T_b)를 각각 구한다. 이 결과로부터 식 (10)과 같이 I_{bias0}, I_{bias1}, I_{cmp0}, I_{cmp1}을 구한다.

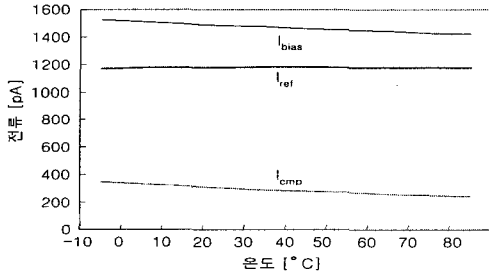
$$\begin{aligned}
 I_{bias0} &= I_{bias}(T=T_0) \\
 I_{bias1} &\approx \frac{I_{bias}(T=T_b) - I_{bias}(T=T_a)}{T_b - T_a} \\
 I_{cmp0} &= I_{cmp}(T=T_0) \\
 I_{cmp1} &\approx \frac{I_{cmp}(T=T_b) - I_{cmp}(T=T_a)}{T_b - T_a}
 \end{aligned} \quad (10)$$

반복적인 회로 시뮬레이션의 수행을 통해 (W/L)₆을 변화시켜서 $I_{bias1} = I_{cmp1}$ 이 되도록 한다.

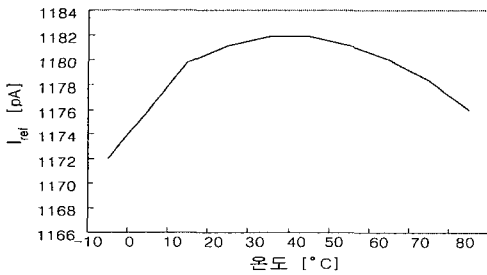
그림 6은 제안한 기법을 통해 그림 5의 회로에서 온도의 변이에 따른 출력전류의 변화를 hspice로써 시뮬레이션 하여 검증한 결과이다. 그림 6의 결과에서부터 I_{ref} 은 온도의 일차성분이 상쇄되어 2차이상의 성분만이 남아 있으며 T_0 는 30°C 근처에 있음을 알수 있다. 위 회로의 온도계수를

$$TC_F = \frac{1}{I_{ref}} \frac{\partial I_{ref}}{\partial T} \quad (11)$$

로써 정의하면 시뮬레이션 결과는 약 -80ppm/°C를 보인다.



(a)



(b)

그림 6. 온도변화에 따른 바이어스 전류의 변화
(a) 내부 바이어스전류 및 출력전류
(b) 출력전류의 상세 파형

Fig. 6. Variation of bias currents with temperature.
(a) Internal bias currents and output current.
(b) Detailed waveform of output current.

그림 5의 M_1 과 R_x 로 이루어지는 자기바이어스 전류 발생 부분에서 M_1 의 게이트와 저항이 연결된 노

우드 V_x 와 I_{bias} 의 관계를 통해 동작점을 살펴보자. 본 회로에서는 M_1 은 포화영역에서 동작하도록 바이어스 되어 있으므로 M_1 의 드레인 전류는

$$I_d = \frac{\beta_N}{2} (V_{GS} - V_T)^2 = \frac{\beta_N}{2} (V_x - V_T)^2 \quad (12)$$

이 된다. 여기서 β_N 은 전류상수이고, V_{GS} 는 게이트-소스 간의 전압이며, V_T 는 nMOS 트랜지스터의 문턱전압이다. 저항 R_x 를 통해 흐르는 전류는

$$I_R = \frac{V_x}{R_x} \quad (13)$$

로써 표시된다. pMOS 부하 트랜지스터인 M_3 와 M_4 가 같으면 M_1 과 저항에는 같은 전류 I_{bias} 가 흐르므로 식 (12)와 식 (13)에서의 I_d 와 I_R 의 교점에서 동작점이 형성된다. 그림 7은 M_1 과 R_x 에 의해 형성되는 동작점을 나타낸다.

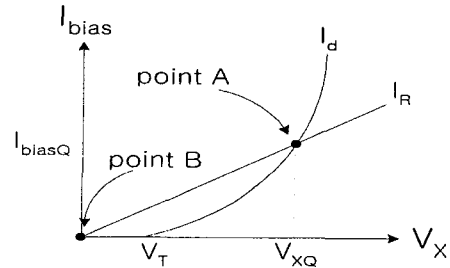


그림 7. 동작점의 결정

Fig. 7. Determination of operating point.

위 그림에서 point A는 회로가 정상적인 바이어스 상태에서 동작할 때의 동작점이고, point B는 제로전류 상태 (zero-current state)이다. 회로가 point A에서 정상동작 하면 자기바이어스에 의해 I_{bias} 는 공급전압과 무관한 크기가 된다. 그림 8은 제안하는 회로가 25°C의 정상상태에서 동작할 때의 공급전압의 변화에 따른 출력전류의 변이를 회로 시뮬레이션 한 결과이다.

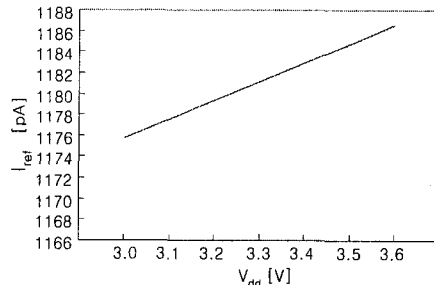


그림 8. 공급전압의 변화에 따른 출력전류의 변화

Fig. 8. Variation of output current with supply voltage.

공급전압 변이의 영향을 상쇄시키는 정도를 나타내는 척도의 파라미터로서

$$PSRR = 20 \log \left(\frac{\Delta V_{dd}/V_{dd}}{\Delta I_{ref}/I_{ref}} \right) \quad [dB] \quad (14)$$

를 정의하면 제안하는 회로는 3.3V 공급전압의 약 $\pm 10\%$ 의 변화에 대해 24.6dB의 PSRR을 보인다.

그림 2의 아날로그 DLL의 전하펌프부와 위상믹서 회로에 공급되는 꼬리전류의 크기는 DLL의 록킹범위(locking-range)와 록킹시간(locking time)을 고려하여 일반적으로 약 $100 \mu A$ 정도의 크기로 구현된다. 본 논문에서 제안하는 정전류원을 사용하여 전류복사기를 통해 $100 \mu A$ 의 꼬리전류를 구현한다면, 식 (11)에 근거하여 $120^\circ C$ 온도변화에 의한 $80 \text{ppm}/^\circ C$ 의 온도계수는 약 $1 \mu A$ 의 전류 변화량을 일으킨다. 또한 그림 8의 결과에서 보듯이 공급전압의 변이에 의한 전류의 변화량은 약 $1 \mu A$ 가 되므로, 온도와 공급전압의 변화에 의한 꼬리전류의 전체 변화량 ΔI_{ref} 는 약 $2 \mu A$ 가 된다. 전하펌프부에서 한 cycle에서의 오차전하의 공급으로 인해 발생하는 전하펌프부 출력전압 오차 ΔV 를 전하펌프부의 출력 캐패시턴스 C 및 클럭주기 T 로써 다음과 같이 나타낼 수 있다.

$$\Delta V = \frac{\Delta I_{ref} T}{C} \quad (15)$$

클럭주기 $T=2 \text{ns}$ 이고, 전하펌프부의 출력 캐패시턴스 $C=1 \text{pF}$ 인 경우, $\Delta V=4 \text{mV}$ 가 된다. 위상믹서 부의 입력전압에 따른 출력 위상의 이득을 $500 \text{ps}/V^{(1)}$ 로 설계한다면, 4mV 의 오차전압에 의한 DLL의 jitter는 약 2ps 이다. 일반적으로 초고속 DRAM에서 요구되는 DLL의 jitter 특성이 약 $100 \text{ps}^{(1)}$ 정도이므로 제안하는 정전류원은 초고속 DRAM의 응용에 적합하다고 할 수 있다.

최근에 발표된 CMOS 정전압원의 온도 특성이 $30 \text{ppm}/^\circ C \sim 200 \text{ppm}/^\circ C$ 이며,^{[6]-[8]} 이 중 표준 DRAM 공정으로 구현된 정전압원의 경우^[6] $185 \text{ppm}/^\circ C$ 의 온도계수를 보인다. 정전압원 또는 정전류원으로 사용되는 기존의 방법은 많은 경우 밴드갭 기준(bandgap reference) 방식으로서 바이폴라 트랜지스터나 다이오드가 필연적으로 필요한 데,^[7] 이를 구현하기 위해 CMOS 공정에서는 측면(lateral) PNP나 기판(substrate) PNP 등의 기생(parasitic) 바이폴라 트

랜지스터를 사용해야 한다. 그러나 이러한 방법은 DRAM과 같이 RAS 사이클(cycle) 시 수 kbit의 비트라인 감지증폭기(bit-line sense amplifier)가 동시에 동작하는 경우 수 백 mV의 전압 잡음이 기판을 타고 정전류원에 영향을 줄 수 있으며, 기판을 통해 대기전류가 흘러야 하므로 래치업(latch-up) 등의 신뢰성(reliability) 측면에서도 바람직하지 않다. 또 다른 방법으로는 CMOS 공정에서 MOSFET의 문턱전압(threshold voltage)의 차이를 이용하는 방법이 있는데,^[8] 이 경우 추가의 mask가 필요하여 표준 CMOS 공정에서 구현하기가 곤란하다. 본 논문의 설계기법은 표준 DRAM 공정에 완벽하게 적용할 수 있으며, 그 특성도 기존의 다른 방법에 비교할 수 있는 수준이라고 할 수 있다.

III. 전류 감지 스타트업 회로

II장에서 살펴본 바와 같이 M_1 과 R_x 로써 구성되는 자기바이어스 회로는 공급전압과 무관한 바이어스 전류를 발생시킨다. 그러나 이 경우는 전원인가시 회로의 동작이 공급전압의 크기와 무관하므로 회로가 원하는 동작점에 있지 못하고 꺼져서 그림 7의 point B에서와 같이 제로전류 상태에 있게 된다. 여기를 벗어나서 회로의 동작점을 원하는 지점인 point A로 옮기기 위해서는 외부에서 전류를 주입하는 스타트업(start-up) 회로를 사용하여야 한다. 그림 5의 제안하는 회로에서 $M15 \sim M20$ 및 반전기로써 구성되는 부분이 본 논문에서 제안하는 전류감지 스타트업 회로이다.

이러한 기능을 수행하는 스타트업 회로는 크게 정적 스타트업 회로(static start-up circuit)와 동적 스타트업 회로(dynamic start-up circuit)로 나뉜다.^[5] 그림 9는 정적 스타트업 회로와 동적 스타트업 회로의 개념적인 회로도이다.

그림 9 (a)의 정적 스타트업 회로는 전원인가시 회로가 제로전류 상태에 있을 경우, n1 노우드가 nMOS 트랜지스터의 문턱전압보다 낮은 전압을 형성하므로 D_1 다이오드가 "on" 되어 n1의 전압을 부스팅(boosting)시키고 회로는 제로전류 상태를 빠져나간다. 일단 원하는 동작점에 도달하면 n1의 전압이 높아져서 D_1 은 역방향 바이어스 되어 스타트업 부분과 바이어스 회로 부분이 분리된다. 이 방법은 저항과 다이오드들의 연결로써 이루어지는 경로에 항상 대기전류가 흐르므로

정적 전류소모가 커진다.

그림 9 (b)와 같은 동적 스타트업 회로는 칩이 켜질 때 동작되는 전원인가 과정(power-up sequence) 중에 발생하는 reset 신호를 사용한다. Reset 신호는 전원전압이 전원인가 될 때만 한 개의 펄스 형태로 동작하여 M1을 "on" 시키고 사라지므로 일단 회로가 동작하게 되면 M1은 "off" 되고 더 이상 동작하지 않는다. 따라서 회로가 정상동작 중일 때는 전류소모가 생기지 않으므로 매우 효과적인 방법이라 할 수 있다. 그러나 회로가 동작 중에 전원회로의 공급전압이나 출력단에 형성되는 잡음에 의해 전원회로가 꺼졌을 때는 다시 전원인가 과정을 시작해야만 회로를 동작시킬 수 있다.

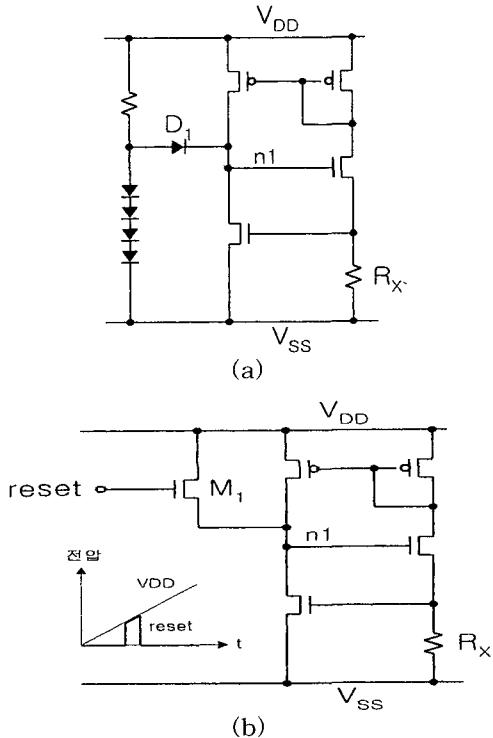


그림 9. 기존의 스타트업 회로
 (a) 정적 스타트업 회로
 (b) 동적 스타트업 회로
 Fig. 9. Conventional start-up circuit.
 (a) static start-up circuit.
 (b) dynamic start-up circuit.

이러한 기존 회로들의 단점을 보완하기 위해 바이어스 회로의 전류를 감지하여 정상 동작상태에서는 꺼져 있다가 바이어스 전류가 없어지는 제로전류 상태에서 스타트업 부분을 활성화시키는 제안하는 전류감지 스타트업 회로의 개념도를 그림 10에 나타내었다.

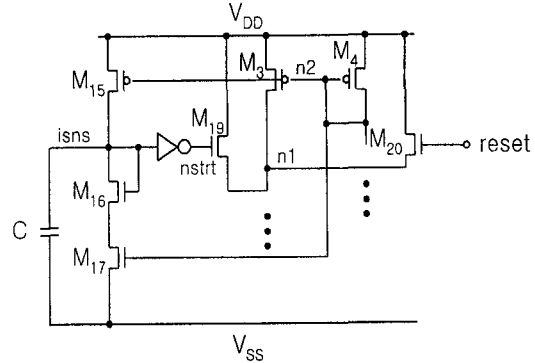


그림 10. 제안하는 전류감지 스타트업 회로
 Fig. 10. Proposed current-sensing start-up circuit.

M3, M4는 그림 5의 제안하는 회로의 바이어스 전류 발생부의 부하 트랜지스터(load transistor)이며, M15~M20 및 반전기는 본 논문의 전류감지 스타트업 회로부를 구성한다. 위 그림에서와 같이 M3, M4, M15는 전류복사기를 구성하여 M15는 M3, M4와 같은 전류구동능력을 가지는 트랜지스터인 반면, M16, M17은 구동능력이 매우 약한 트랜지스터로써 구성된다. 전류감지 스타트업 회로는 M15를 통해 바이어스 전류가 흐르는지 제로전류 상태인지를 감지한다. M3, M4에 정상적인 바이어스 전류가 흐를 때는 이를 M15가 감지하여 전류를 isns 노우드에 공급하며, 이 때 n2 노우드의 전압은 pMOS를 충분히 "on" 시킬 정도로 낮은 전압이므로 M17의 게이트전압이 낮아져 M16, M17 경로로는 전류가 거의 흐르지 못하고 isns 노우드를 VDD로 충전시킨다. 이 경우 반전기의 출력전압은 "low"이므로 M19는 "off" 되어 바이어스 회로에 영향을 미치지 않는다. 그러나 어떤 원인에 의해 동작 중에 공급전압이나 전압잡음에 의해 전원회로가 "off" 되어 제로전류 상태로 들어갔을 때는 M3, M4에는 전류가 흐르지 않고, M15는 제로전류를 감지한다. 이 경우 n2 노우드는 pMOS 트랜지스터가 "off" 될 정도로 높은 전압을 유지하므로 M17은 충분히 "on" 되고 M16, M17의 전류 경로를 통해 isns 노우드는 반전기의 로직 문턱전압(logic threshold voltage) 이하로 방전된다. 이로 인해 인버터 출력은 로직 "high" 상태가 되어 스타트업 트랜지스터 M19를 "on" 시켜서 회로를 정상적인 바이어스 상태로 진입시킨다. 일단 회로가 바이어스 전류를 흘리면 앞서 설명된 동작에 의해 다시 회로동작이 시작된다. 본 회로의 경우는 칩의 스타트업 시부터 회로를 안정적으로 동작시키기 위해

그림 9 (b)와 같은 동적 스타트업 트랜지스터가 M20으로써 포함되어 있다. 그림 11은 제안하는 그림 5의 회로가 전원인가 과정에 의해 켜지고, 또한 동작 중 회로가 전압잡음에 의해 꺼졌을 때 제로전류 상태를 감지하여 회로를 재시작 시키는 동작을 hspice로써 시뮬레이션 한 결과이다.

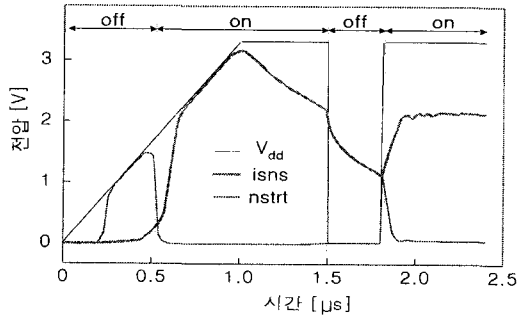


그림 11. 제안하는 전류감지 스타트업 회로의 동작
Fig. 11. Operation of the proposed current-sensing start-up circuit.

그림 11의 결과를 살펴보면, $t=0\sim 1.0\mu s$ 까지의 전원인가 과정 동안에는 제로전류 상태를 감지하여 스타트업 회로의 출력인 nstrt 펄스가 발생하여 바이어스 회로를 "on" 시킨후, $t=0.5\mu s$ 이후의 "on" 구간에서는 nstrt 신호가 "low"를 유지하여 바이어스 회로에 영향을 주지 않는다. $t=1.5\mu s\sim 1.8\mu s$ 까지의 구간에서 공급전압에 실려 들어온 피크 잡음에 의해 회로가 "off" 될 때는 다시 제로전류 상태를 감지하고, VDD가 복구됨에 따라 nstrt 신호를 다시 발생시켜서 회로를 "on" 시킨다. 그림 11의 결과는 DRAM이 전원인가 과정을 시작하여 $1\mu s$ 정도의 시간 내에 정전류원이 형성되는 것을 나타낸다. 일반적으로 DRAM의 전원인가 과정은 $100\mu s$ 이상 설정되므로 제안하는 전류감지 스타트업 회로는 충분히 DRAM에 적용될 수 있다. 그림 12는 초고속 DRAM에 사용되는 아날로그 DLL에 적용될 때의 제안하는 정전류원 회로를 표준 CMOS $0.6\mu m$ 공정으로써 레이아웃 배치를 한 것이다. 본 레이아웃은 I장에서 설명한 바와 같이 정전류원 회로는 칩 내의 잡음으로부터 차단하기 위하여 다른 블록과 분리되어 기판 플러그 (plug)에 의한 가드링 (guard ring)에 둘러싸여 있으며, 출력전류 I_{ref} 는 주변의 잡음으로부터 가능한한 보호되기 위하여 아날로그 접지인 AGND에 의해 양쪽으로부터 보호되어 다른 아날로그 블록으로 공급된다.

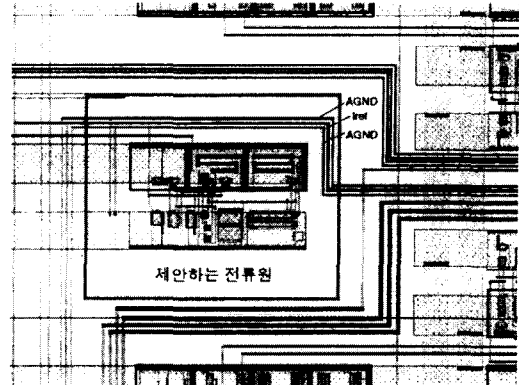


그림 12. 제안하는 전류원 회로의 레이아웃 배치
Fig. 12. Layout placement of the proposed current reference.

V. 결론

본 논문은 DRAM 공정에서 구현 가능한 CMOS 전류원을 설계하는 기법을 논하고, 칩 내에서 발생하는 전압잡음이나 공급전압 잡음에 강한 새로운 정전류원 회로를 제안하였다. 특히 초고속 DRAM에 사용되는 아날로그 DLL 회로의 특성을 저해하는 요소인 공급전압의 변이와 칩 내의 전압잡음 및 온도변화에 의한 회로 특성의 변화를 극복하고 특히 칩 내의 전압잡음에 강한 회로동작을 보장하기 위해 주요 아날로그 회로블록에는 정전압원 보다는 정전류원을 사용할 것을 제안하였다.

새로이 설계된 정전류원은 자기바이어스 개념을 적용하여 공급전압과 무관한 바이어스 전류를 발생시키고, 온도변화에 따른 바이어스 전류의 변화량을 상쇄하기 위해 온도변이 상쇄 회로를 포함하고 있다. 온도변이의 1차성분을 상쇄하기 위한 전류 상쇄부의 설계에 있어서는 해석적인 방법과 더불어 회로 시뮬레이션을 이용한 상쇄기법을 제안하였다. 제안하는 회로와 설계기법을 활용하여 적절한 동작을 수행하고 그 결과를 회로 시뮬레이션을 통하여 검증하였다.

자기바이어스 개념을 적용하고 있는 바이어스 전류 발생부의 회로는 전원인가 시나 혹은 정상동작 중에 전압잡음에 의해 회로가 꺼졌을 때는 제로전류 상태를 스스로 벗어날 수 없으며 회로를 원하는 동작점으로 옮겨주기 위한 스타트업 회로가 필수적으로 요구된다. 본 논문에서는 바이어스 전류를 감지하여 스스로 시작시키고 일단 회로가 원하는 동작점을 찾으면 더 이상

영향을 미치지 않는 회로를 제안하였다.

제안된 회로는 초고속 DRAM의 아날로그 DLL에 적용되면 DLL 전체의 주요한 jitter 특성을 최우하여 궁극적으로는 DRAM의 최대 데이터 전송속도를 향상시킬 수 있는 방안이 될 수 있음을 보였다.

참 고 문 헌

- [1] Thomas H. Lee et al., "A 2.5 V CMOS Delay-Locked Loop for an 18 Mbit, 500 Megabyte/s DRAM," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, pp. 1491-1496, Dec. 1994.
- [2] Yasuhiro Takai et al., "A 250Mb/s pin 1Gb Double Data Rate SDRAM with a Bi-Directional Delay and an Inter-Bank Shares Redundancy Scheme", *ISSCC Dig. Tech. Papers*, pp. 418-419 Feb. 1999.
- [3] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, New York, 1987.
- [4] Daejeong Kim, Sung Ho Cho, "CMOS Current Source Circuit," United States Patent no. 5,744,999 Apr. 28, 1998.
- [5] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, New York, 1993.
- [6] Dong-Sun Min et al., "Temperature-Compensation Circuit Techniques for High-Density CMOS DRAM's," *IEEE J. Solid-State Circuits*, vol. 27, no. 4, pp. 626-631, Apr. 1992.
- [7] Hironori Banda et al., "A CMOS Bandgap Reference Circuit with Sub-1-V Operation," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 670-674, May 1999.
- [8] Ho-Jun Song et al., "A Temperature-Stabilized SOI Voltage Reference Based on Threshold Voltage Difference Between Enhancement and Depletion NMOSFET's," *IEEE J. Solid-State Circuits*, vol. 28, no. 6, pp. 671-677, Jun. 1993.

저 자 소 개



金大井(正會員)

1964년 12월 22일생. 1987년 2월 서울대학교 전자공학과 공학사. 1989년 2월 서울대학교 전자공학과 공학석사. 1994년 2월 서울대학교 전자공학과 공학박사. 1994년~1998년 LG반도체(현 현대전자) 책임연구원. 1999년~현재 국민대학교 전자공학부 전임강사. 주관심분야는 무선통신용 아날로그 회로설계, 초고속 DRAM 및 메모리 시스템 설계임