

論文2000-37SC-2-6

## CMOS 상보형 구조를 이용한 아날로그 멀티플라이어 설계 (Design of A CMOS Composite Cell Analog Multiplier)

李根浩\*, 崔賢承\*, 金東龍\*\*

(Geun Ho Lee, Hyun Seung Choi, and Dong Yong Kim)

### 요 약

본 논문에서는 저전압 저전력 시스템에 응용 가능한 CMOS 4상한 아날로그 멀티플라이어를 제안하였다. 제안된 멀티플라이어는 저전압에서 동작이 용이하며 아날로그 회로를 설계하는데 자주 이용되는 LV(Low-Voltage) 상보형 트랜지스터 방식의 특성을 이용하였다. LV 상보형 구조는 등가 문턱전압을 감소 시킴으로서 회로의 동작전압을 감소시킬 수 있는 특징이 있다. 설계된 회로의 특성은 2V 공급전압하에서  $0.6\mu\text{m}$  CMOS 공정파라미터를 갖는 HSPICE 시뮬레이션을 통하여 측정되었다. 이때  $\pm 0.5\text{V}$ 까지의 입력선형 범위내에서 선형성에 대한 오차는 1%미만이었다. 또한 -3dB 점에서의 대역폭은 290MHz, 그리고 전력소모는  $373\mu\text{W}$ 값을 나타내었다.

### Abstract

In this paper, the CMOS four-quadrant analog multipliers for low-voltage low-power applications are presented. The circuit approach is based on the characteristic of the LV(Low-Voltage) composite transistor which is one of the useful analog building blocks. SPICE simulations are carried out to examine the performances of the designed multipliers. Simulation results are obtained by  $0.6\mu\text{m}$  CMOS parameters with 2V power supply. The LV composite transistor can easily be extended to perform a four-quadrant multiplication. The multiplier has a linear input range up to  $\pm 0.5\text{V}$  with a linearity error of less than 1%. The measured -3dB bandwidth is 290MHz and the power dissipation is  $373\mu\text{W}$ . The proposed multiplier is expected to be suitable for analog signal processing applications such as portable communication equipment, radio receivers, and hand-held movie cameras.

### I. 서 론

컴퓨터 및 통신관련 기술의 급속한 발전과 보급에 따라 사회는 점차 정보화시대에 진입하고 있다. 따라서 정보통신 산업 중에서도 정보통신기기산업의 경쟁력을 위해서는 주문형 집적회로(ASIC)의 설계 기술이

확보되어야 한다. 최근 수년간 정보통신 관련 기기에 있어서의 두드러진 경향은 휴대용 컴퓨터와 이동통신 기기에 대한 수요의 급증 추세이다. 종전에는 집적회로의 설계에서 동작속도의 고속화와 칩 면적의 최소화에 주안점을 두어왔으며, 이러한 문제들은 공정기술의 발달에 의해서 어느 정도 그 목표를 달성하였다고도 볼 수 있다.<sup>[1-4]</sup> 그러나 휴대용 정보통신기기에서는 기기의 동작을 주로 2차 전지에 의존하기 때문에 필요한 전지의 무게와 재충전사이의 사용시간이 중요한 고려 사항이다. 따라서 주어진 시간동안 휴대용 기기를 오랜시간 동작시키기 위해서는 특별히 칩의 전력소모가

\* 正會員, \*\* 平生會員, 全北大學校 電子情報工學部  
(Faculty of Electronic & Information Engineering,  
Chonbuk National University)

接受日字:1999年 1月18日, 수정완료일:2000年 2月11日

작도록 설계하여야 한다.<sup>[5-7]</sup> 이와같이 설계된 회로의 전력소모를 작게 하기 위해서는 동작전압을 낮게 하는 것이 최선의 방법으로 연구되고 있는 실정이다.<sup>[8-10]</sup>

또한 집적회로의 발전추세를 보면 집적회로의 집적도, 신뢰도의 지속적인 증가의 결과로 인하여 아날로그와 디지털시스템을 동일한 칩 상에서 집적화 시키는 경향이 두드러지고 있다. 여러 시스템들이 아날로그와 디지털 혼성모드방식을 이용한 동일 칩 상에 공존해야 하고 고성능화와 더불어 다기능화로 되어감에 따라 아날로그 집적회로에 대한 특성상의 요구도 다양화되고 있다. 그 중에서도 가장 큰 요구사항은 디지털 회로의 저전압화에 발맞추어 기존의 아날로그 회로들도 저전압 하에서 동작해야 한다는 것이다. 따라서 본 논문에서는 저전압하에서 동작 가능한 아날로그 멀티플라이어 설계를 하였다. 아날로그 멀티플라이어란 두신호의 곱에 비례한 출력을 발생시키는 장치로서 통신 시스템에서 통신에 필요한 신호를 변조, 복조 시킨다는 측면에서 중요한 블록으로 다루어지고 있다.<sup>[10]</sup>

제안된 멀티플라이어는 2V 공급전압에서 동작 가능하도록 설계되었으며, 0.6 $\mu\text{m}$  공정 파라미터를 이용한 HSPICE 시뮬레이션 결과  $\pm 0.5\text{V}$  까지의 입력선형범위내에서 선형도에 대한 오차는 1% 미만이었다. 또한 -3dB 점에서의 대역폭은 290 MHz, 그리고 전력소모는 373 $\mu\text{W}$  값을 나타내었다. 설계된 멀티플라이어는 위상동기루프, 주파수 합성기, 각종 필터, 신호변환기, 뉴럴네트워크(neural networks), 그리고 각종 신호처리 소자의 기본 블록으로서 널리 이용될 수 있을 것으로 사료된다.

## II. LV 상보형 트랜지스터

CMOS 아날로그 멀티플라이어를 설계하는데 있어 MOS 트랜지스터의 square-law 특성을 이용하는 방식이 자주 이용되고 있다. 멀티플라이어에서 각각의 기본 블록은 MOS 트랜지스터가 포화영역에서 동작할 때 구현된다. 입력이 게이트와 소스에 인가될 때 소스단은 낮은 입력 임피던스로 인해 버퍼회로보다 앞서 동작하여야 한다. 따라서 이러한 문제를 해결하기 위한 방식으로 그림 1에 나타난 것과 같이 상보형 트랜지스터구조를 이용하는 방식이 있다.<sup>[11][12]</sup> 상보형 트랜지스터 구조는 NMOS 혹은 PMOS 하나가 포화영역에서 동작하는 경우로 등가화 될 수가 있다.

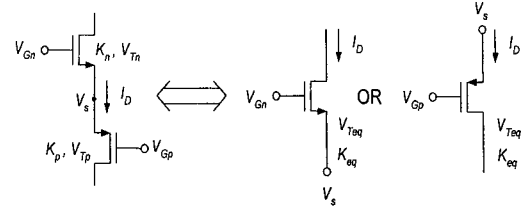


그림 1. 기존의 CMOS 상보형 트랜지스터  
Fig. 1. Conventional CMOS composite transistor.

$$\begin{aligned} I_D &= \frac{K_n}{2} (V_{GSn} - V_{Tn})^2 \\ &= \frac{K_p}{2} (V_{GSp} - V_{Tn})^2 \\ &= \frac{K_{eq}}{2} (V_{Gn} - V_{Gp} - V_{Teq})^2 \end{aligned} \quad (1)$$

전류에 대하여 정리된 식 (1)은 다음과 같이 표현될 수 있다.

$$\begin{aligned} V_{Gn} - V_{Gp} &= V_{GSn} - V_{SGp} \\ &= \sqrt{\frac{2I_D}{K_n}} + \sqrt{\frac{2I_D}{K_p}} + V_{Tn} - V_{Tp} \\ &= \sqrt{\frac{2I_D}{K_n}} + V_{Teq} \end{aligned} \quad (2)$$

따라서 다음과 같은 관계를 유추해 낼 수 있다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_n}} + \frac{1}{\sqrt{K_p}} \quad (3)$$

$$V_{Teq} = V_{Tn} + |V_{Tp}| \quad (4)$$

상보형 트랜지스터는 양 입력단에 높은 입력 임피던스를 제공할 수는 있으나 입력 범위가 다음의 식 (5)의 조건을 만족하여야 한다.

$$V_g - V_s > V_{Teq} \quad (5)$$

이러한 문제를 제거하기 위해 다음의 그림 2에서 보여주는 것과 같은 LV 상보형 트랜지스터 회로 구조가 이용된다.<sup>[8]</sup>

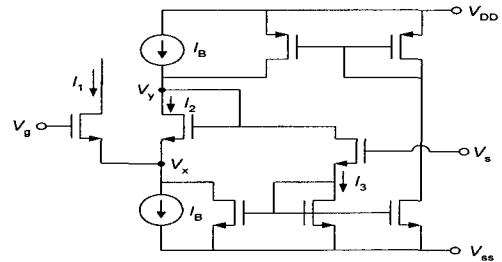


그림 2. LV 상보형 트랜지스터  
Fig. 2. LV composite transistor.

그림 2에서 모든 트랜지스터가 포화영역에 있으면 각 MOS의 게이트-소스전압은 다음과 같이 표현될 수 있다.

$$V_g - V_x = \sqrt{\frac{2I_1}{K_{n1}}} + V_{Tn} \quad (6)$$

$$V_y - V_x = \sqrt{\frac{2I_2}{K_{n2}}} + V_{Tn} \quad (7)$$

$$V_y - V_s = \sqrt{\frac{2I_3}{K_{p1}}} + |V_{Tp}| \quad (8)$$

식 (8)을 이용하여 게이트-소스전압  $V_{gs}$ 를 계산하면 다음과 같다.

$$V_{gs} = V_g - V_s = \sqrt{\frac{2I_1}{K_{n1}}} - \sqrt{\frac{2I_2}{K_{n2}}} + \sqrt{\frac{2I_3}{K_{p1}}} + |V_{Tp}| \quad (9)$$

이때  $I_1$ 과  $I_3$  값이 같고,  $I_2$ 와  $I_B$  값이 같으므로 식 (9)는 다음과 같이 표현될 수 있다.

$$V_{gs} = \sqrt{\frac{2I_1}{K_{eq}}} - \sqrt{\frac{2I_B}{K_{n2}}} + |V_{Tp}| \quad (10)$$

여기에서 LV 상보형 트랜지스터의 등가 트랜스컨덕턴스 파라미터  $K_{eq}$ 는 다음과 같다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (11)$$

또한 전류  $I_1$ 과 등가문턱전압  $V_{Teq}$ 는 다음과 같이 간단히 표현될 수 있다.

$$I_1 = \frac{K_{eq}}{2} (V_{gs} - V_{Teq})^2 \quad (12)$$

$$V_{Teq} = |V_{Tp}| - \sqrt{\frac{2I_B}{K_{n2}}} \quad (13)$$

식 (13)에서 볼 수 있듯이 등가문턱전압은  $\sqrt{2I_B/K_{n2}}$  항에 의해 감소된다. 이는 LV 상보형 트랜지스터 회로구조에서 가장 중요한 특성으로 감소된 등가문턱전압에 의해 동작 전압 범위를 확장시키고 따라서 낮은 공급전압으로도 회로를 구동시킬 수 있다는 장점이 된다.

### III. LV 상보형 구조를 이용한 CMOS 멀티플라이어 설계

앞에서 언급된 LV 상보형 트랜지스터 구조가 아날로그 멀티플라이어를 설계하는데 이용될 수 있다. 본 논문에서는 네 개의 LV 상보형 트랜지스터를 이용하여 아주 간단한 구조로 멀티플라이어를 설계하였다. 그림 3에서 설계된 회로의 전체 구조를 보여주고 있으며, 동작원리는 다음과 같다.

그림 3에서의 MOS 소자가 모두 포화영역에 바이어스 되어있다면, 각 단의 트랜스컨덕턴스 파라미터와 문턱전압이 각각  $K_{eq}$ ,  $V_{eq}$ 와 같다. 이때 MOS 방정식을 이용하면, 전류값  $I_1$ ,  $I_2$ ,  $I_3$  그리고  $I_4$ 는 다음의 식 (14)와 같이 표현될 수 있다.

$$I_1 = \frac{K_{eq}}{2} (V_1 - V_3 - V_{Teq})^2 \quad (14-a)$$

$$I_2 = \frac{K_{eq}}{2} (V_1 - V_4 - V_{Teq})^2 \quad (14-b)$$

$$I_3 = \frac{K_{eq}}{2} (V_2 - V_3 - V_{Teq})^2 \quad (14-c)$$

$$I_4 = \frac{K_{eq}}{2} (V_2 - V_4 - V_{Teq})^2 \quad (14-d)$$

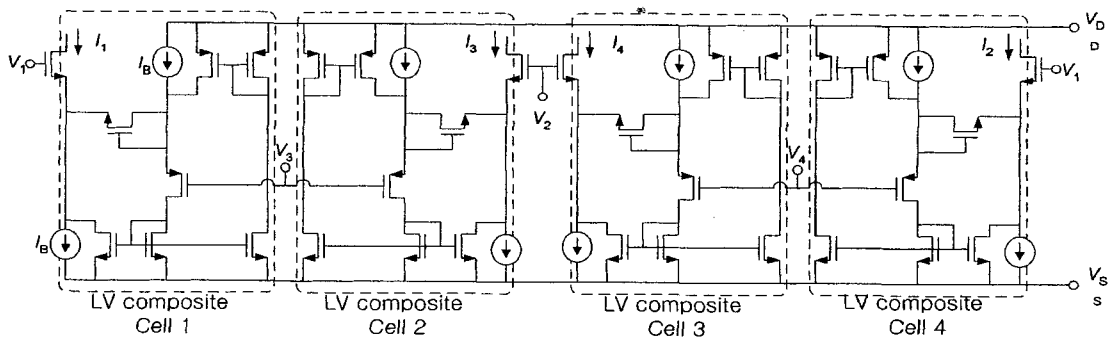


그림 3. 상보형 구조 CMOS 멀티플라이어  
Fig. 3. CMOS multiplier using composite cell.

따라서 멀티플라이어의 출력전류  $I_{out}$  은 다음과 같다.

$$I_{out} = (I_1 + I_4) - (I_2 + I_3) = K_{eq}(V_1 - V_2)(V_3 - V_4) \quad (15)$$

그림 3에서 보이고 있는 설계된 회로의 기본 동작 원리는 위에서 얻은 식에서와 같이 각각의 셀에서 나오는 전류값으로 이해 할 수 있다. 같은 형태를 취하고 있는 네 개의 셀에서 나온 전류식은 제곱근의 성질을 갖기 때문에 이를 차동으로 연결하여 전류를 전압으로 변환하여 출력으로 내보내면 최종 출력값은 두 입력신호의 곱으로 나오게 되어 멀티플라이어의 동작이 가능하게 된다.

또한 곱셈상수  $K_{eq}$  에 의해 선형적인 출력을 얻을 수 있으며, 다음과 같이 정의할 수 있다.

$$V_1 = V_{cm1} + \frac{\Delta v_{12}}{2} \quad (16-a)$$

$$V_2 = V_{cm1} - \frac{\Delta v_{12}}{2} \quad (16-b)$$

$$V_3 = V_{cm2} + \frac{\Delta v_{34}}{2} \quad (16-c)$$

$$V_4 = V_{cm2} - \frac{\Delta v_{34}}{2} \quad (16-d)$$

이때  $\Delta v_{12}$  과  $\Delta v_{34}$  는 두 개의 차동 입력값을 나타내고, 동상모드 직류전압  $V_{cm1}$  과  $V_{cm2}$  는 각각 입력신호  $\Delta v_{12}$  과  $\Delta v_{34}$  을 이용하여 표현할 수 있다. 두 개의 차동 입력 전압은 다음과 같이 정의될 수 있다.

$$\Delta v_{12} = V_1 - V_2 \quad (17)$$

$$\Delta v_{34} = V_3 - V_4 \quad (18)$$

또한 출력 전류값은 다음과 같이 얻을 수 있다.

$$I_{out} = K_{eq} \Delta v_{12} \Delta v_{34} \quad (19)$$

지금까지 수식적인 해석을 통해 그림 3에서와 같이 LV 상보형 Cell 네 개로 구성된 회로가 아날로그 멀티플라이어의 역할을 할 수 있음을 보여주었다. 출력전류  $I_{out}$  은 전류미러 방식을 이용하거나 저항을 이용하여 출력전압으로 변환시킴으로서 그 값을 얻어낼 수 있다.

그림 3에서의 모든 트랜지스터들이 포화영역에서 동작하기 위해서는 입력신호의 범위가 다음의 식 (20)과 (21)을 만족하여야 한다.

$$|V_1, V_2| \geq \min \{ V_{Tn} + V_{DS, sat, I_n} \} \quad (20)$$

$$|V_3, V_4| \leq \max \{ V_{DD} - |V_{TP}| - V_{DS, sat, I_p} \} \quad (21)$$

이때  $V_{DS, sat, I_n}$  는 전류원에서 드레인-소스 포화 전압이다.

#### IV. 실험 및 고찰

그림 4는  $-0.5V$  에서  $+0.5V$  까지 변화하는  $V_1 - V_2$  그리고  $-0.5V$  to  $+0.5V$  까지 변화하는  $V_3 - V_4$  에서 멀티플라이어를 통해 입력되는 전압에 대한 출력전압의 변화값을  $0.1V$  단위로 보여주고 있다. 설계된 멀티플라이어는  $\pm 0.5V$  영역에서 선형성을 가지고 있다.

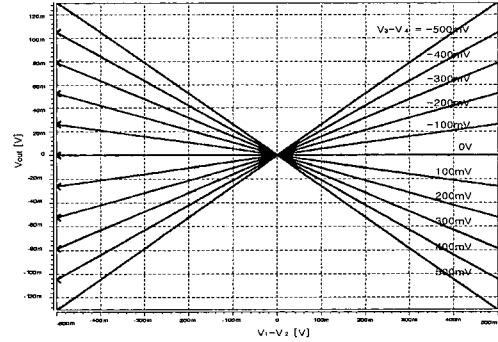


그림 4. CMOS 멀티플라이어의 DC 전달특성  
Fig. 4. DC transfer curves of CMOS multiplier.

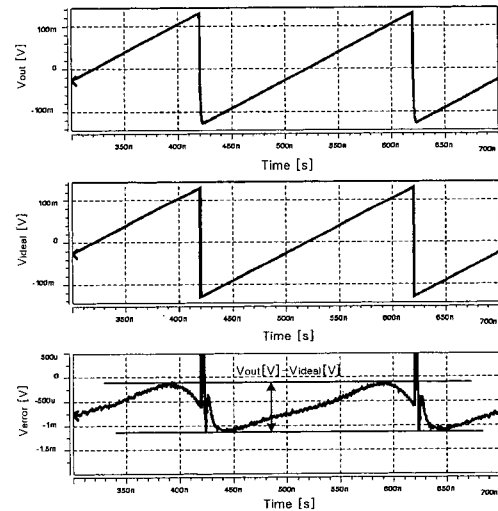


그림 5. 설계된 CMOS 멀티플라이어의 선형 오차  
Fig. 5. Linearity error of CMOS multiplier.

선형성의 측정은  $V_1 - V_2$  과  $V_3 - V_4$  에 각각  $\pm 0.5V$

직류전압과  $\pm 0.5V$  램프 파형을 인가하여 그 변화를 측정하고, 동등한 증폭특성 내에서 출력전압  $V_{out}$  과 이상적인 램프 파형의 전압차를 비교하는 방식으로 수행하였다. 측정된 선형도의 오차는 1% 미만을 나타내었다.

그림 6에 보여지고 있는 설계된 멀티플라이어의 주파수 응답은  $-3dB$ 점에서  $290MHz$  값을 나타내었다. 이때 저항은  $5k\Omega$  그리고 커패시턴스값은  $0.1pF$  으로 책정하였다.

그림 7은  $V_1 - V_2$  가  $5MHz$ 에서  $0.5Vp-p$  값을 갖는 사인파와  $V_3 - V_4$  가  $150MHz$ 의  $0.5Vp-p$  값을 갖는 사인파의 변조특성을 보여주고 있다. 이는 설계된 회로가 모뮬레이터로서 동작 가능함을 나타낸다.

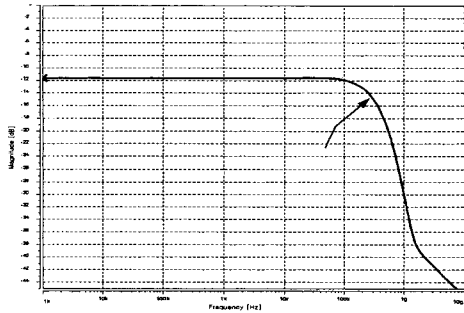


그림 6. 설계된 CMOS 멀티플라이어의 주파수 응답  
Fig. 6. Frequency response of CMOS multiplier.

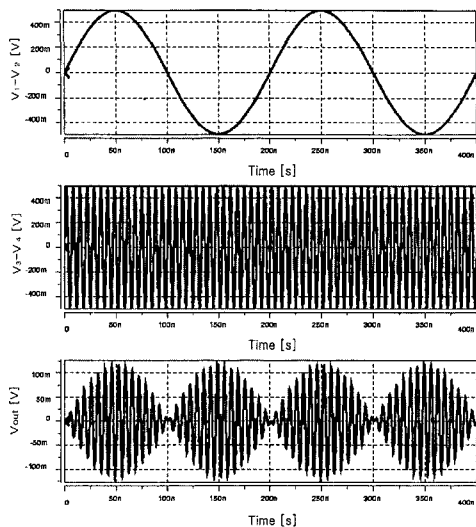


그림 7. 설계된 CMOS 멀티플라이어의 변조 특성  
Fig. 7. Modulation waveform diagram of CMOS multiplier.

그림 8은 주파수 doubler로서의 멀티플라이어의 성

능을 나타내고 있다. 입력 신호는  $0.5Vp-p$ 에서  $10MHz$  값을 갖는 두 개의 사인파로 설정하였다. 출력 값은 입력신호 주파수의 두배가 된 사인파가 나오 고 있음을 알 수 있다.

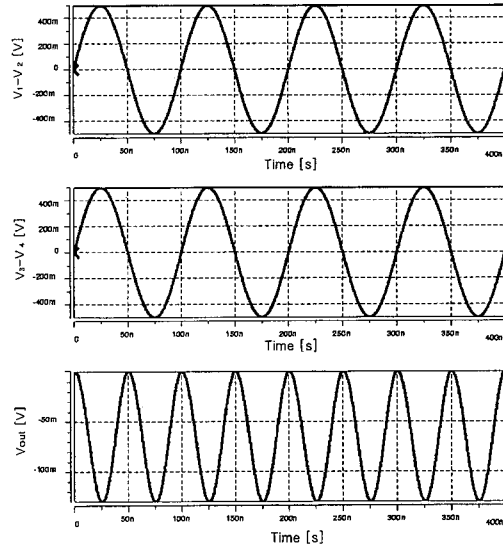


그림 8. 주파수가 같은 두 입력에 대한 출력값  
Fig. 8. Multiplication of two sine waves of the same frequency.

표 1. 설계된 CMOS 멀티플라이어의 기존회로와의 성능비교

Table 1. Comparison of two multiplier Performances.

	Proposed	Conventional
Power supply voltage	2V	3V
Bias currents	$13\mu A$	$15\mu A$
Input range	$\pm 0.5V$	$\pm 1V$
Linearity error	$< 1\%$	$< 1\%$
$-3dB$ Frequency	290MHz	305MHz
Power dissipation	$373\mu W$	$650\mu W$

### V. 결론

멀티플라이어를 포함한 아날로그 신호처리용 기본소자들을 저전압 저전력에서 동작가능하도록 개발하는 것은 현재 저전압 집적회로 설계 추세에 부합하는 것으로 본 논문에서 설계된 멀티플라이어 역시 저전압

동작을 위한 새로운 방식의 셀을 이용하여 개선된 특성을 보여주었다.

기존의 회로<sup>[7]</sup>와 비교를 해본다면 [7]에서 보여주는 회로는 상보형 구조를 이용하여 고주파에서 동작하는 멀티플라이어의 설계에 목적을 부여한 반면에 본 논문에서는 저전압 저전력 동작에 목적을 두고 그 특성이 향상된 멀티플라이어를 설계하였다. 표 1을 통해 알수 있듯이 두 회로는 그 형태가 상보형이라는 같은 구조를 이용하고 있지만 그 내부에 새롭게 설계된 다른 종류의 셀을 적용시켜 기존의 멀티플라이어는 3V, 305MHz의 동작특성을 가지고 있지만, 본 논문에서 설계된 멀티플라이어는 전력소모를 줄이기 위해 2V 공급전원하에서 최소한의 전류를 공급해 줄 수 있도록 설계되었다. 설계된 회로의 특성을 기존의 회로와 비교하면 대역폭은 비슷하나 선형영역이 약간 줄어들고 있음을 알 수 있다.

설계된 멀티플라이어는 0.6 $\mu$ m CMOS 공정 파라미터를 이용한 HSPICE 시뮬레이션 결과 단일 2V 공급전압하에서 동작이 가능하며, 입력 선형범위가  $\pm 0.5V$ 이고 선형 오차는 1% 미만의 값을 보여주었다. 또한 실험결과에서도 보여졌듯이 -3dB에서의 대역폭은 290MHz 그리고 소모되는 전력값이 기존 회로에 비해 훨씬 적은 373 $\mu$ W 값을 나타내었다.

따라서 제안된 멀티플라이어는 저전압, 저전력 시스템에서 응용가능하며, 보다 간단한 구조를 지님으로써 차지하는 칩면적을 현저히 줄일 수 있다는 장점이 있다. 향후에는 이러한 특성을 지니며 입력 전압범위를 증가시킬 수 있는 방식의 회로의 연구가 병행되어야 할 것으로 사료된다.

### 참 고 문 헌

- [1] M. Jeong, S. Takagi and N. Fujii, "An Area-Efficient and Highly-Linear CMOS Four-Quadrant Analog multiplier," Proc. of the 1997 *IEEJ. 1st Analog VLSI Workshop*, pp. 89-95, May 1997.
- [2] S. C. Qin and R. L. Geiger, "A  $\pm 5V$  CMOS analog multiplier," *IEEE J. Solid-state Circuits*, vol. SC-22, no. 6, pp. 1143-1146, Dec. 1987.
- [3] H. R. Mehrvars and C. Y. Kwok, "A novel multi-input floating-gate MOS four-quadrant analog multiplier," *IEEE J. Solid-state Circuits*, vol. 31, no. 8, pp. 1123-1131, Aug. 1996.
- [4] Z. Hong and H. Melchior, "Four-quadrant CMOS analogue multiplier," *Electronics Letters* vol. 20, no. 24, pp. 1015-1016, Nov. 1984.
- [5] J. H. Tsay, S. I. Liu, J. J. Chen and Y. P. Wu, "CMOS four-quadrant multiplier using triode transistors based on regulated cascode structure" *Electronics Letters*, vol. 31, pp. 962-962, June 1995.
- [6] S. I. Liu, C. C. Chang and Y. S. Hwang, "New CMOS Four-Quadrant Multiplier and Squarer Circuits," *Analog Integrated Circuits and Signal Processing*, vol. 9, pp. 257-263, 1996.
- [7] C. Hwang, A. Hyogo, M. Ismail and H. S. Kim, "LV CMOS analog VLSI composite cell design and its application to high speed multiplier," *Proc. of the 1997 IEEJ, 1st Analog VLSI Workshop*, pp. 95-98, May 1997.
- [8] A. Hyogo, C. Hwang, M. Ismail, and K. Sekine, "LV/LP CMOS Square-Law Composite Transistors for Analog VLSI Applications," *Proc. of the 1997 IEEJ. 1st Analog VLSI Workshop*, pp. 139-143, May 1997.
- [9] H. S. Choi, N. G. Kim and D. Y. Kim, "A CMOS Four-Quadrant Analog Multiplier For Low-Voltage Low-Power," *Proc. of the 1998 IEEJ 2nd Analog VLSI Workshop*, pp. 61-65, June 1998.
- [10] S. C. Li, "A Very-High-Frequency CMOS Four-Quadrant Analogue Multiplier" *IEEE International Symposium on Circuits and System*, pp. 233-236, June 1997.
- [11] E. Seevinck and R. F. Wassenaar, "A versatile CMOS linear transconductor/square-law function circuit," *IEEE J. Solid-state Circuits*, vol. SC-22, pp. 366-377, June 1987.
- [12] M. Ismail and T. Fiez, *Analog VLSI Signal and Information Processing*. McGraw Hill, 1994.

— 저 자 소 개 —



李 根 浩(正會員)

1969년 3월 29일생. 1994년 전북대학교 전기공학과 졸업(공학사). 1997년 2월 전북대학교 전기공학과 졸업(공학석사). 1997년 3월~현재 전북대학교 전기공학과 박사과정.

2000년 3월-현재 건양대학교 산학기술협력연구소 선임연구원. 주관심분야는 회로 및 통신시스템, 아날로그 집적회로



崔 賢 承(正會員)

1973년 12월 19일생. 1997년 2월 전북대학교 전기공학과 졸업(공학사). 1999년 2월 전북대학교 대학원 전기공학과 졸업(공학석사). 1999년 3월~현재 전북대학교 전

자정보공학부 조교. 주관심분야는 회로 및 시스템, VLSI 설계



金 東 龍(平生會員)

1945년 7월 31일생. 1967년 전북대학교 전기공학과 졸업(공학사). 1973년 전북대학교 전기공학과 졸업(공학석사). 1985년 캐나다 마니토바대학교 전기공학과 졸업(공학박사).

1975년~현재 전북대학교 전자정보공학부 교수. 1998년~현재 전북대학교 부속 전기전자회로합성연구소장. 주관심분야는 회로 및 시스템, VLSI 설계