

論文2000-37SC-2-5

파이프라인드식 비교기 배열을 이용한 아날로그 디지털 변환기 (Analog-to-Digital Converter using Pipelined Comparator Array)

孫周浩*, 趙成翊**, 金東龍***
(Ju Ho Son, Seong Ik Cho, and Dong Yong Kim)

요약

본 논문에서는 파이프라인드 구조의 빠른 변환 속도와 축차비교 구조의 저전력 구조를 이용하여 고속, 저전력 아날로그 디지털 변환기를 제안하였다. 제안된 구조의 변환 방법은 축차비교 구조의 변환에서 비교기를 파이프라인드 구조로 연결하여 홀드된 주기에 비교기의 기준 전위를 전 비교기의 출력 값에 의해 변환하도록 하여 고속 동작이 가능하도록 하였다. 제안된 구조에 의해 8비트 아날로그 디지털 변환기를 $0.8\mu\text{m}$ CMOS 공정으로 HSPICE를 이용하여 시뮬레이션한 결과, INL/DNL(Integral Non-Linearity/Differential Non-Linearity)은 각각 $\pm 0.5/\pm 1$ 이었으며, 100kHz 사인 입력 신호를 10MS/s로 샘플링 하여 DFT(Discrete Fourier Transform)측정 결과 SNR(Signal to Noise Ratio)은 41dB를 얻을 수 있었다. 10MS/s의 변환 속도에서 전력 소모는 4.14mW로 측정되었다.

Abstract

In this paper, The high-speed, low-power analog-to-digital conversion structure is proposed using the pipelined comparator array for high-speed conversion rate and the successive-approximation structure for low-power consumption. This structure is the successive-approximation structure using pipelined comparator array to change the reference voltage during the holding time. An 8-bit 10MS/s analog-to-digital converter is designed using $0.8\mu\text{m}$ CMOS technology. The INL/DNL errors are $\pm 0.5/\pm 1$, respectively. The SNR is 41dB at a sampling rate of 10MHz with 100 kHz sine input signal. The power consumption is 4.14mW at 10MS/s.

I. 서론

* 正會員, 全北大學校 電氣工學科

(Dept. of Electrical Engineering, Chonbuk National University)

** 正會員, 現代電子 메모리研究所 先任研究員

(MEMORY R & D DIVISION Hyundai Electronics Industries Co., Ltd.)

*** 平生會員, 全北大學校 電子情報工學部

(Dept. of Electrical Engineering, Chonbuk National University)

接受日字: 1998年 7月20日, 수정완료일: 2000年 2月11日

멀티미디어 및 통신 시스템에서 널리 사용되는 디지털 신호처리 기술의 발전으로 인하여 아날로그 신호를 디지털 신호로 바꾸어 주는 아날로그 디지털 변환기의 중요성이 점차 증가하고 있으며, 현재 아날로그 디지털 변환기 설계 방식은 저전압, 저전력, 고속, 고해상도에 관한 연구가 진행되고 있다. 그러나 CMOS 공정은 발달하였지만 변환 방법에 의한 한계를 나타내고 있다.

고해상도를 구현하기 위한 방법으로 시그마-델타 변환 방법이 널리 사용되고 있지만 구조가 복잡하고 변환 속도가 느리다는 단점을 가지고 있다. 따라서 풀래시 구조와 2스텝 구조, 파이프라인드 구조가 고속

변환 방법에 사용되고 있다.^{[1]-[2]} 그 중에서도 플래시 구조는 가장 간단하고 빠른 변환기이지만, 해상도를 높일 경우 많은 비교기가 요구되어 전력 소모가 많고 집적회로로 실현하는 경우 한정된 칩면적 때문에 고해상도에는 적절치 못하다는 단점을 가지고 있다. 또한, 2스텝 구조에서도 고해상도를 위해서는 역시 많은 비교기가 필요로 하고, 각 단을 연결하기 위해 DAC (Digital Analog Converter), 샘플/홀드 회로, 레벨셋기 및 잔류 증폭기가 필요하게 되어 전력 소모가 많다는 단점을 지닌다. 따라서 비교기의 수를 줄임으로써, 고속으로 신호를 변환하기 적합한 파이프라인 구조가 사용되고 있다. 하지만, 이 방법은 비교기의 수를 현저하게 줄일 수는 있으나, 각 단 사이에 DAC, 샘플/홀드 회로 및 레벨셋기, 잔류 증폭기가 필요하게 되며, 각 단을 거치면서 발생하는 오차를 제거하기 위해 디지털 교정 회로를 사용하게 된다. 또한, 12비트 이상의 고해상도를 위해서는 그 외에 디지털 보정 회로를 더 추가해야만 하는 단점을 가진다.^[2] 중속 변환 구조에는 축차 비교 구조가 있으며 이 구조는 구조가 간단하고 저전력을 실현할 수는 있으나, 고해상도를 위해 많은 클럭이 필요하게 되어 변환 속도면에서 단점을 가진다.^[3]

본 논문에서는 이러한 단점을 보완하기 위해 축차비교 구조를 기본으로 하면서 파이프라인식 비교기 배열을 이용하여 고속 변환과 저전력 특성을 가질 수 있는 아날로그 디지털 변환기를 제안하고, 제안한 구조를 이용하여 8비트 10MS/s 아날로그 디지털 변환기를 설계하였다.

II. 제안된 구조의 아날로그 디지털 변환기 설계

1. 기준 구조와의 비교

축차비교 구조는 그림 1.(a)에 보인 것처럼 비교기 한 개, DAC와 샘플/홀드 회로로 구성되어 있으며, 입력된 신호가 비교기에서 비교되어 출력 값은 얻고, DAC를 통해 비교 전위를 바꾸어 주게 된다. 이때 출력 값은 디지털 소자에 저장하고 전체 클럭이 끝날 때 동시에 디지털 출력 값을 나타나게 된다. 제안한 구조의 8비트 아날로그 디지털 변환기를 그림 1.(b)에 나타내었다. 비교기를 파이프라인식으로 배열하여 비교기의 출력 값을 데이터로 사용하도록 하였으며, N비트 해상도를 구현하기 위해 N개의 비교기를 사용하였다. 비교

기 수에 의한 전력 소모측면에서 볼 때, 8비트 설계 시 축차비교 구조에서 한 개의 비교기만으로 동작하는 것에 비해 제안한 구조에서는 8개의 비교기를 사용하므로 7개 많은 비교기 수에 의해 전력 소모가 증가된다는 단점을 가지게 되지만, 플래시 구조에서 비교기의 수는 255개이므로 247개 적은 비교기 수로 인해 전력 소모가 감소한다는 장점을 가지게 된다. 축차비교 구조에서 한번의 비교기 동작을 위해 한 클럭을 사용하지만, 제안한 구조에서는 비교기 출력 값에 의해 다음 비교기의 기준 전위를 바꾸어 주므로 축차비교 구조보다 빠른 동작이 가능하게 된다. 이를 표 1에 보여주고 있다.

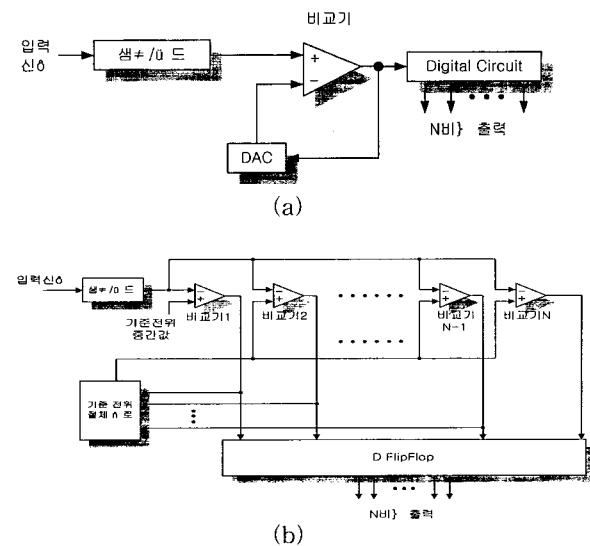


그림 1. (a) 축차비교 아날로그 디지털 변환기
(b) 제안한 아날로그 디지털 변환기

Fig. 1. (a) Successive Approximation Analog-to-Digital Converter.
(b) Proposed Analog-to-Digital Converter.

표 1. 축차비교 구조와 제안한 구조와의 비교

Table 1. Comparison of Successive Approximation Analog to Digital Converter and Proposed Analog to Digital Converter.

구 분	축차비교 구조	제안한 구조
해 상 도	N 비트	N 비트
비교기수	1개	N개
클 럭 수	N클럭	1클럭
속 도	늦음	빠름
전력소모	적음	많음

2. 제안된 구조의 동작

그림 1. (b)에서 입력 신호가 샘플/홀드 회로에 입력

된 후 홀드 된 주기 동안에 비교기 N개가 순차적으로 동작하도록 하였다. 비교기 부분은 파이프라인 구조를 사용하고, 기준 전위 절체부는 축차비교 구조의 DAC부분을 사용하기로 하며, 스위치 배열을 이용하였다. 변환 동작 원리는 먼저 홀드 된 신호가 비교기 1, 2, ..., N에 모두 입력되고, 각각 기준 전위는 아직 입력되어 있지 않은 상태에서 비교기 1은 항상 1/2 기준 전위(V_{mid})에 연결되어 비교기 1을 동작시킨다. 이때 비교기 1에서 나온 출력 값은 D 플립플롭에 저장되며 또한 비교기 2의 기준 전위를 바꾸어 준다. 이때 비교기 2는 동작을 시행할 것이고, 비교기 1의 동작을 반복하게 된다. 비교기 1, 2, ..., N에 의해 전송된 디지털 출력 값은 D 플립플롭에서 동시 동작을 위한 과정을 거치고, 완성된 N비트 디지털 출력 값을 얻게된다.

그림 2에서는 기준 전위 절체를 위한 그림을 나타내고 있다. 본 논문에서는 그림 2에서 보는 것과 같이 로직 회로를 사용하지 않고 스위치를 사용하여 설계하였으며, 로직 회로보다 적은 면적을 가지게 된다. 그러나, 많은 스위치들에 의한 잡음 개선 및 기준 전위에 의한 스위치 온 저항 값의 고려가 필요하다.

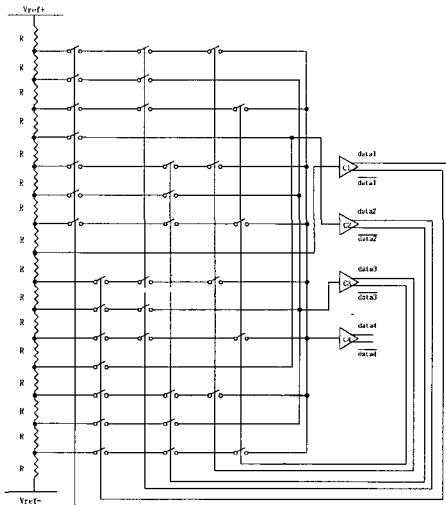


그림 2. 4비트 기준 전위 절체 회로

Fig. 2. 4bit reference voltage conversion circuits.

스위치 하나가 기준 전위를 바꾸는데 걸리는 시간은 최대 2ns이며, 바뀐 기준 전위에 의해 비교기의 비교되는 전달 지연 시간은 최대 2ns이다. 기준 전위 저항에서 스위치는 최대로 2개의 직렬 배열된 스위치를 거치며, 스위치 변환 시간과 비교기 전달 지연 시간을 합하고, 2배를 하면 3비트에서 가장 빠른 변환 속도를 얻을 수 있다. 8비트 아날로그 디지털 변환기를 설계

하였을 때를 고려해 보면, 1개의 스위치와 비교기를 거치는데 걸리는 시간 4ns와 최대 7개의 스위치를 거쳐야 하므로 28ns의 변환 시간이 필요하게 되며, 스위치 변환 오차 시간 및 비교기 동작 오차 시간 등을 고려하여 약 2배 여유를 두었을 때, 이때의 변환 속도는 최대 10MS/s이다.

III. 회로 설계

1. 샘플/홀드 회로

기존 증폭기를 갖는 샘플 홀드 회로를 사용할 경우에는 증폭기 자체 전력 소모하므로 전체 전력 소모가 커질 수 있지만, 8비트 이상의 해상도를 위해서는 스위치와 캐패시터만으로는 고해상도를 이를 수 없으므로 증폭기를 갖는 샘플 홀드 회로를 사용해야 된다. 증폭기를 갖는 샘플 홀드 회로를 사용하여 전력 소모가 증가할지라도 기존 축차비교 구조이나 플래시 구조에서 사용되는 것과 같은 전력 소모를 하는 샘플 홀드 회로를 사용하게 되므로 샘플 홀드 회로에 의한 아날로그 디지털 변환기의 전력 소모는 증가한다고 할 수 없다.^[8] 본 논문에서 사용한 트랙/홀드 회로는 8비트 해상도만 만족하면 되므로 스위치와 캐패시터만으로 구성된 가장 간단한 구조를 갖는 BOTTOM PLATE 구조를 이용하였고, 사용된 캐패시터는 4pF이다.

2. 비교기

간단한 디지털 비교기만으로는 8비트 해상도를 구현할 수 없으므로^[9], 차동 입력 쌍으로 구성된 프리앰프 2개, 차동 구조를 가진 래치 회로, RS 플립플롭, 버퍼로서의 출력단으로 구성되어 8비트 이상의 해상도를 갖도록 하였으며, 비교기 하나의 전력 소모는 10 mW의 동작 속도에서 0.35mW이다.

비교기 동작은 2개의 프리앰프를 통한 작은 입력신호를 증폭하고, 래치단에서 LOW 입력 클럭에 의해 래치의 출력단에 공급전압으로 충전한다. 래치단에서 HIGH 입력 클럭에 의해 래치의 출력단에 비교된 디지털 신호로 출력한다. 출력된 신호는 RS 플립플롭에서 입력 신호와 같은 주기의 출력 신호를 만들어 출력 단 버퍼를 통해 출력된다.

3. 스위치

간단한 CMOS 상보형 스위치가 사용되었으며, 트랙/홀드 회로에 사용된 스위치의 크기는 25μm/5μm (PMOS/NMOS)이며, 비교기 기준 전위 변환에 사용된 스위치는 10μm/4μm(PMOS/NMOS)이다.

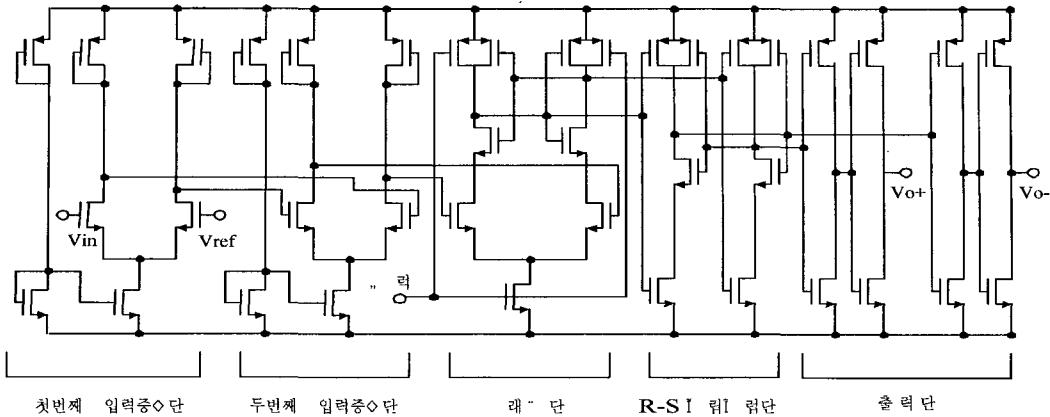


그림 3. 비교기 회로
Fig. 3. Comparator circuit.

IV. 시뮬레이션 결과 및 고찰

8비트 10MS/s 아날로그 디지털 변환기를 $0.8\mu m$ CMOS 공정 파라미터를 이용하여 HSPICE로 시뮬레이션 하였으며 그림 4에서 램프 입력에 의한 출력 값을 나타내었고, 최하위 비트인 v(data8)에서 샘플/홀드 회로의 오차에 의한 데이터 누락이 나타나고 있으며, 본 논문에서 사용된 Bottom Plate 구조의 트랙/홀드 회로 대신 8비트 해상도이상의 선형성을 갖는 샘플/홀드를 사용하여 제거할 수 있을 것이다. 그림 5에서 INL/DNL을 나타내고 있다. 또한, 100kHz의 사인 입력 신호를 10MHz 샘플링 클럭을 사용하였을 때 얻은 8비트 디지털 데이터를 디지털-아날로그 변환하여 그림 6과 같은 사인 출력 파형을 얻었다. 이를 DFT측정한 결과를 그림 7에 나타내었으며, 측정결과 41dB의 SNR값을 얻었으며, 이는 식 (1)을 이용하여 6.5비트의 ENOB(Effective Number Of Bit)를 구할 수 있었다.

$$ENOB = \frac{SNR - 1.76dB}{6.02} \quad (1)$$

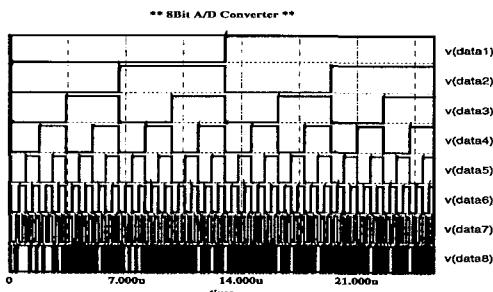


그림 4. 램프 입력에 의한 출력값
Fig. 4. Digital Output of Lamp input.

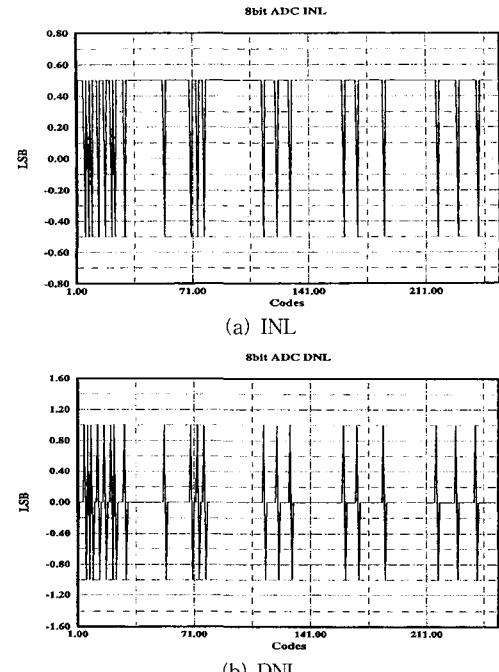


그림 5. INL, DNL 결과
Fig. 5. INL, DNL result.

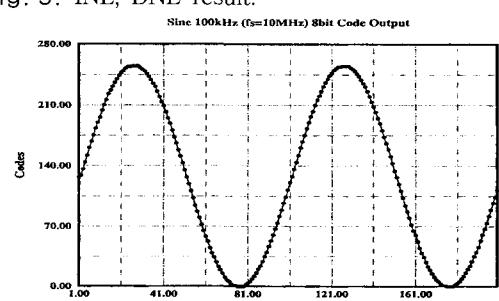


그림 6. 100kHz 사인 출력 파형
Fig. 6. 100kHz sine output result.

표 2. 기존 구조와의 비교
Table.2. Comparison of Existence Structure.

	제안한 구조	[3]	[4]	[5]	[6]	[7]
비트수	8비트	8비트	8비트	8비트	8비트	8비트
속도	10MHz	1.3MHz	20MHz	4.5MHz	10kHz	2MHz
공급전압	3V	5V	5V	5V	5V	3V
소비전력	4.14mW	70mW	50mW	128mW	9.8mW	6.5mW
CMOS공정	0.8 μ m	3 μ m	1 μ m	0.8 μ m	0.8 μ m	1.2 μ m
INL	± 0.5	± 0.3	± 0.5	± 0.9	± 1.2	± 0.015
DNL	± 1	± 0.9	± 0.5	± 0.9	± 0.5	± 0.15
구조	제안한 구조	Successive Approximation	Subranging	Pipelined	Algorithm	2Step/Successive Approximation

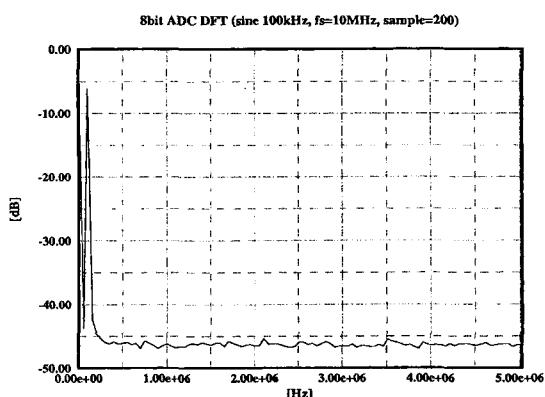


그림 7. DFT(100kHz 사인 입력 파형, 10MS/s 샘플링, 200point 샘플링)

Fig. 7. DFT plot.(100kHz sine input, 10MS/s sampling rate, 200point sampling).

표 2에서 INL/DNL을 최적화 하였을 때 설계된 제안한 구조의 8비트 아날로그 디지털 변환기를 기존 구조와 비교하고 있다. 축차비교 구조^[3]와 알고리즘 구조^[6]를 변환 속도면에서 비교하였을 때 7.7배와 1000배의 빠른 변환 속도를 가지고 있으며, 서브레이징 구조^[4]와 파이프라인드 구조^[5]를 전력 소모면에서 비교하였을 때 12배와 30배의 적은 전력 소모를 가지고 있음을 알 수 있다. 또한 축차비교 구조와 2스텝 구조를 혼용한 구조^[7]와는 전력 소모와 변환 속도에서 비슷한 특성을 가지고 있음을 알 수 있다.

제안한 구조는 1비트 증가에 따라 스위치 배열 부

분에서 2배의 칩 면적 증가가 발생하므로 8비트 이상의 해상도에 제안한 구조를 적용하였을 경우에 온 칩에 대한 제한을 가져올 것이다. 그러므로 2스텝 구조와 병행하여 칩 면적 증가를 줄여야 한다.

V. 결 론

아날로그 디지털 변환기는 고속, 저전력을 위한 연구가 되고 있으며, 성능 향상을 위해 여러 가지 구조가 도입되고 있으나, 기존 구조가 가지는 문제에 의해 한계를 가진다. 이러한 구조의 문제를 극복하기 위해서 축차비교 구조를 기본으로 파이프라인식 비교기 배열을 이용한 아날로그 디지털 변환기를 제안하였다. 제안된 구조를 이용하여 8비트 10MS/s 아날로그 디지털 변환기를 설계하였으며, 0.8 μ m CMOS 공정 파라미터를 이용하여 HSPICE로 시뮬레이션 하였으며, INL/DNL은 각각 $\pm 0.5/\pm 1$ 이었으며, 100kHz 사인 입력 신호를 10MHz 샘플링 클럭을 사용하여 DFT 측정하여 41dB의 SNR값을 얻었으며, 4.14mW의 전력 소모를 측정하였다. 제안된 구조를 이용하여 2스텝 아날로그 디지털 변환기에 응용이 가능하며, 이동 통신 장비, 휴대용 오디오, 비디오 시스템 등에 응용할 수 있다.

참 고 문 헌

- [1] Raf Roovers and Michiel S. J. Steyaert, "A 175MS/s, 6b, 160mW 3.3V CMOS A/D Converter," *IEEE J. Solid-State Circuits*,

- vol. 31, no. 7, pp. 938-944, Jul. 1996.
- [2] Gil-Cho Ahn, Hee-Cheol, Shin-Il Lim, Seung-Hoon Lee and Chul-Dong Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 31, NO. 12, pp 2030-2035, Dec. 1996.
- [3] KH.HADIDI, VINCENT S. TSO and GABOR C. TEMES, "An 8-b 1.3-MHz Successive-Approximation A/D Converter," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 880-885, Jun. 1990.
- [4] SHIRO HOSOTANI, TAKAHIRO MIKI, ATSUSHI MAEDA and NOBUHARU YAZAWA, "An 8-bit 20-MS/s CMOS A/D Converter with 50-mW Power Consumption," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 167-172, Feb. 1990.
- [5] Chung-Yu, Chih-Cheng Chen and Jyh-Jer Cho, "A CMOS Transistor-Only 8-b 4.5-Ms/s Pipelined Analog-to-Digital Converter Using Fully-Differential Current-Mode Circuit Techniques," *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 522-532, May 1995.
- [6] 하장용, 박종태, 유종근, "스위치드-캐페시터 기술을 이용한 알고리즘 아날로그-디지털 변환기 설계," *대한전자공학회논문지*, 제34권 C편, 제 8 호, 29-38쪽, 1997년 8월
- [7] Nasirul CHOWDHURY, Hassan ELWAN and Mohammed ISMAIL, "A Low Power Transistor-Only CMOS Current-Mode A/D Converter Architecture," in *Proc. of IEEE 2nd Analog VLSI Workshop*, pp. 137-144, Santa Clara, USA, Jun. 1998.
- [8] 최희철, 장동영, 이승훈, 이승훈, "고정밀 CMOS Sample-and-Hold 증폭기 설계 기법 및 성능 비교," *대한전자공학회논문지*, 제33권 A편, 제 6 호, 239-247쪽, 1996년 6월
- [9] Tsuguo Kobayashi, Kazutaka Nogami, Tsukasa Shiroto and Yukihiro Fujimoto, "A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture," *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 523-527, Apr. 1993.

저자 소개



孫周浩(正會員)

1994년 2월 : 전북대학교 전기공학과 졸업(공학사). 1999년 2월 : 전북대학교 전기공학과 졸업(공학석사). 1999년 3월~현재 : 전북대학교 전기공학과 박사과정. 주관심분야는

ADC, DAC, Analog Circuit Design



趙成翊(正會員)

1987년 2월 : 전북대학교 전기공학과 졸업(공학사). 1989년 2월 : 전북대학교 전기공학과 졸업(공학석사). 1994년 2월 : 전북대학교 전기공학과 졸업(공학박사). 1996년 5월~현재 : 현대전자(주) 메모리 연구소 선임연구원. 주관심분야는 ADC, DAC, PLL, DLL, Filter, Analog Circuit Design



金東龍(平生會員)

1967년 2월 : 전북대학교 전기공학과 졸업(공학사). 1973년 2월 : 전북대학교 전기공학과 졸업(공학석사). 1985년 5월 : 캐나다 마니토바대학교 전자공학과 졸업(공학박사). 1986년 10월~현재 : 전북대학교 전기공학과 교수, 전기전자회로합성 연구소 소장. 주관심분야는 회로 및 시스템, VLSI 설계