

論文2000-37SC-2-4

전영역에서 선형 전류 관계를 갖는 일정 트랜스컨덕턴스 연산 증폭기의 설계

(A Constant-gm Global Rail-to-Rail Operational Amplifier with Linear Relationship of Currents)

蔣 一 權 * , 郭 桂 達 * , 朴 長 雨 * *

(Il Kwon Chang, Kae Dal Kwack, and Jang Woo Park)

요 약

본 논문에서는 트랜지스터 동작영역에 독립적인 일정 트랜스컨덕턴스 rail-to-rail 입력회로 및 AB-급 출력회로를 갖는 2단 연산증폭기를 제시한다. rail-to-rail 입력회로는 추가 NMOS 및 PMOS 차동 입력단 구조를 사용하여, 전체 동상 입력 전압에서 항상 일정한 트랜스컨덕턴스를 갖도록 하였다. 이러한 입력단 회로는 기존 MOS의 정확한 전류-전압 관계식을 사용하지 않고, 트랜지스터의 동작영역에서, 즉 강반전 및 약반전, 독립적인 새로운 광역 선형 전류관계를 제안한다. 본 논문에서 제안한 입력단 회로를 SPICE를 사용하여 모의실험 결과, 전체 동상 입력 전압에 대해서 4.3%의 변화율이 나타남을 검증하였다. AB-급 출력단 회로는 공급 전압원에 독립적인 일정한 동작 전류값을 갖고, 출력 전압은 $V_{SS}+0.1$ 에서 $V_{DD}-0.15$ 까지 구동하는 전압 특성을 나타내었다. 또한 출력단은 AB-급 궤환 제어 방식을 사용하여 저전압에서 동작 할 수 있다. 전체 연산 증폭기의 단일-이득 주파수 및 DC 전압이득 변화율은 각각 4.2% 및 12%로 나타났다.

Abstract

The principle and design of two-stage CMOS operational amplifier with rail-to-rail input and class-AB output stage is presented. The rail-to-rail input stage shows almost constant transconductance independent of the common mode input voltage range in global transistor operation region. This new technique does not make use of accurate current-voltage relationship of MOS transistors. Hence it was achieved by using simple linear relationship of currents. The simulated transconductance variation using SPICE is less than 4.3%. The proposed global two-stage opamp can operate both in strong inversion and in weak inversion. Class AB output stage proposed also has a full output voltage swing and a well-defined quiescent current that does not depend on power supply voltage. Since feedback class-AB control is used, it is expected that this output stage can be operating in extremely low voltage. The variation of DC-gain and unity-gain frequency is each 4.2% and 12%, respectively.

* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Eng. Hanyang University)

** 正會員, 順天大學校 情報通信工學科

(Dept. of Computer and Communication Eng. Sunchon University).

※ 본 연구는 1998년 한국학술진흥재단의 한양대학교 부설연구소 지원과제 중 제 5 세부과제지원(1998-005-E00270)에 의하여 수행되었음.

接受日字:1999年4月29日, 수정완료일:2000年2月21日

I. 서론

최근 휴대용 전자기기와 같은 상업용 전자 시스템은 휴대가 간편하고 소형화에 대한 수요가 증가하고 있다. 이러한 노력은 지속적인 소자 크기의 축소 및 배터리 동작 저전압 회로의 중요성의 증가에 의해 아날로그-디지털 혼성모드 CMOS 시스템의 전력 및 전원 전압의 감소를 가져왔다. 저전력 저전압 디지털 회로는 고

성능 프로세싱을 쉽게 얻을 수 있기 때문에 크기가 계속 작아 지고 있으나, 아날로그 회로의 경우 이러한 성능을 얻는 것이 점점 어려워지고 있다. 예를 들어, 연산증폭기의 동작영역은 전원 전압의 감소에 따라 연속적으로 감소하고 있다. 또한, 아날로그 회로는 전압 이득, 부정합 및 잡음에 의해 최소 크기 소자를 사용할 수 없다. 즉, 아날로그 부분의 칩 면적은 소자 크기의 감소에 따라 축소 될 수 없다.

저전압 혼성모드 시스템에 사용하기 위한 연산 증폭기는 최대 동작 영역 및 전력 효율 특성을 지녀야 한다. 저전압에서 최대 동작 영역을 얻기 위하여, NMOS와 PMOS를 병렬로 연결한 rail-to-rail 입력단 회로가 사용된다. 그러한 입력단 회로의 단점은 전체 공통 모드 입력 전압에 대해서 트랜스컨덕턴스(gm)가 2배로 변한다는 것이다. 이러한 큰 트랜스컨덕턴스의 변화는 연산 증폭기의 주파수 보상을 최적화 시킬 수 없다.

일정 트랜스컨덕턴스를 얻기 위한 첫번째 기존의 기법을 [1-3]에 나타내고 있다. 1:1 전류 미러를 갖는 스위치 트랜지스터는 전체 입력 전류를 일정하게 하여 이를 가능하게 하였다. 그러나 이 방법은 강반전에서 전류 스위치에 의해 바이어스 되기 때문에 전체 공통 모드 입력 전압에 대해서 41%의 트랜스컨덕턴스의 변화를 갖는다. 이 트랜스컨덕턴스의 변화는 여전히 효율적인 주파수의 보상을 막고 있다. 1:3전류 미러를 사용하여 변화율을 15%로 개선한 방법이 제안되었다^[4-5]. 또한 입력회로의 꼬리 전류의 자승 제곱근의 합을 일정하게 하여 일정 트랜스컨덕턴스를 얻는 기법을 사용하여 구현하였다^[6]. 또한, 제너 다이오드를 이용하여 입력단 트랜지스터의 게이트-소스 단자의 전압을 일정하게 하여 이를 얻는 기법들도 제안되었다^[7-8]. 반면에 약반전에서 트랜지스터의 gm은 선형적인 특성을 나타내기 때문에 꼬리 전류의 합을 일정하게 유지하여 이를 얻는 논문들도 발표되었다^[9].

본 논문에서는 트랜지스터의 동작영역과 상관없이 rail-to-rail 입력 및 출력을 갖는 일정 트랜스컨덕턴스 2단 연산증폭기를 제안한다. 제안하는 입력단 회로는 거의 일정한 트랜스컨덕턴스를 갖고, 트랜지스터의 강반전 및 약반전 동작영역에서 동작한다. rail-to-rail 출력단은 케환 AB-급 제어를 사용하여 구현하였다. 출력단의 합 회로 및 AB-급 제어 회로는 AB-급 부동 전류원으로 구동되어 공급전원에 독립적으로 동작

전류를 결정한다. 제안하는 광역 동작영역 일정 트랜스컨덕턴스 rail-to-rail 입력단 회로를 2장에 나타내고, 다음 장에는 AB-급 출력단을 기술하였다. 전체 연산증폭기의 구현 및 모의 실험 결과를 4장에서 검증하고 마지막 장에서 이를 정리하였다.

II. 선형 전류관계를 갖는 일정 트랜스컨덕턴스 입력단

전체 동상 모드 입력 전압(Vcm)에서 일정한 rail-to-rail 입력단을 구현하기 위하여 NMOS와 PMOS를 병렬로 갖는 구조를 사용한다. 기존의 rail-to-rail 입력단 회로는 전체 동상 모드 입력 전압 범위에서 2배로 트랜스컨덕턴스가 변하는 문제점을 갖는다. 이러한 변화는 DC-이득의 변화 및 원하지 않는 추가의 왜곡의 초래한다. 트랜스컨덕턴스 변화의 또 다른 문제점은 연산 증폭기의 단일-이득 대역이 입력단의 트랜스컨덕턴스에 비례한다고 알려진 것처럼 최적의 주파수 보상을 할 수 없다. 이러한 입력단 회로의 문제점을 극복하기 위하여 트랜스컨덕턴스를 일정하게 유지해야 한다. 이를 위하여 많은 논문들이 발표되었다. 강반전에서, 일정 트랜스컨덕턴스는 꼬리전류의 자승 제곱근의 합을 일정하게 만들거나 Vgs의 전압 합을 일정하게 만드는 방법 등을 이용하여 구현되었다. 약반전에서는, gm이 전류에 비례하기 때문에 꼬리전류의 합을 일정하게 유지함으로써 쉽게 구현할 수 있었다. 차동 입력쌍의 드레인 전류는 다음과 같이 나타낸다.

$$I_{n1, n2} = \frac{I_{n, tail}}{2} \pm g_{mn} \frac{V_{id}}{2} \quad (1)$$

$$I_{p1, p2} = \frac{I_{p, tail}}{2} \mp g_{mp} \frac{V_{id}}{2} \quad (2)$$

여기서, 전류 $I_{n, tail}$ 과 $I_{p, tail}$ 는 NMOS 및 PMOS 입력쌍 트랜지스터의 꼬리 전류이고, 는 차동 모드 입력 전압을 나타낸다. 위의 식은 강반전 및 약반전에서 모두 적용되는 일반화된 수식이다. 강반전에서 트랜스컨덕턴스 gm은 트랜지스터의 꼬리 전류에 의해 주로 결정된다. 즉,

$$g_{m, strong} = \frac{dI_d}{dV_{gs}} = \sqrt{2KI_{tail}} \quad (3)$$

이다. 여기서, $K = \frac{1}{2} \mu_{n,p} C_{OX} \frac{W_{n,p}}{L_{n,p}}$, $\mu_{n,p}$ 는 전자 및 홀의 이동도를 나타내고, C_{OX} 는 게이트와 산화막 사이의 커패시턴스이며, $\frac{W_{n,p}}{L_{n,p}}$ 는 트랜지스터의 면적비를 나타낸다. 반면에, 약반전에서 동작하면, 전체 트랜스컨덕턴스는 다음으로 나타난다.

$$G_{m,weak} = \frac{I_p}{2n_p V_{th}} + \frac{I_n}{2n_n V_{th}} \quad (4)$$

제안하는 일정 트랜스컨덕턴스 입력단 회로를 그림 1에 나타내었다. 이 기법에서, rail-to-rail 동작은 기존의 회로(NMOS와 PMOS 차동 단을 병렬로 연결한 구조)에 추가 NMOS 및 PMOS 차동 입력쌍(MN1a, MN2a 및 MP1a, MP2a)을 추가 함으로써 구현하였다. rail-to-rail 입력단의 동작 이론은 동상 입력 전압 범위에 따라 세 부분으로 구분함으로써 쉽게 이해할 수 있다.

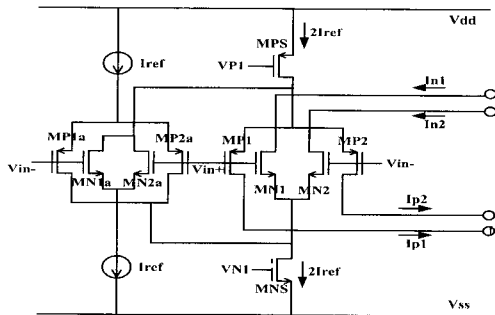


그림 1. 일정 트랜스컨덕턴스 rail-to-rail 입력단 회로도
Fig. 1 Circuit diagram of the rail-to-rail input stage with constant gm.

- 낮은 입력 모드 전압(영역 I: $V_{in,cm} < V_{dd} - V_{gs,p} - V_{ds,p}$)에서는 PMOS 입력쌍(MP1, MP2)과 추가 PMOS 입력쌍(MPa1, MPa2)만 동작을 한다. MP1 및 MP2에 흐르는 드레인 전류를 각각 I_{ref} 라 하면, 전류원 MPS에서 공급되는 I_{ref} 가 PMOS 입력쌍으로 흐른다. 또한, 추가 PMOS 입력쌍에 흐르는 전류는 전류원 MNS를 통하여 흐른다. 이때 NMOS 입력쌍(MN1, MN2)은 꺼지게 되어 MNS를 통하여 전류가 흐르지 못한다. 따라서, 전체 트랜스컨덕턴스 g_{mT} 는 PMOS 입력쌍에 의해 결정되어 PMOS 트랜스컨덕턴스 g_{mp} 와 같고, 이는 다음과 같다.

$$g_{mT,regionI} = g_{mp} \sqrt{2KI_{ref}} = 2\sqrt{KI_{ref}} \quad (5)$$

높은 입력 모드 전압(영역 III: $V_{in,cm} < V_{ss} - V_{gs,n} - V_{ds,n}$)에서는 NMOS 입력쌍(MN1, MN2) 및 추가 NMOS 입력쌍(MNa1, MNa2)만 동작한다. MN1 및 MN2에 흐르는 전류는 각각 I_{ref} 이고, 이는 전류원 MNS를 통해 흐르게 된다. 추가 NMOS 입력쌍은 MPS를 통하여 전류를 흐르게 된다. 이때, PMOS 입력쌍(MP1, MP2)은 비활성화 된다. 따라서, 전체 트랜스컨덕턴스 g_{mT} 는 NMOS 입력쌍에 의해 결정되어 NMOS 트랜스컨덕턴스 g_{mn} 과 같고, 이는 다음과 같다.

$$g_{mT,regionIII} = g_{mp} \sqrt{2KI_{ref}} = 2\sqrt{KI_{ref}} \quad (6)$$

- 중간 영역 입력 모드 전압(영역 II: $V_{dd}/2$ 근처)에서는 PMOS와 NMOS 입력쌍 모두 동작한다. 이때, 추가 NMOS와 PMOS 입력쌍(MN1a, MN2a 및 MP1a, MP2a)에서 각각 I_{ref} 의 전류가 흐른다. 이는 전류원 MPS와 MNS의 전류를 각각의 NMOS 및 PMOS 입력쌍에 I_{ref} 로 일정한 전류가 흐르게 해준다. 또한, 추가 입력쌍은 MN1, MN2 및 MP1, MP2의 게이트-소스 단자 사이의 전압을 제한하여 차동 입력쌍의 트랜지스터를 중반전(moderate inversion) 영역에서 동작하도록 한다. 그래서, 전체 트랜스컨덕턴스는 입력단 꼬리 전류의 합에 의해 결정되고, 이는 중반전에서의 NMOS와 PMOS의 트랜스컨덕턴스의 합과 같다.

$$g_{mT,regionII} = g_{mp} + g_{mn} = \frac{I_{p,tail}}{2n_p V_{th}} + \frac{I_{n,tail}}{2n_n V_{th}} \quad (7)$$

식 (7)로부터 입력단 트랜지스터의 크기를 조절하여 $\sqrt{KI_{ref}}$ 를 $\frac{I_{tail}}{2n_n V_{th}}$ 로 나타낼 수 있다. 그러면 전체 트랜스컨덕턴스 g_{mT} 는 다음과 같다.

$$g_{mT,regionII} = 2\sqrt{KI_{ref}} \quad (8)$$

위의 수식에 따라, 입력단은 항상 일정한 트랜스컨덕턴스를 갖고 전체 공통 모드 입력에서 최대값과 같게 됨을 확인 할 수 있다.

III. Rail-to-Rail AB-급 출력단 회로

효과적인 전력 소모를 위하여 작은 동작전류(I_Q)를 갖고 최대 출력 전류를 공급 할 수 있는 출력단 회로가 필요하다^[10-11]. 이에 따라 0에 근접한 I_Q 를 갖고 큰 출력 전류를 구동할 수 있기 때문에 B-급 출력단을 사용한다. 하지만, B-급 바이어스 기법은 큰 크로스오버 왜곡을 야기시키는 단점을 갖고 있다. 이러한 왜곡을 최소화 시키기 위하여 A-급 출력단을 사용할 수 있다. 그러나 A-급 출력단의 최대 출력 전류가 동작전류 I_Q 와 같기 때문에 rail-to-rail 출력에 대해 25%의 전력 효율을 갖는 문제점이 발생한다. 왜곡과 I_Q 전력 소모 사이의 최적화를 위하여 전력 효율이 좋고 작은 부하를 구동하기 위하여 전류 조절 능력이 좋은 특성을 나타내는 AB-급 출력단 회로를 사용한다. I_Q 는 비활성 상태에서 전력을 감소시키기 위하여 작은 전류값을 나타내야 한다. 또한, I_Q 는 안정적인 AC 응답 특성과 작은 왜곡을 갖도록 잘 조정되어 있어야 한다^[12-13].

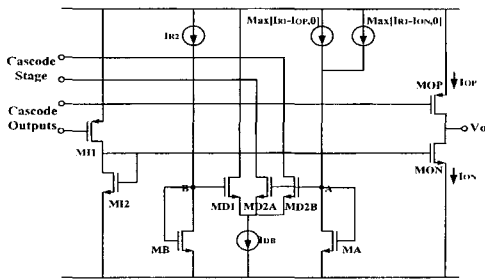


그림. 2. AB-급 출력단 회로의 개념도
Fig. 2 The principle of class-AB output stage.

제안하는 AB-급 출력단의 기본 개념에 대한 블록도를 그림 2에 나타내었다^[14]. 출력단은 공통-소스로 연결된 출력단 트랜지스터(MON, MOP)로 구동되며, 이는 두개의 동상의 전류신호에 의해 구동된다. 위상 변환기 M11 및 M12는 캐스코드 단에서 나오는 2개의 출력 신호 중에서 한 개의 위상을 반전시킨다. MD1, MD2A 및 MD2B는 AB-급 전류 결정쌍을 이룬다. 다이오드 연결 MA 및 MB는 전류 결정쌍의 게이트 바이어스 시킨다. 전류 I_{on} 와 I_{op} 는 MON과 MOP를 통해 흐른다. 기준 전류 I_{RL} 에서의 각각의 전류 차($I_{RL} - I_{on}$ 및 $I_{RL} - I_{op}$)는 최대 전류 선택 회로로 케환 된다. 선택 회로에서 최대 전류는 각각 $\max[I_{RL} - I_{op}, 0]$ 및 $\max[I_{RL} - I_{on}, 0]$ 을 나타낸다. 이러한 전류 결과는 더해지고, 이 전류는 마디 A에서

MA 트랜지스터에 의해 전압으로 변환된다. 동일한 방법으로 트랜지스터 MB는 마디 B에서 기준 전압을 생성한다. 마디 A 및 B에선 전압 값은 다음식에 의해 계산된다.

$$V_A = V_T + \sqrt{\frac{\max[I_{RL} - I_{op}] + \max[I_{RL} - I_{on}]}{k_n(W/L)_A}} \quad (9)$$

$$V_B = V_T + \sqrt{\frac{I_{RL}}{k_n(W/L)_B}} \quad (10)$$

MD1, MD2A, MD2B 및 I_{DB} 로 구성된 전류 결정쌍은 전압 V_A 와 V_B 를 비교하고 캐스코드에 케환 신호를 제공한다. 또한 이는 공통-소스 증폭기를 차례로 구동하여 MON 및 MOP가 꺼지는 것을 방지한다. 출력 전압이 최대 전원 전압까지 구동 되도록 하고, 출력 전류 I_{op} 가 매우 크면, $I_{op} \gg I_{RL} \gg I_{on}$ 가 성립하고 전압 V_A 는 I_{on} 에 의해 주된 영향을 받는다.

$$V_B = V_T + \sqrt{\frac{I_{RL} - I_{on}}{k_n(W/L)_A}} \quad (11)$$

I_{on} 가 매우 클 경우에도 위와 같은 동작이 수행된다.

$$V_B = V_T + \sqrt{\frac{I_{RL} - I_{op}}{k_n(W/L)_A}} \quad (12)$$

식 (11) 및 (12)로 부터 마디 A에서 전압은 I_{on} 이나 I_{op} 의 최소 전류에 의해 결정됨을 알 수 있다. 동작 조건 $I_Q = I_{on} = I_{op}$ 에서 마디 A에서 전압은 다음과 같다.

$$V_B = V_T + \sqrt{\frac{2(I_{RL} - I_Q)}{k_n(W/L)_A}} \quad (13)$$

따라서, 동작 전류 I_Q 는 식 (9)에서 (13)에 의해 계산된다.

$$I_Q = \frac{I_{RL} - I_{RL}}{2} \quad (14)$$

식 (14)는 제안된 출력단 회로의 동작 전류가 오직 기준 전류원만을 사용하여 결정할 수 있음을 나타낸다.

IV. 연산증폭기 회로구현 및 모의실험 결과

제안한 일정-트랜스컨덕턴스 2단 rail-to-rail 연산 증폭기의 전체 회로를 그림 3에 나타내었다. 연산증폭기는 일정-트랜스컨덕턴스를 위한 입력단(MN1-MN2, MP1-MP2, MNa1-MNa2 및 MPa1-MPa2), 캐스코드단(MCC1-MCC8) 및 AB-급 제어를 사용한

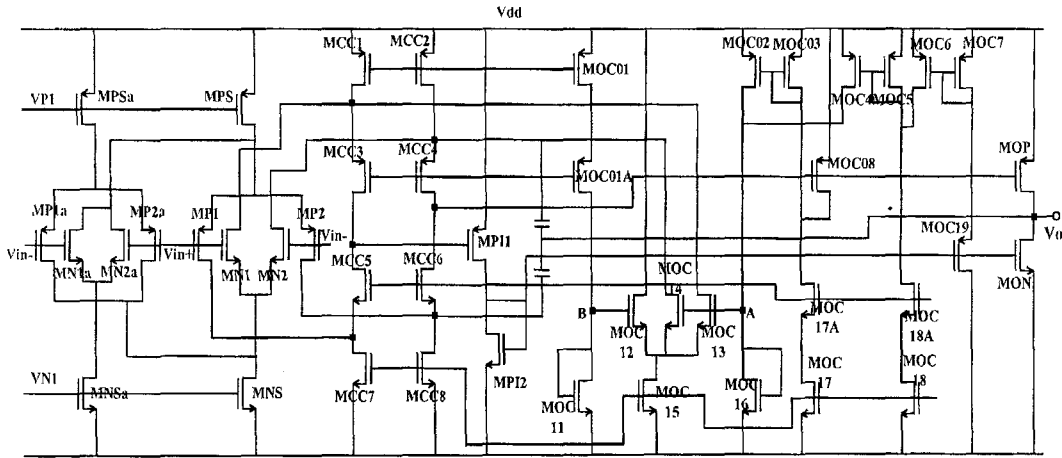


그림 3. 제안하는 전체 연산증폭기 회로
Fig. 3 Complete circuit diagram of proposed opamp.

출력단 회로로 구성된다. 강반전 및 약반전에서 SPICE를 사용하여 모의 실험한 전체 트랜스컨덕턴스를 그림 4와 5에 나타내었다. 모의실험은 $0.8\mu\text{m}$ 공정에서 추출한 모델을 기본으로 수행하였다. 강반전에서의 트랜스컨덕턴스 변화율은 20mA 꼬리 전류에서 4.2%이하로 나타났다..

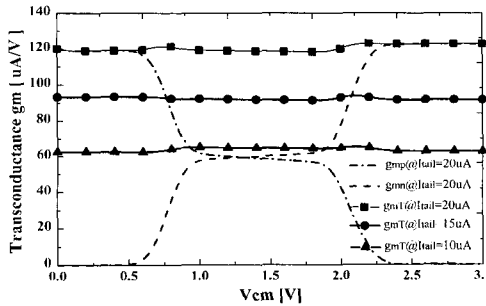


그림 4. 강반전에서의 트랜스컨덕턴스 값 (= 20mA, 15mA, 10mA)
Fig. 4. The transconductance in strong inversion (=20mA, 15mA, 10mA).

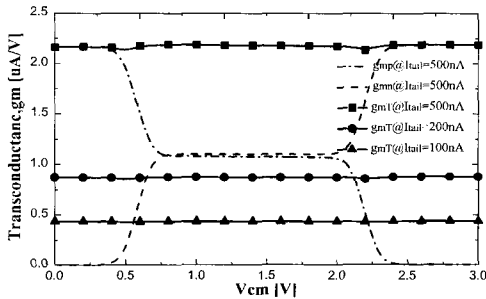


그림 5. 약반전에서의 트랜스컨덕턴스 값 (= 500nA, 200nA, 100nA)
Fig. 5. The transconductance in weak inversion (=500nA, 200nA, 100nA).

또한 15mA 및 10mA 의 꼬리 전류에서의 변화율은 각각 2.5%와 3.0%를 나타내고 있고, 급격한 불연속 구간이 없음을 확인 할 수 있다. 꼬리 전류를 감소시키면 입력쌍 트랜지스터의 동작 영역은 약반전으로 들어가고 꼬리전류 500nA , 200nA 및 100nA 에서 트랜스컨덕턴스는 각각 3.2%, 2.4% 및 2.3%로 나타난다. 입력단 회로가 강반전 영역에 최적화 되었음에도 불구하고, 약반전에서 트랜스컨덕턴스의 변화율은 강반전에서의 동작에 비교하여 보다 작게 나타났다. 이는 제안한 입력단 회로가 MOS 트랜지스터 동작영역과 무관하게 전영역에서 동작함을 검증하고 있다. 그림 6은 출력단에서의 구동전류를 나타낸다($R_L = 1\text{k}\Omega \parallel C_L = 10\text{pF}$). 저항성 부하 $1\text{k}\Omega$ 및 용량성 부하 10pF 에서 $20\mu\text{A}$ 의 매우 작은 동작 전류를 나타내고 있다. 출력단에서 최대 전류는 동작 전류 I_Q 보다 매우 커야 하고, 출력 전류를 전달하지 않는 출력단의 트랜지스터는 매우 작은 전류로 바이어스 된다. 부하 $1\text{k}\Omega$ 및 $10\text{k}\Omega$ 에서 전체 동상입력 전압에 대한 출력 전압의 범위를 그림 7에 나타내었다.

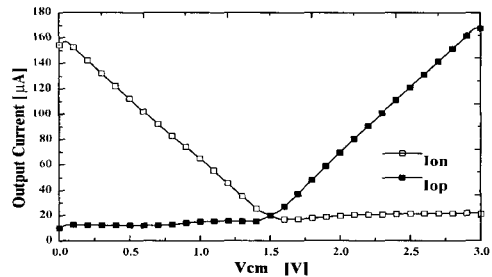


그림 6. 출력전류 특성($R_L = 1\text{k}\Omega \parallel C_L = 10\text{pF}$)
Fig. 6. Output current characteristics($R_L = 1\text{k}\Omega \parallel C_L = 10\text{pF}$).

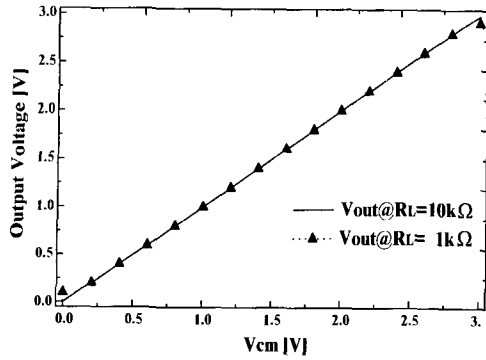


그림 7. 출력 전압 특성($R_L = 1k\Omega \parallel C_L = 10k\Omega$)
 Fig. 7. The characteristics of output voltage swing ($R_L = 1k\Omega, 10k\Omega$).

그 결과로부터 $V_{SS}+0.1$ 부터 $V_{DD}-0.15$ 까지의 출력 전압 범위를 사용할 수 있음을 알 수 있다. 강반전 및 약반전에서 제안한 회로의 개방 루프 주파수 응답을 그림 8에 나타내었다($V_{cm}=0.5V, 1.5V$ 및 $2.5V$). 전체 동상 입력 전압 범위에서 강반전 및 약반전 영역에 무관하게 개방 루프 주파수 응답이 거의 일정한 것을 확인 할 수 있다. 그림 9는 DC-이득 및 단일이득 주파수에 대한 변화율을 동상 입력에 따라 나타내고 있다. DC-이득 및 단일이득 주파수의 변화율은 각각 4.2% 및 12%로 나타나고 있다. 또한 이 값들은 전체 동상 입력 전압에 대해서 거의 일정한 것은 확인할 수 있다. 그림 10은 설계된 연산증폭기 회로의 레이아웃을 나타내고 있다. 개발한 연산증폭기의 특성을 표 1에 정리하였다.

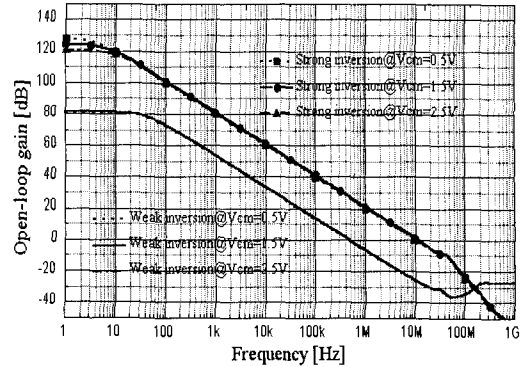


그림 8. 강반전 및 약반전에서 제안한 구조의 개방루프 주파수 응답($V_{cm}=0.5V, 1.5V$ and $2.5V$)
 Fig. 8. Open loop frequency response of the proposed opamp in strong and weak inversion ($V_{cm}=0.5V, 1.5V$ and $2.5V$).

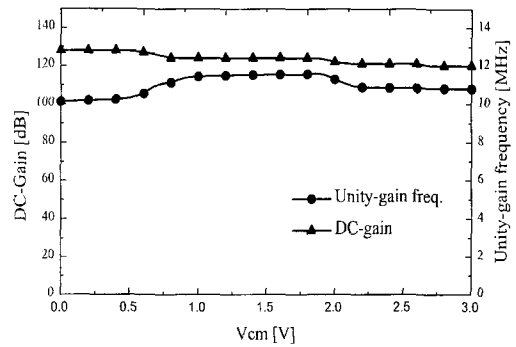


그림 9. DC-전압 이득 및 단일 이득 주파수의 변화율
 Fig. 9. The variation of dc-gain and unity gain frequency.

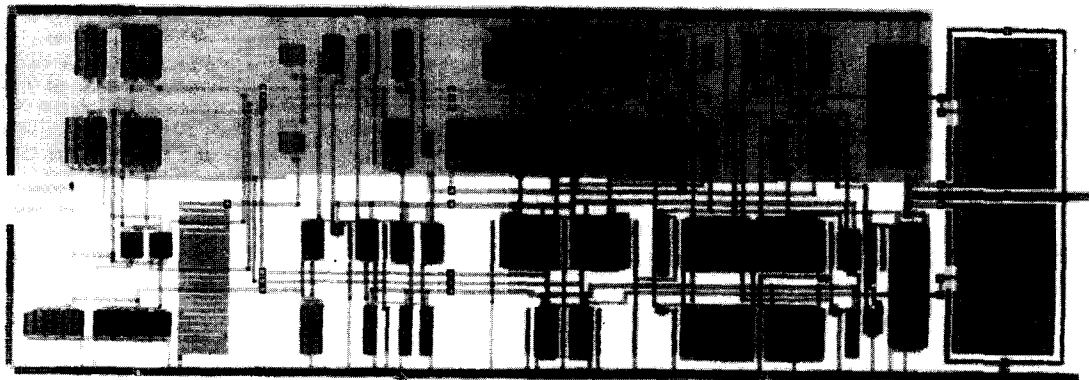


그림 10. 연산증폭기 레이아웃
 Fig. 10. Layout of operational amplifier.

표 1. 연산증폭기의 특성(RL = 10kΩ, CL = 10pF)
 Table.1. The characteristics of the opamp.
 (RL = 10kΩ, CL = 10pF)

변수	값
전원전압	3V
전압이득	124dB
단일이득 주파수	10MHz
위상여유	72°
슬루율	8V/μs
출력전압 특성	V _{ss} +0.1~V _{dd} -0.15
출력 동작전류	20uA
CMRR	76dB@DC, 68dB@1MHz
전력 소모	1.2mW
칩 면적	450×150 μm ²

V. 결 론

rail-to-rail 입력 및 출력단을 갖는 일정 트랜스컨덕턴스 연산 증폭기를 개발하였다. 새로운 기법을 채택한 연산증폭기는 강반전 및 약반전 모든 트랜지스터 영역에서 동작하고 간단한 선형 전류 관계에 의해 전 영역 구조를 나타내고 있다. 또한 큰 출력 전압 범위를 갖고 동작 전류가 20mA로 매우 작은 특성을 나타내고 있다. AB-급 출력단을 개발 하였다. 모의 실험 결과 DC-이득 및 단일이득 주파수의 변화율은 각각 4.2% 및 12%로 나타나며, 제안한 연산증폭기의 주파수 응답, DC 출력 특성 및 트랜스컨덕턴스에 대해 잘 나타내고 있다. 제안한 연산 증폭기는 3V 전원 전압, 0.8μm 공정을 사용하여 강반전 및 약반전 모든 영역에서 검증하였다. 설계한 연산증폭기는 입력 및 출력에서 rail-to-rail 특성을 나타내기 때문에 저전압 혼성모드에서의 기능 블록으로 사용하기에 적합할 것이다.

참 고 문 헌

[1] J. H. Huijsing and D. Linebarger, "Low-Voltage Operational Amplifier with Rail-to-Rail Input and Output Ranges," IEEE J. of Solid-State Circuits, vol. SC-20, pp. 1144-1150, 1985.
 [2] W. C. S. Wu, W. J. Helms, J. A. Kuhn and B. E. Byrnett, "Digital - Compatible High -

Performance operational Amplifier with Rail-to-Rail Input and Output Range," IEEE J. Of Solid-Stage Circuit, vol. SC-29, no. 12, pp. 15505-1513, 1994..
 [3] M. D. Pardoen and M. G. Degrauwe, "A Rail-to-Rail Amplifier Input/Output CMOS Power amplifier," IEEE J. Solid-State Circuits, vol. SC-25, pp. 501-504, 1990.
 [4] R. Hogervorst, J. P. Tero, R. G. H. Eschazier and J. H. Huijsing, "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries," IEEE J. Solid-State Circuits, vol. SC-29, pp.1505-1512 1994.
 [5] R. Hogervorst, R. J. Wiegerink, P. AL. de Jong, J. Fonderie, R. F. Was senaar and J. H. Huijsing, "CMOS Low-Voltage Operational Amplifiers with Constant-gm Rail-to-Rail Input Stage," Analog Integrated Signal Processing, vol. 5, pp. 125-146, 1994.
 [6] R.F.Wassenaar, J.H Huijsing, R.J.Wiegerink, R. Hogervorst, J. P. Tero, "Differential Amplifier Having Rail - to - Rail Input Capability and Square Root Current ControlM.D. Pardoen and M.G. Degrauwe, IEEE J. of Solid-State Circuits, vol.SC-25, pp. 501-504, (1990)," US patent, patent no. 5,371,474, 1994.
 [7] R. Hogervorst, J. P.Tero and J. H. Huijsing, "Compact CMOS Constant-gm Rail-to-Rail Input Stage with gm Control by an Electronic Zener Diode," Proceedings ESSCIRC, pp. 178-181, 1995.
 [8] R. Hogervorst, J. P. Tero and J. H. Huijsin, "Compact CMOS Constant-gm Rail-to-Rail Input Stage with gm Control by an Electronic Zener Diode," IEEE J. Solid-State Circuits, vol. SC-31, pp.1035-1040, 1996.
 [9] J. H. Botama, R.F.Wassenaar and Wiegerink, "Simple Rail-to-Rail Low-Voltage Constant-Transconductance CMOS Input Stage in Weak Inversion," IEE Electronic Letters, vol.29, p.1145-1147, 1993.
 [10] P. R. Gray, R. G. Meyer, "Analysis and Design of Analog Integrated Circuits," John

- Wiley & Sons Inc., New York, 1984.
- [11] R. Hogervorst, and J.H. Huijsing, "Design of Low-Voltage, Low-Power Operational Amplifier Cells," . Kluwer Academic Publisher, Boston, 19964.
- [12] E.Seevinck, W.De Jager and P.Buitendijk, "A Low Distorint Output Stage with Improved Stability for Monolithic Power Amplifiers," IEEE J. Solid-State Circuits, vol. SC-23, pp.794-801, 1988.
- [13] W. C. M.Renirie, J. H. Huijsin, "Simplifier Class-AB Control Circuits for Bipolar Rail-to-Rail Output Stages of Operational Amplifiers," Proceedings ESSCIRC, pp. 183-186, 1992.
- [14] 박장우, "일정-gm을 갖는 3V CMOS Rail-to-Rail Opamp의 설계," 제6회 한국반도체학술대회, pp.371-372, 1999

저 자 소 개



蔣一權(正會員)

1971年 6月 16日生 1996年 2月
홍익대학교 전자공학과(공학사). 1998
年 2月 한양대학교 대학원 전자공학
과(공학석사). 1998年 3月~현재 한
양대학교 대학원 전자공학과 박사
과정. 주관심분야는 저전력 메모리 설계, 고속 클럭 동
기회로, 저전력 회로 설계 등임



郭桂達(正會員)

1950年 2月 12日生 1974年 2月 한
양대학교 전자공학과(공학사). 1976
年 2月 한양대학교 대학원 전자공학
과(공학석사). 1980年 11月 프랑스
Institute of National Polytechnique
de Toulouse 전자공학과(공학박사). 1981年 3月~현재
한양대학교 전자공학과 교수. 주관심 분야는 반도체
소자 모델링, 화합물 반도체 소자, 저전력 회로 설계,
Mixed-mod 회로설계 등임

朴長雨(正會員)

1965年 서울 出生 1987年 2月 한양대 전자공학과(공
학사). 1989年 2月 한양대 대학원 전자공학과(공학석
사), 1993年 8月 한양대학교 대학원 전자공학과(공학
박사). 1995年 3月~현재 순천대학교 정보통신공학과
조교수. 주관심분야, 저전압 저전력 Mixed IC 설계
및 RF IC 설계등임