

RTA를 이용하여 수소 열처리한 실리콘 웨이퍼의 표면 및 표면 근처의 변화 연구

정수천, 이보영, 유학도

LG 실트론 연구소, 구미, 730-350

(1999년 11월 24일 접수)

Investigation into the variation on Si wafer by RTA annealing in H₂ gas

Soo-Cheon Chung, Bo-Young Lee and Hak-Do Yoo

R&D Center, LG Siltron Inc, Kumi 730-350, Korea

(Received November 24, 1999)

요 약 일반적인 초크랄스키(CZ) 방법으로 성장된 실리콘 단결정봉(Ingot)을 가공하여 경면 연마한 후 RTA법으로 수소 분위기에서 열처리하여 실리콘 웨이퍼 표면 및 표면 근처의 특성 변화에 대하여 고찰하였다. 수소 열처리를 통하여 표면의 COP(결정결함)가 현저히 감소하는 것을 확인하였고 깊이 5 μm 까지의 영역에서도 결정결함의 밀도가 감소하였다. 또한 수소 열처리에 의해 실리콘 웨이퍼 표면이 에칭 및 실리콘의 재배열에 의해 형성되는 테라스(Terrace) 형태도 관찰되었다.

Abstract The surface structure and the crystalline features in the near surface region have been investigated for CZ (Czochralski) grown Si wafers. Si wafers were annealed by RTA (Rapid Thermal Annealing) method in H₂ ambient after mirror polished process. The densities of COPs (Crystal Originated Particles) after RTA process were remarkably decreased at the surface and in the region of 5 μm depth from the surface as well. Terrace type surface structure which was formed by etching and re-arrangement of Si atoms during H₂ annealing process also has been observed.

1. 서 론

VLSI(Very Large Scale Integrated) 시대에서 ULSI(Ultra Large Scale Integrated) 시대로 발전하면서 Device 제조 시 선 폭이 Sub-Half Micrometer 이하로 미세화함에 따라 Device 제조공정은 더욱 세분화되고 복잡해지고 있다. 이로 인해 Device의 성능과 수율에 중대한 영향을 미치는 실리콘 웨이퍼(Wafer)에 대한 품질(Quality) 요구 수준은 더욱더 높아지는 추세에 있다.

ULSI 시대에서 CZ(Czochralski)[1] 방법으로 성장된 실리콘 웨이퍼에 요구되는 주요 품질 특성들은 구체적으로 Device 형성 영역, 즉, Device Active Region에서의 결정결함 최소화, 웨이퍼의 평탄도 향상, 실리콘 웨이퍼 표면의 Particle 감소, 실리콘 웨이퍼 표면 및 벌크(Bulk)의 금속 오염(Metal Impurity)의 감소 등으로서, 이들에 대한 향상 요구가 계속 강화되고 있다. 특히 최근에 Device의 활성(Active)영역에 존재하는 결정결함인 COP (Crystal Originated Particle)[2, 3]가 Device 성능 및 수율 저하의 주요 원인이 될 수 있다는 내용의 연구가 많은 사람들에

의해 발표되고 있으며, 반도체를 제조하고 있는 디바이스 업체에서도 디바이스의 수율 향상을 위해 시간이 지날수록 이러한 결정결함을 최소화한 실리콘 웨이퍼를 요구하고 있다.

그러나 CZ 실리콘 단결정(Ingot) 성장 시 산소 등의 불순물 원자 및 점 결함(공공, 격자간 실리콘 원자 등)이 인상으로 내에서의 결정 냉각 시 응집되어 형성되는 결정결함[4] 중의 하나인 COP를 억제하는 것은 매우 어려운 과제이다.

이와 같은 문제를 해결하기 위하여 본 연구에서는 일반적으로 성장된 CZ 실리콘 결정을 웨이퍼 상태로 경면 연마한 후, 고온 열처리를 이용한 수소 분위기 열처리를 통하여 COP의 수를 현저히 감소시키는 방법에 대하여 실험하였고 이렇게 수소 열처리된 실리콘 웨이퍼의 표면 및 벌크(Bulk)의 특성 변화에 대하여 조사하였다.

2. 실험 방법

본 실험에서 사용된 실리콘 웨이퍼는 CZ(100), P-type

(Boron-doped)이며, Boron 농도 $2.235\sim 3.262 \times 10^{15}$ atoms/cm³, 비저항(Resistivity) 값은 4.16~6.03 Ωcm, 산소농도는 11.3~14.2 ppma(New ASTM)인, 한쪽 면이 경면 연마된 실리콘 웨이퍼(직경 150 mm)로서, 실리콘 단결정(Ingot) 내의 인접한 영역에서 샘플링되었다.

이 실리콘 웨이퍼 샘플들을 에피 성장로(Epi reactor)를 이용하여 열처리 온도(1100°C, 1170°C) 및 시간을 달리하면서 수소 분위기에서 열처리를 실시하였고, 열처리는 RTA(Rapid Thermal Annealing) 법을 이용하여 승온(Ramping up) 온도는 3.3°C/초, 냉각(Cooling down) 온도는 4.6°C/초로 실시하였다.

수소 열처리 후 실리콘 웨이퍼 표면의 거칠기(Micro roughness)를 원자간력 현미경(AFM: Atomic Force Microscope, PSI, Auto Probe M5)을 이용하여 측정 비교하였고, 열처리 전,후의 웨이퍼 표면의 COP 밀도를 Particle 측정기(Tencor, SP1)를 이용하여 측정, 비교하였다.

샘플의 표면에 산화막(두께 : 1000 Å)을 성장시킨 후 전기적 특성을 측정하는 방법인 DSOD(Direct Surface Oxide Defect)[2] 시스템을 이용하여 열처리 전,후의 표면에 나타난 결함(Defect)수를 비교하였고, 실리콘 웨이퍼를 절단하여 단면을 화학약품으로 에칭(Chemical etching)한 후 표면근처의 결함 형성상태를 비교하였으며, 열처리 전, 후의 샘플에 대하여 BMD(Bulk Micro Defect) Analyzer(Mo 521, Mitsui-Mining)를 이용하여 표면으로부터 벌크 내 5 um 깊이까지의 결정 결함의 수를 측정 비교하였다.

3. 결과 및 고찰

3.1. COP 변화

Fig. 1은 RTA 법으로 수소(H₂) 열처리 전후의 실리콘 웨이퍼 표면의 Particle(COP)을 측정한 결과이며, Fig. 2는 1100°C에서 수소 열처리 시간에 따라 COP가 감소하

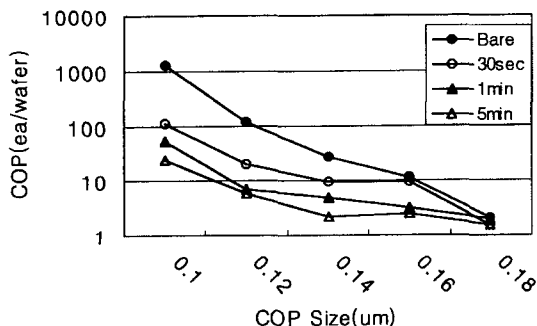


Fig. 1. COP distribution after H₂ Annealing (1100°C).

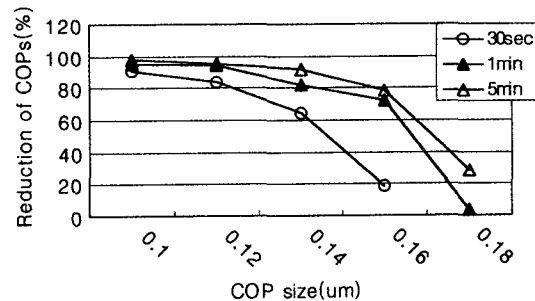


Fig. 2. Reduction ratio of COP according to annealing time (1100°C).

는 정도를 나타낸 것이다. 1994년에 Kazuhiko Kashima [5] 등이 발표한 내용과 같이 1100°C 이상의 고온 열처리에 의해 공공(vacancy)에 기인된 결함이 쉽게 수축 또는 실리콘 웨이퍼 표면에서 외부로 방출되어 소멸된다는 연구 보고에 따라, 수소 열처리 온도는 각각 1100, 1170°C로 실시하였다.

Fig. 1에서 나타난 것과 같이 수소 열처리 후 0.10~0.12 um 크기의 COP가 1240개 수준에서 110개 이하 수준으로, 0.12~0.14 um 크기의 COP는 110개 수준에서 20개 이하 수준으로 감소하였고 나머지 크기의 COP도 대부분 줄어드는 경향을 나타내었다.

또한 Fig. 2에서 보는 바와 같이 수소 열처리 시간이 증가함에 따라 COP가 감소하는 비율이 크게 나타났으며, COP size 별로도 큰 size의 COP 보다는 작은 size의 COP가 더 쉽게 감소하였다. 이는 S. Sadamitsu[6], Yoshio [7] 등이 보고한 수소 열처리에 의해 COP의 폭은 넓어짐과 동시에 COP의 깊이는 점점 얕아져서 이러한 반응이 지속되어짐으로 인해, 결국 COP가 소멸된다는 내용으로 이해되어지며, 이러한 내용을 근거로 볼 때 큰 size의 COP 보다 작은 size의 COP가 쉽게 소멸되는 것이 당연한 결과라고 판단된다.

이와 같이 실리콘 웨이퍼의 표면에 존재하는 결정결함인 COP는 BV(Breakdown Voltage) 측정에서 주로 B-Mode fail을 유발하는 것으로 알려져 있으며 표면의 COP 밀도가 증가하면 증가할수록 B-Mode fail도 증가한다는 내용에 대하여는 일찍이 Toshiaki Ono[3] 등에 의해 확인되었다.

따라서, 실험 결과에서와 같이 실리콘 웨이퍼 표면에 B-mode fail의 원인이 되는 COP가 감소함으로써 수소 열처리 전의 웨이퍼에 비해 보다 양호한 BV 특성을 갖을 것으로 판단된다[8, 9].

3.2. DSOD 측정

Fig. 3은 수소 열처리 전, 후의 실리콘 웨이퍼 표면의

결정결함을 측정하는 DSOD법[2]을 이용하여 표면의 결정 결함을 비교한 결과이다.

이 방법은 실리콘 웨이퍼 표면에 산화막을 1000 Å 정도 성장 시킨 후에 웨이퍼 뒷면의 산화막을 제거하고 실리콘 웨이퍼의 양면에 전압을 인가하였을 때 결함 위치의 산화막 부분이 인가된 전압에 의해 터지면서 Cu가 Decoration되는 현상을 관찰하는 방법이다. 이러한 방법은 Cu Decoration법 이라고도 불리우며, 간접적으로 실리콘 웨이퍼의 결정결함 정도를 평가하는 방법 중의 하나이다.

이러한 실험을 실시한 결과 Fig. 3과 같이 일반적인 경면 연마된(Polished Wafer) 실리콘 웨이퍼에서는 655개, 1100°C 수소 열처리한 실리콘 웨이퍼는 열처리 시간(30초, 1분, 5분)에 따라 각각 40,36,31개, 1170°C 수소 열처리한 실리콘 웨이퍼는 열처리 시간(30초, 1분, 5분)에 따라 각각 49, 62, 52개로 일반적인 경면 연마된 실리콘 웨이퍼에 비해 각각 1/10 수준으로 측정되었다. 이러한 결과는 수소 열처리를 통하여 표면의 COP와 같은 결함이 감소하여 전압 인가시 산화막(Oxide)이 터질 수 있는 원인(결정 결함)이 감소하였기 때문이다.

3.3. NSMD 측정

Fig. 4는 실리콘 웨이퍼의 표면 근방에 있는 NSMD

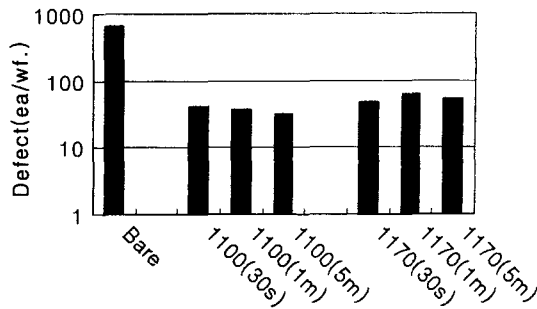


Fig. 3. Comparison of Cu decorated oxide defects after H₂ annealing (applied electric field : 5 MV/cm).

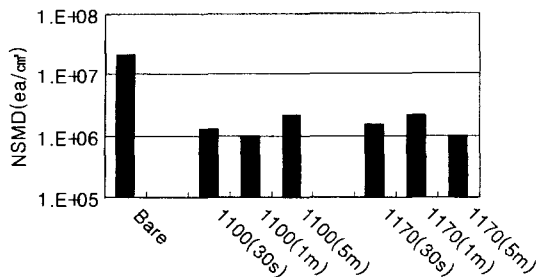
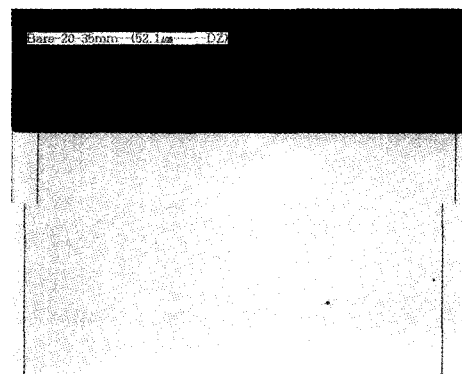


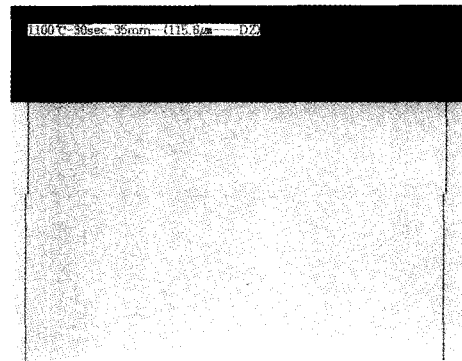
Fig. 4. Comparison of surface BMD densities below 5µm after H₂ annealing.

(Near Surface Micro Defect)를 BMD Analyzer를 이용하여 측정한 결과이며, 측정면적은 250 µm × 500 µm × 5 µm이다. 측정 결과에서 보는 바와 같이 수소 열처리 전에 NSMD의 밀도는 2.0 × 10⁷(ea/cm³), 수소 열처리 후의 NSMD 밀도는 2.0 × 10⁶(ea/cm³) 이하로 수소 열처리 전에 비해 약 1/10 정도 낮게 측정되었다. 하지만 수소 열처리 온도별 및 열처리 시간에 따른 NSMD의 유의차는 나타나지 않았다.

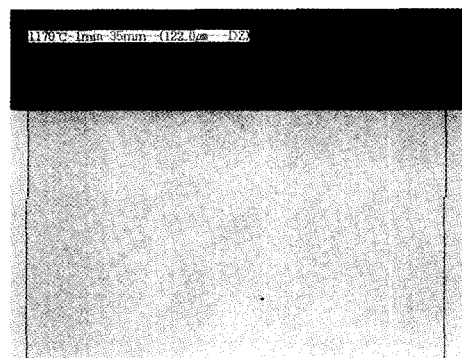
실험 결과에서와 같이 수소 열처리에 의해 표면에 있는



(a) Bare(DZ:70µm)



(b)1100°C(DZ:120µm)



(c)1170°C(DZ:115µm)

Fig. 5. Comparison of DZ depth after H₂ annealing.

COP가 감소하는 것은 물론 수소 열처리시 표면 및 표면 근방(깊이 5 μm)에 존재하는 산소가 외부로 확산됨과 동시에 수소에 의해 NSMD를 형성할 수 있는 핵이 수축되거나 소멸된 것으로 판단된다[10, 11].

3.4. DZ(Denuded Zone) 측정

수소 열처리 전, 후의 실리콘 웨이퍼의 표면 근처의 특성을 측정하기 위하여 본 실험실에서 준비한 열처리 Cycle (900°C-40분 /O₂ + 1150°C-60분 /N₂ + 750°C-80분 /N₂ + 1050°C-600분/N₂)로 웨이퍼를 열처리하였다[12].

이러한 열처리가 완료된 실리콘 웨이퍼를 (110)면을 따라 Cross Section한 후 절단된 벽개면을 5분간 화학 에칭 (Wright Etching)하여 실리콘 웨이퍼 벌크의 DZ Depth를 광학 현미경(Micro scope)을 이용하여 측정 비교하였다.

Fig. 5에서 보는 바와 같이 수소 열처리 전에 비해 수소 열처리 후의 DZ Depth가 40~50 μm 정도 깊게 형성되었다. 이는 수소 열처리에 의해 표면 및 표면 근처에 있는 산소 원자들이 외부로 확산되거나 BMD를 형성할 수 있는 핵이 수축 및 소멸된 것으로 판단된다.

3.5. 표면 거칠기 및 형상

Fig. 6은 수소 열처리 전후의 실리콘 웨이퍼 표면의 거칠기(Micro roughness)를 AFM을 이용하여 측정한 결과이며, 측정면적은 2 μm × 2 μm이다.

측정 결과에서 나타난 것과 같이 열처리 전 0.855 Å (rms 기준)이었던 표면 거칠기가 수소 열처리 후 0.715~

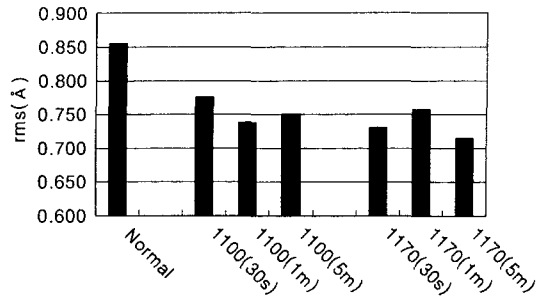


Fig. 6. Comparison of surface micro roughness after H₂ annealing

0.758 Å으로 대부분의 샘플 실리콘 웨이퍼에서 0.1~0.14 Å 정도 낮은 값으로 측정되었으며, 1100°C에 비해 1170°C로 열처리한 웨이퍼의 표면 거칠기가 전체적으로 낮게 측정되었다.

이는 고온 열처리를 통하여 수소에 의한 실리콘 웨이퍼의 표면 에칭과 실리콘 원자가 재배열 되면서 실리콘 웨이퍼의 표면을 평탄화하는 효과인 것으로 판단되나 정확한 메커니즘은 확인되지 않았다.

또한, Fig. 7는 수소 열처리 전후의 표면 형상(Surface Morphology)을 AFM을 이용하여 측정한 것이다. 그림에서 보는 바와 같이 수소 열처리된 실리콘 웨이퍼의 표면은 일반적으로 경면 연마(Polished)된 실리콘 웨이퍼의 표면 형상과는 상이한 형상을 보이고 있으며, 이러한 형상은 Y. Yanase[13] 등이 보고한 Epitaxial 웨이퍼, HCl Vapor Etched 웨이퍼, 수소 열처리 웨이퍼들의 표면을 관찰한 결과와 동일한 테라스(Terrace)[14]로 확인되었다. 이러한 테

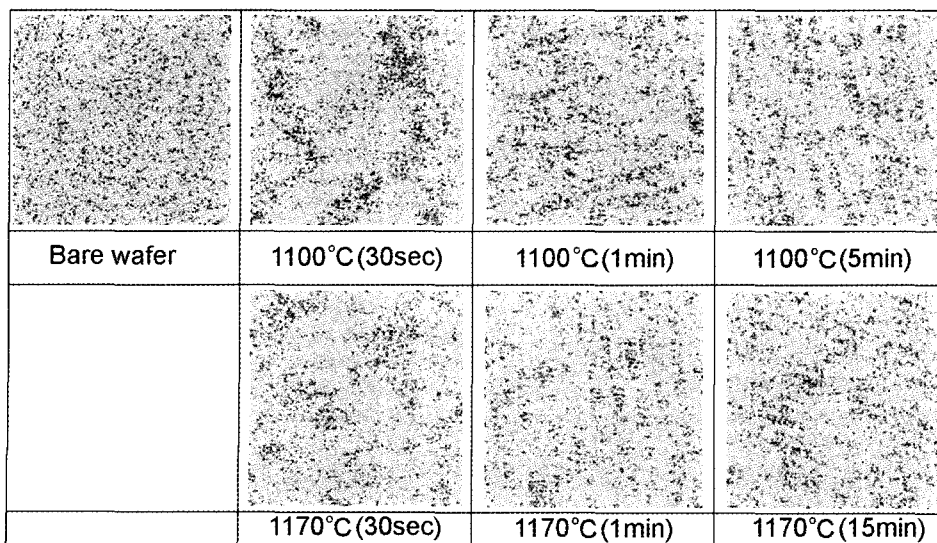


Fig. 7. A typical 2 μm × 2 μm AFM image of a silicon surface after H₂ annealing.

라스 형태는 온도가 높을수록, 동일 온도에서 열처리 시간이 늘어날수록 뚜렷한 형상이 관찰되었다.

3.6. 수소 열처리에 의한 결정결함의 축소 및 소멸 모델

본 연구의 실험 결과를 종합해 보면 Fig. 8과 같이 팔면체 구조를 가진 것으로 알려져 있는 LSTD의 경우는 수소 열처리 동안에 표면 및 표면근처에서 산소의 외방 확산과 동시에 LSTD의 안쪽면에 존재하는 산화막 중에서 산소가 외부로 확산된다.

이로 인해 LSTD의 내벽에 존재하는 산화막이 소멸되며, 표면 및 표면 근처에 존재하는 과잉 실리콘 원자에 의해 COP와 LSTD의 내부가 채워지면서 구형으로 형태가 바뀌고 동시에 크기도 작아져서, 결국 소멸하게 된다[15].

Fig. 9는 수소 열처리에 실리콘 웨이퍼 표면 및 표면 근처에서 일어나는 현상을 종합하여 도식화한 모델이다.

수소 열처리에 의해 실리콘 웨이퍼 표면이 수소에 의해

에칭되고 재배열되면서 웨이퍼 표면의 COP가 감소하며, 이러한 과정에서 웨이퍼의 표면에 테라스 구조가 형성된다.

이와 동시에 수소 열처리에 의한 산소의 외방 확산(Out diffusion)으로 표면 및 표면 근처의 산소 농도가 낮아지면서 표면 근처의 NSMD(BMD 포함)도 그 크기가 축소되거나 소멸되어지며 이로 인하여 DZ가 깊게 형성된다.

4. 결 론

본 실험에서는 RTA법을 이용한 수소 고온 열처리를 통하여 실리콘 웨이퍼 표면의 COP가 현저히 감소하는 것을 관찰할 수 있었고, 동시에 실리콘 웨이퍼 표면 근처에서의 NSMD도 감소하는 것을 확인하였다.

결국 이러한 수소 고온 열처리를 통하여 결정 성장 시 형성되는 결함을 감소시킬 수 있으며, 이와 같이 실리콘 웨이퍼를 고온에서 수소 열처리함으로써 실리콘 결정성장시

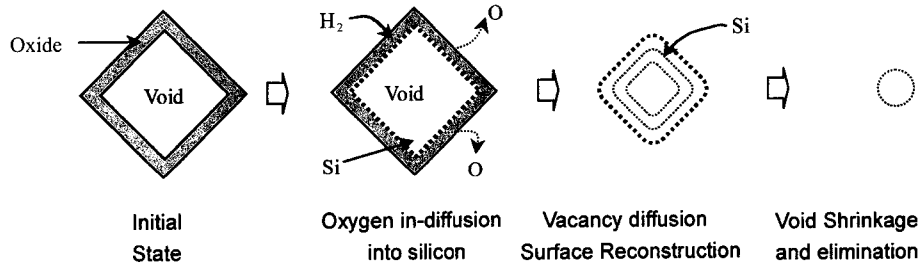


Fig. 8. Schematic diagram of shrinkage of grown-in defects.

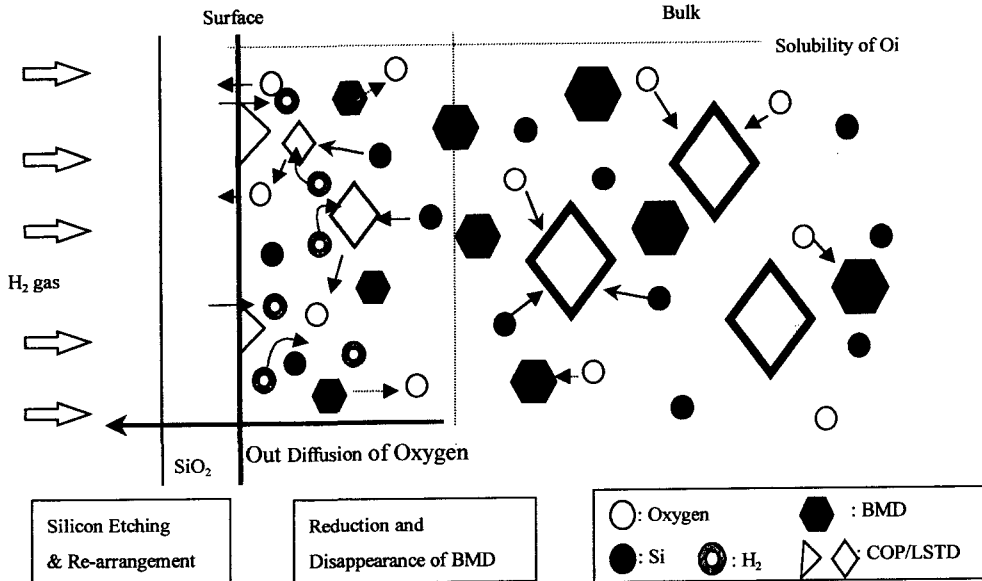


Fig. 9. Schematic diagram of the H₂ annealing effect

형성된 결정결함을 감소 시킴으로서 보다 나은 전기적 특성을 갖는 실리콘 웨이퍼를 얻을 수 있을 것으로 판단된다.

참 고 문 헌

- [1] Fumio Shimura *et al.*, Oxygen in Silicon, (Academic Press Inc, San Diego, 1994).
- [2] J.G. Park, J.M. Park, K.C. Cho, G.S. Lee and H.K. Chung, Electrochemical Society Proceedings Volume 97-22 (1997) pp. 173-195.
- [3] Toshiaki Ono, Hiroshi Horie, Morimasa Miyazaki, Hideki Tsuya and Geoge A. Rozgonyi, Electrochemical Society Proceedings Volume 99-1 (1999) pp. 300-311.
- [4] Fumio Shimura, Semiconductor Silicon Crystal Technology (Academic Press Inc, San Diego, 1989) pp. 281-284.
- [5] Kazuhiko Kashima and Hitoshi Hirano, 應用物理 第 63 卷 11 (1994) 1114.
- [6] S. Sadamitsu, N. Adachi, S. Umeno, Y. Yanase and M. Sano, Device Technology No. 5 (1997) 20.
- [7] Yoshio Yanase, Hideki Nishihata, Takashi Ochiai and Hideki Tsuya, Jpn Appl. Phys. Vol. 37 (1998) 1.
- [8] Hidenobu ABE, Yoshio MURAKAMI, Hisashi FURUYA, 울트라크리-인텍노로지-(1996) 34.
- [9] 강창수, Journal of Korean Association of Crystal Growth, Vol. 8, No. 3 (1998) 411.
- [10] M. Hourai, G.P. Kelly, T. Tanaka, S. Umeno and S. Ogushi, Electrochemical Society Proceedings Volume 99-1 (1999) pp. 372-385.
- [11] Ant Ural, Peter B. Griffin and James D. Plummer, J. Appl. Phys. Vol. 85, No. 9 (1999) 6440.
- [12] 이보영, 황돈하, 유학도, 권오정, Journal of Korean Association of Crystal Growth Vol. 9, No. 1 (1999) 84.
- [13] Y. Yanase, H. Horie, Y. Oka, M. Sano, S. Sumita and T. Shigematsu, J. Electrochem. Soc., Vol. 141 (1994) 3259.
- [14] Lei Zhong, Akimichi Hojo, Yoshiro Aiba, Katuhiro Chaki, Jun Yoshikawa and Kenro Hayashi, Appl. Phys. Lett. 67(26) (1995) 3951.
- [15] Hideki Tsuta, SEMI, Silicon wafer Symposium (1998) H-11~H-25.