

## 실리콘 실험실에 구리 오염을 방지 할 수 있는 고밀도/고균일의 Solder Bump 형성방법

김성진 · 주철원 · 박성수 · 백규하 · 이희태 · 송민규  
한국전자통신연구원 회로소자기술연구소

### Fabrication Method of High-density and High-uniformity Solder Bump without Copper Cross-contamination in Si-LSI Laboratory

Seong-Jin Kim, Chul-Won Ju, Seong-Su Park, Kyu-Ha Park, Hee-Tae Lee, and Min-Kyu Song

Micro-Electronics Technology Laboratory Electronics and Telecommunications Research Institute  
Yusong P. O. Box 106, Taejeon 305-600, Korea

**초 록 :** 사용되는 metal 구분 없이 반도체 공정장비들을 사용함으로써 cross-contamination을 유발시킬 수 있다. 특히, copper(Cu)는 확산이 쉽게 되어 cross-contamination에 의해 수 ppm정도가 wafer에 오염되더라도 트랜지스터의 leakage current 발생 요인으로 작용할 수 있기 때문에 Si-IC 성능에 치명적인 영향을 미칠 수 있는데, Si-LSI 실험실에서 할 수 있는 공정과 Si-LSI 실험실을 나와 할 수 있는 공정으로 구분하여 최대한 Si-LSI 장비를 공유함으로써 최소한의 장비로 Cu cross-contamination 문제를 해결할 수 있다. 즉, 전기도금을 할 때 전극으로 사용되어지는 TiW/Al sputtering, photoresist (PR) coating, solder bump 형성을 위한 via 형성까지는 Si-LSI 실험실에서 하고, 독립적인 다른 실험실에서 Cu-seed sputtering, solder 전기도금, 전극 etching, reflow 공정을 하면 된다. 두꺼운 PR을 얻기 위하여 PR을 수회 도포(multiple coating) 하고, 유기산 주석과 유기산 연의 비를 정확히 액 조성함으로써 Sn:Pb의 조성비가 6:4인 solder bump를 얻을 수 있었다. solder를 도금하기 전에 저속 도금으로 Cu를 도금하여, PR 표면의 Cu/Ti seed층을 via와 PR 표면과의 저항 차를 이용하여 PR 표면의 Cu-seed를 Cu도금 중에 etching시킬 수 있다. 이러한 현상을 이용하여 선택적으로 via만 Cu를 도금하고 Ti층을 etching한 후, solder를 도금함으로써 저 비용으로 solder bump 높이가 60  $\mu\text{m}$  이상 높고, 고 균일/고 밀도의 solder bump를 형성시킬 수 있었다.

**Abstract :** We demonstrate the fabrication method of high-density and high-quality solder bump solving a copper (Cu) cross-contamination in Si-LSI laboratory. The Cu cross-contamination is solved by separating solder-bump process by two steps. Former is via-formation process excluding Cu/Ti under ball metallurgy (UBM) layer sputtering in Si-LSI laboratory. Latter is electroplating process including Ti-adhesion and Cu-seed layers sputtering out of Si-LSI laboratory. Thick photoresist (PR) is achieved by a multiple coating method. After TiW/Al-electrode sputtering for electroplating and via formation in Si-LSI laboratory, Cu/Ti UBM layer is sputtered on sample. The Cu-seed layer on the PR is etched during Cu-electroplating with low-electroplating rate due to a difference in resistance of UBM layer between via bottom and PR. Therefore Cu-buffer layer can be electroplated selectively at the via bottom. After etching the Ti-adhesion layer on the PR, Sn/Pb solder layer with a composition of 60/40 is electroplated using a tin-lead electroplating bath with a metal stoichiometry of 60/40 (weight percent ratio). Scanning electron microscope image shows that the fabricated solder bump is high-uniformity and high-quality as well as symmetric mushroom shape. The solder bumps with even 40/60  $\mu\text{m}$  in diameter/pitch do not touch during electroplating and reflow procedures. The solder-bump process of high-uniformity and high-density with the Cu cross-contamination free in Si-LSI laboratory will be effective for electronic microwave application.

**Keywords :** Cu cross-contamination, flip-chip interconnection, solder bump, electroplating, thick-PR

## 1. 서 론

Solder bump (혹은, ball)를 이용한 flip-chip interconnection 기술은 system의 소형화, 경량화, 고속화 요구 및 마이크로 일렉트로닉스의 성능을 향상시키기 위해 절실히 필요한 기술로서 향후 1~2년 후에는  $10 \times 10 \text{ mm}^2$  chip당 IO-pad수가 2000개 이상 될 것으로 예상되어 flip-chip 실장기술의 중요성이 강조되고 있는 상황이다<sup>1)</sup>. Flip-chip interconnection 기술은 반도체 산업에서 반듯이 필요한 기술로 인식될 뿐만 아니라, 하루 빨리 기술선점을 확보해야 하기 때문에 상용화의 관점에서 많은 관심을 불러일으키고 있는 분야 중 하나이다<sup>2)</sup>. 그러나 flip chip 실장기술은 IO-pad수의 증가 추세에 보조를 맞추기 위해 반드시 해결해야 될 몇 가지 문제점이 있다. 첫째, bump 형성 기술은 LSI-chip 위에 형성 할 수 있는 고 밀도의 wafer level package (WLP) 기술을 확보해야 하고, 둘째, bump 형성은 chip과 기판의 열팽창 계수의 차이에 의해 발생할 수 있는 응력을 최소화하기 위해 높은 aspect ratio를 얻을 수 있어야 하며, 셋째, interconnection의 높은 신뢰성을 갖기 위해서는 resin으로 chip과 기판 사이를 채울 수 있는 기술을 확보해야 한다.

Silicon large scale integrated circuit (Si-LSI) 공정은 크게 lithography, implantation, metalization 등으로 구분할 수 있는데, Si-LSI에서 쓰고 있는 metal 들은 주로 TiW, TiN, Al 등이다. LSI의 고 집적화를 달성하기 위해서는 배선 선 폭이 좁아져야 하고, 배선 선 폭이 좁아짐에 따라 배선 저항이 커져 전기적인 신호 전달에 장애요인이 되어 IC 성능에 영향을 미친다. copper (Cu)는 배선 저항이 작기 때문에 이러한 문제를 해결을 할 수 있는 후보 물질 중에 하나이며, 이러한 이유로 Cu는 고 집적화, 고속/고주파 성능을 요하는 모듈, 다층 기판 등의 배선 물질로 각광을 받고 있고, Cu-buffer층 도금을 위한 seed와 solder도금을 위한 층으로 사용되기 때문에 solder를 전기 도금하여 bump를 형성하는 경우는 반듯이 써야만 되는 물질이다.

이러한 관점에 비추어 기존의 Si-LSI 실험실 특성을 그대로 유지하면서 Cu 공정을 할 수 있을 뿐만 아니라, Cu cross-contamination이 없는 bump공정이 절실히 요구되어 왔지만, 아직도 대부분의 Si-LSI 실험실에 Cu공정을 도입한 경우는 거의 없다. 그 이유는 Cu가 확산이 쉽게 되어 cross-contamination에 의해 수 ppm정도가 chip wafer에 오염되더라도 트랜지스터의 leakage current 발생요인으로 작용하여 Si-IC 성능에 치명적인 영향을 줄 수 있으며, Cu 물질을 공정에 도입하기 위해서는 각각의 공정장비들을 독립적으로 준비해야 하므로 장비설비,

장비관리 측면에서 많은 비용이 소요되기 때문이다.

기존의 solder bump 형성 방법은, solder를 도금하기 위하여 Cu 물질을 공정할 수 있는 실험실과 공정장비를 독립적으로 보유하면서, solder도금을 위한 via 형성 전에 Cu-seed 및 전기도금용 전극을 sputtering한 후, solder를 도금하여 solder ball을 형성시켜 왔지만<sup>3,4)</sup>, Cu공정 실험실 및 장비를 독립적으로 보유하지 않고 위의 공정을 그대로 쓰면 Si-LSI에서 사용하는 hot plate, mask aligner, sputtering 장비 등은 Cu cross-contamination 문제 때문에 solder bump 공정에 사용할 수 없게 된다.

본 논문은 Cu cross-contamination 문제를 해결할 수 있고 고밀도/고균일의 solder bump를 형성할 수 있는 방법을 제안했을 뿐만 아니라, 실험적으로 입증했다. 전기도금을 할 때 사용하는 전극을 Si-LSI 공장에서 쓰고 있는 물질로 선택함과 동시에, 도금용 전극 sputtering과 photoresist (PR) coating, solder ball을 형성하기 위한 via 형성 (PR masking)은 Si-LSI 실험실에서 공동장비로 하고, Ti-adhesion층과 Cu-seed층 sputtering, solder 도금, 전극 etching, reflow 등은 Si-LSI 실험실에서 나와 다른 독립적인 실험실에서 공정함으로써 cross-contamination 문제를 해결할 수 있고, 고밀도/고균일성의 solder bump를 형성할 수 있다.

## 2. 실 험

Si-LSI 실험실에서 LSI-chip pad 형성 및 die passivation된 Si기판위에 TiW/Al 도금용 전극을 sputtering 한 후, 높은 via를 형성하기 위하여 AZ 4000 계열의 photoresist (PR)를 수 회 도포(multiple coating)하였다. solder bump를 형성하기 위하여 test pattern으로 diameter/pitch가 40/100  $\mu\text{m}$ , 60/150  $\mu\text{m}$ , 80/200  $\mu\text{m}$ , 100/250  $\mu\text{m}$  인 via를 동시에 형성한 후, Si-LSI 실험실에서 나와 Cu/Ti UBM (under ball metallurgy) metal을 sputtering하고, 전기도금을 위해 3점의 전극접점을 확보하였다.

Sn : Pb = 6 : 4인 조성비를 얻기 위하여 solder도금 액은 유기산 주석 (Sn)과 유기산 연 (Pb)의 조성액의 비를 6:4로 조성하고 도금조직을 균일하게 하기 위하여 활성제를 첨가하였다. 활성제는 도금조직의 균일성과 도금속도에 영향을 미칠 수 있으므로 관리를 철저히 해야 하는데, 일반적으로 활성제는 1 liter당 4000A/( $\text{hdm}^2$ )가 사용 가능하며 도금액 사용시간과 전류를 기록하여 첨가제 보충시기를 결정해야 한다.

도금시 도금 액은 pump를 사용하여 순환시켜 주었고, Cu와 solder의 도금 액은 상온으로 유지시켜 주었다. solder를 도금할 때 PR표면에 남아 있는 Ti층에 의해 발생 할

수 있는 전류 손실과 PR표면 위에 solder석출을 막기 위하여 Cu층을 도금한 후에, 완전히 Ti층을 etching하였다.

Ti층을 etching하는 동안 Cu가 산화될 수 있는데, 이러한 Cu-도금표면에 산화 막을 제거시켜주기 위하여 유기산 용액에서 시료를 cleaning을 해 준 후에 낮은 전류밀도에서 높은 전류 밀도로 서서히 높여줌으로써 균일한 조직의 solder가 도금되도록 하였다.

도금된 solder의 조성비와 조직상태는 Rutherford back scattering (RBS)과 주사전자현미경 (scanning electron microscope; SEM)으로 분석하였다. RBS의 분석용 beam은 22.4 MeV의 He<sup>2+</sup> 이온을 사용했으며 beam 전류는 10 μC, 검출기 위치의 각도는 165° 이었다.

### 3. 결과 및 토론

#### 3.1. 두꺼운 PR코팅과 현상

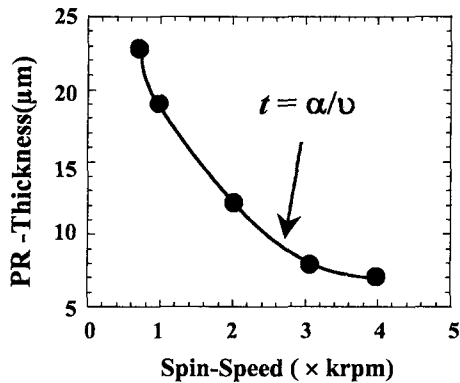


Fig. 1. Relationship between photoresist thickness and spin speed.

두꺼운 감광막을 얻기 위하여 점도 (viscosity)가 높은 PR를 쓰는 것이 좋지만 고용분이 너무 높은 PR를 쓰면 기관 전체 두께의 균일성을 확보하기 어렵기 때문에 본 연구에서는 AZ 4000계열을 사용했으며 수 회 coating방법을 실시하였다. Fig. 1은 coater의 spin speed와 AZ 4000계열의 PR 두께와의 관계를 나타내며, 1000 rpm에서 18 μm정도의 두께를 얻을 수 있음을 보여준다. 실험 결과로부터 얻은 두께 (t)와 spin speed (v)와의 관계식은 다음과 같다.

$$t = a/v \tag{1}$$

여기서 a (μm/rpm)는 상수이고, v는 spin speed (rpm)이다. 본 실험으로 얻은 a값은 a=24,000 (μm/rpm)이며, 점도 의존성을 고려하지 않은 관계식이다.

Si기판위에 AZ 4000계열의 PR를 1000 rpm에서 4회 coating 하여 단면 SEM을 관찰한 결과, coating된 PR두께는 70 μm정도였고, 한 번 PR coating된 두께가 17.5 μm정도임을 알 수 있었다. 이러한 결과는 위의 결과와 잘 일치하며 4회 coating으로 인한 PR손실은 거의 없음을 의미한다.

Fig. 2는 52.5 μm PR두께를 갖는 감광막에 대해 현상 시간을 20분으로 일정하게 하고, 노광량 증가에 따른 via 형성 상태를 보여주는 단면 SEM 사진이다. 노광량을 변화시켜주기 위하여 I-line의 노광원의 강도를 15 mJ/sec로 일정하게 한 후, shutter open시간을 변화시켜 주었다. Fig. 2(a)는 150 sec 노광하여 현상한 via에 대한 것으로 노광량이 부족하면 긴 시간 동안 PR를 현상하여도 일정한 깊이에서 현상이 정지되는 것을 알 수 있다. Fig. 2(b)는 노광시간을 480 sec 증가시켜 현상한 via에 대한 것으로 노광량을 증가시킴으로써 via형성에 변화가 있

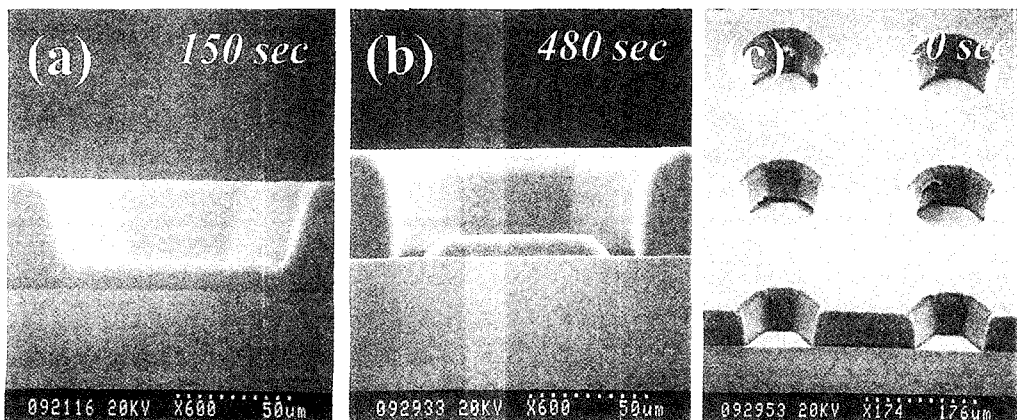


Fig. 2. Cross-section SEM images of vias with various exposure energies. (a) 150 sec, (b) 480 sec and (c) 720 sec.

음을 알 수 있다. 이러한 사실을 바탕으로 노광시간을 720 sec 증가시켜 현상해 보았으며, 그에 대한 결과는 Fig. 2(c)에서 볼 수 있고, 깨끗한 *via*가 형성되었음을 알 수 있다. 이러한 결과로부터 노광량이 부족하면 빛이 깊이 있는 PR과 반응을 일으키지 못하여 *over-develop*을 해도 *via open*을 할 수 없음을 의미하고, 깨끗한 *via*를 형성시키기 위해서는 충분한 빛을 노광해야 됨을 알 수 있다.

Bump형성을 위한 *via*형성을 할 때는 PR현상이 되도록 짧은 시간에 이루어지도록 하기 위하여 충분한 빛을 노광시켜 주었다. 그러나 적정량 이상을 노광시켜 주면 *via*의 수직 각도에 나쁜 영향을 미칠 수 있고, PR 현상시간에는 큰 영향이 없으므로 필요이상으로 노광시켜 줄 필요는 없다고 생각한다. PR를 현상한 후의 최종 두께는 50  $\mu\text{m}$ 였으며, 현상하기 전 PR두께와 비교하면 2.5  $\mu\text{m}$ 인 4.7 %정도가 줄어, PR현상으로 인한 두께 손실은 거의 없다는 것을 알 수 있다. Fig. 2 (c)에서 보는 바와 같이, diameter/pitch가 100/250  $\mu\text{m}$ 를 갖는 *via pattern*에 대한 *via slope*는 85° 이상을 얻을 수 있었고, 50  $\mu\text{m}$  PR

두께에서 diameter/pitch가 40/100  $\mu\text{m}$ 인 *via pattern*까지 *via slope* 감소없이 깨끗한 *via*를 형성시킬 수 있었다. test line & space pattern으로 확인해본 결과, 50  $\mu\text{m}$  PR두께의 현상 분해능은 약 10  $\mu\text{m}$  정도임을 알 수 있었다. 이러한 결과로부터 50  $\mu\text{m}$ 의 PR두께에서 10  $\mu\text{m}$ 인 *via*까지 형성시킬 수 있다는 것을 알 수 있고, aspect ratio가 5인 bump를 형성시킬 수 있음을 의미한다.

### 3.2. Solder bump형성 공정

Fig. 3은 5-inch Si-wafer위에 TiW/Al도금전극을 sputtering하고 3점 전극접점으로 도금하여 얻은 Cu와 solder에 대한 도금속도를  $\text{dm}^2$ 로 환산하여 나타낸 결과이다. 도금속도는 전류에 비례하여 선형적으로 증가하고 있으며, 고 전류밀도에서도 도금속도는 포화하지 않음을 알 수 있다. 5-inch 전 wafer에 도금 할 경우, Cu의 도금속도는 3 ampere (A)에서 0.4  $\mu\text{m}/\text{min}$ , solder의 도금속도는 3A에서 1.5  $\mu\text{m}/\text{min}$ 이었고, 5-inch 전 wafer에 대한 도금 두께 편차는 5% 이내로 매우 균일했다. 이러한 결과를 바탕으로 solder bump를 형성할 때, 전류밀도는 *via open*면적을 정확히 계산하여 결정했고, 상용화를 고려하여 도금두께의 균일성이 확보되는 한 고속으로 도금 되도록 Cu와 solder의 도금속도를 각각 0.6  $\mu\text{m}/\text{min}$ , 2.5  $\mu\text{m}/\text{min}$ 으로 선택하였다.

Fig. 4는 5-inch Si-wafer위에 2 A에서 5분간 Cu를 도금한 후, 4A에서 10분간 solder를 도금한 시료에 대한 단면 SEM 사진을 보여준다. 단면 SEM 사진에서 볼 수 있는 바와 같이 Cu와 solder는 각각 1.13  $\mu\text{m}$ , 20.6  $\mu\text{m}$ 가 도

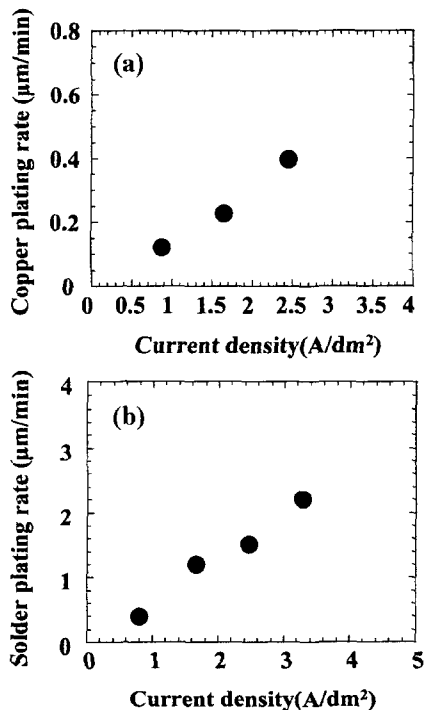


Fig. 3. Relationship between current density and electroplating rate. (a) Copper-electroplating rate vs current density and (b) solder-electroplating rate vs current density.

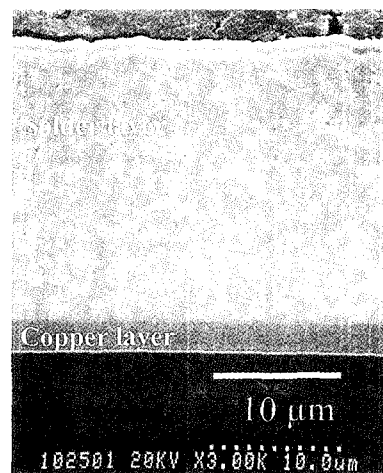


Fig. 4. Cross-section SEM image of electroplated-solder layer under 4 A for 10 min.

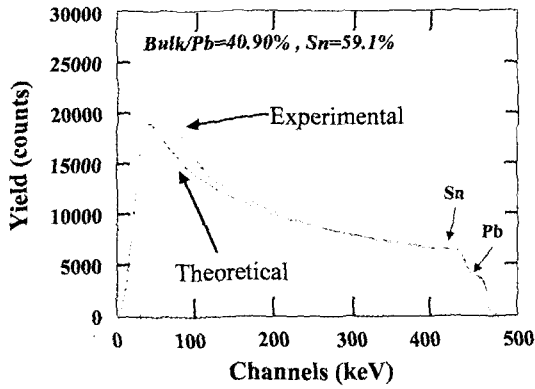


Fig. 5. RBS spectrum of electroplated-solder layer under 4 A for 10 min.

금되었고, 도금된 조직은 매우 조밀하고 균일함을 알 수 있다. 단면 SEM사진의 solder 도금 층의 얼룩무늬는 RBS분석에서 특별한 불순물이 검출되지 않았기 때문에 연마 시에 생긴 것으로 사료되며, 도금된 불순물이거나 결함이라고 생각하지 않는다.

Fig. 5는 RBS분석 결과이다. 분석된 solder층은 3  $\mu\text{m}$  이상의 두께에서 볼 수 있는 bulk특성을 보여 주고 있으며, Sn과 Pb의 조성비는 Sn : Pb=59.1 : 40.90로 평가되었다. RBS의 분석 허용오차  $\pm 5\%$ 를 고려한다면 Sn : Pb의 조성액에서 예상한 6:4와 매우 잘 일치하고 있음을 알 수 있다. 이러한 결과는 solder의 조성비는 조성액의 Sn:Pb의 조성비를 정확히 맞춤으로서 얻을 수 있음을 의미하지만 장기간 균일한 조성비를 얻기 위해서는 solder액의 조성비와 같은 anode 전극판을 사용하는 것과 Cu,

Fe같은 불순물과 액 조성비를 정기적으로 체크하는 등 도금액 관리가 중요하다.

Solder bump를 형성하기 위해 Si-LSI실험실에서 LSI-chip pad 형성 및 die passivation된 Si기판위에 TiW/Al 도금용 전극을 sputtering 한 후, 50  $\mu\text{m}$ 정도의 두꺼운 감광막을 도포하였다. test pattern으로 diameter/pitch가 40/100  $\mu\text{m}$ , 60/150  $\mu\text{m}$ , 80/200  $\mu\text{m}$ , 100/250  $\mu\text{m}$ 인 via pattern을 형성한 후, SI-LSI실험실에서 나와, Cu/Ti under ball metallurgy (UBM) 및 seed sputtering한 후, 전기도금을 위한 전극접점을 확보해 주었다.

균일성이 높고 고밀도의 solder bump를 얻기 위해서는 전극접점 확보와 액 순환의 균일성 확보, 리플이 없는 전류기 사용등 장비적인 측면이 무엇보다 중요하지만, solder도금을 할 때에도 각별히 주의해야 한다. solder를 도금할 때 PR표면에 남아 있는 Ti층에 의해 발생 될 수 있는 전류 손실과 PR표면위에 solder석출을 막기 위하여 Cu-buffer를 도금한 후에, Ti층을 완전히 etching해 주었다.

Ti층 etching, 또는 DI-water에서 rinse하는 동안 Cu가 산화될 수 있는데 Cu-도금표면에 산화 막을 제거시켜주기 위하여 유기산 용액에서 세정을 해준 후에 저 전류밀도에서 고 전류 밀도로 서서히 전류를 높여줌으로써 균일한 조직의 solder가 도금되도록 하였고, reflow후에 solder bump 높이를 높이기 위하여 40%정도 과도도금해 주었다. Cu와 solder는 각각 3 A/dm<sup>2</sup>, 3.4 A/dm<sup>2</sup>의 전류밀도에서 도금했고, 그때의 도금속도는 각각 0.6  $\mu\text{m}/\text{min}$ , 2.5  $\mu\text{m}/\text{min}$ 이었다.

Fig. 6은 solder를 도금하고 PR를 strip한 후의 diameter/pitch가 60/150  $\mu\text{m}$ 인 solder ball에 대한 SEM사진이다. Fig. 6(a)에서 알 수 있듯이 solder bump는 전체적으로

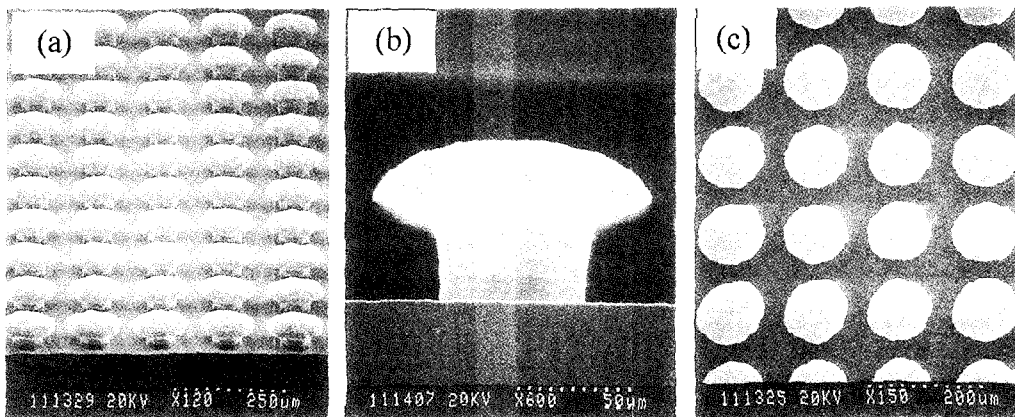


Fig. 6. SEM images of electroplated-solder bump with 60/150  $\mu\text{m}$  in diameter/pitch. (a) Side-view, (b) high-resolution side-view and (c) top-view.

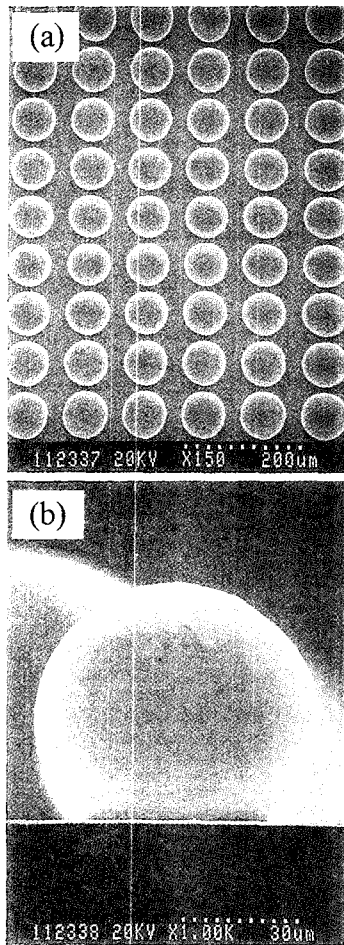


Fig. 7. SEM images of reflow-solder bump with 40/100  $\mu\text{m}$  in diameter/pitch. (a) Top-view and (b) high-resolution side-view.

로 균일하게 형성된 것을 알 수 있고, Fig. 6(b)에서 solder bump는 아주 깨끗한 버섯모양(mushroom)으로 형성된 것을 알 수 있다. Ti-adhesion층의 계면에서도 solder bump가 벗겨지거나 도금이 불균일하게 된 현상을 관측할 수 없었고, Fig. 6(c)에서 보듯이 과도금된 solder 모양이 대칭인 것으로 보아 wafer전체에 electric field가 균일하게 걸리는 것으로 판단된다.

Fig. 7은  $\text{N}_2$ 분위기에서 reflow한 후의 diameter/pitch가 40/100  $\mu\text{m}$ 인 solder bump에 대한 SEM사진이다. Fig. 7(a)에서 보여 주듯이 reflow한 후의 solder bump는 깨끗한 bird eye를 보여주며, 인접 bump와 맞닿음 없이 잘 격리되어 형성된 것으로 미루어 보아, 고밀도/고균일의 높은 solder bump 형성이 가능할 것으로 생각된다. Fig. 7(b)은 고분해능 SEM사진이며, reflow된 bump는 대칭

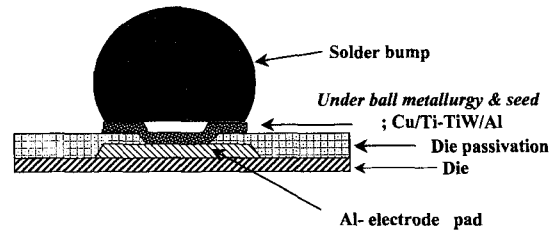


Fig. 8. The schematic diagram of reflow-solder bump.

적인 ball모양을 하고 있다. reflow한 후의 solder bump구조는 Fig. 8에서 볼 수 있다.

위에서 논의된 바와 같이 Cu공정을 포함하지 않는 via 형성까지는 Si-LSI실험실 장비를 이용하고 Ti-adhesion층, Cu-seed sputtering 및 도금 공정 등의 후 공정은 Si-LSI실험실 이외의 독립적인 실험실에서 공정함으로써 Cu cross-contamination문제를 해결은 물론, 저비용으로 bump높이가 높고, 고밀도/고균일의 solder bump를 형성할 수 있었다.

#### 4. 결 론

본 논문은 Cu cross-contamination문제를 해결 할 수 있는 solder bump 형성방법을 제안했을 뿐만 아니라, 고밀도/고균일의 solder bump 형성할 수 있음을 실험적으로 입증했다. Si-LSI실험실에서 Cu cross-contamination문제를 해결하기 위하여 Cu/Ti under ball metallurgy (UBM) metal를 via 형성 후에 sputtering해 주었다. photoresist (PR)을 수 회 coating함으로써 두꺼운 감광막을 얻었고, 유기산 주석과 유기산 연의 비를 정확히 액 조성함으로써 Sn:Pb의 조성비가 6:4인 solder bump를 얻을 수 있었다. PR 표면의 Cu/Ti seed와 via와의 저항 차를 이용하여 via에만 선택적으로 Cu가 도금되는 선택적 도금방법을 사용하였고, Ti층을 etching한후, buffer 층 Cu와 solder를 도금함으로써 저비용으로 bump높이가 60  $\mu\text{m}$  이상 높고, 고밀도/고균일의 solder bump를 형성시킬 수 있었다.

#### 참고문헌

1. Y. Ohnuki, H. Shibuya, J. Utsunomiya and S. Iida, "Proceedings of International Electronic Manufacturing Technology Symposium", Japan, 125 (1996)
2. H. Kurata, T. Ogata, K. Mitsuka, H. Matsushita and C. Kimura "Proceedings of IEEE/CHMT International Electronics Manufacturing Technology Symposium",

- 214 (1999)
3. K.K. Yu and F. Tung "Proceedings of Fifteenth IEEE/CHMT International Electronics Manufacturing Technology Symposium", 277 (1993)
  4. H. Kato, K.Ikuzaki, M.Tsujita, K.Nakata, T.Kobayashi and Y. Sano "Proceedings of Fifteenth IEEE/CHMT International Electronics Manufacturing Technology Symposium", 114 (1993)