

主 題

# Selective and Thick Oxide Technology for Microwave Applications

텔레포스(주) 김동욱, 남충모, 권영세

차 례

- I. 서 론
- II. Selective Thick Oxide 기술 소개
- III. STO 기술의 초고주파 응용
- IV. 파운드리 서비스
- V. 결 론

## I. 서 론

최근의 무선통신 시장에서 사용되는 반도체 기술은 크게 실리콘 기판을 기반으로 하는 기술과 화합물 반도체 기판을 기반으로 하는 기술로 나눌 수 있다. 실리콘을 기반으로 하는 기술은 Si BJT, Si CMOS, SiGe BiCMOS 소자를 활용하여 초고주파 회로를 구현하고 있으며[1-4] 화합물 반도체 기판을 사용하는 기술의 경우는 GaAs MESFET, GaAs HBT, GaAs HEMT, InP HBT 등의 소자를 활용하여 상용 무선통신용 초고주파 회로를 구현하거나 군사용, 우주용 또는 광대역 전송이 가능한 밀리미터파 회로를 구현하고 있다[5-8]. 실리콘 기판은 화합물 반도체 기판에 비해 가격이 저렴하고 열전도성이 우수하며 제조공정이 안정되어 있어서 대량생산에 유리하지만 초고주파 영역에서 큰 신호 손실과 기생 커패시트에 의한 신호 누설이 있어서

무선통신 시장에서 폭넓게 활용되고 있지 못하다. 반면 화합물 반도체 기판은 초고주파 특성이 우수해 많은 상용 통신용 회로들이 제작되고 판매되고 있지만 기판가격이 매우 비싸다는 단점이 있다.

실리콘 기판을 초고주파 영역에서 사용하기 위해 많은 사람들이 노력을 하고 있으며 대표적인 예로써 실리콘 기판 자체가 고저항성을 유지하도록 도핑 관리를 해서 이를 초고주파 영역에서 사용할 수 있도록 하거나[9-11] 실리콘 기판에  $9\mu\text{m}$  두께의  $\text{SiO}_2$  산화막을 사용하거나  $10\mu\text{m}$  두께의 폴리이미드를 사용하는 방법들이 시도되었다[12-13]. 그리고 M/A-Com의 경우는 실리콘 기판을 식각하여 식각된 부분에 유리물질(Galss)을 열을 가해 삼입하고 이를 평탄화하여 고성능 IC 제작에 사용하고 있다[14]. 그러나 이러한 방식들은 모두 기판의 가격을 크게 증가시켜 실제 사용에 있어서는 큰 이점을 제공해주지 못한다.

본 논문에서는 실리콘 기판을 저가공정을 통해 초고주파 영역에서 사용 가능하도록 함으로써 GaAs와 같은 화합물 반도체 위에 제작된 수동회로와 대등한 성능을 내는 새로운 실리콘 기판 기술에 대해 서술하고자 한다. 이 기술은 초고주파 영역에서 저가공, 고성능의 수동소자들을 실리콘 기판에 제작함으로써 기존 상용 초고주파 회로들의 가격한계를 돌파할 수 있도록 하는 선택적 산화후막(STO, Selective Thick Oxide) 기술이다. 본문에서는 이 기술의 간략한 소개와 이의 초고주파 회로 응용 그리고 현재 제공 가능한 파운드리 서비스를 소개하고자 한다.

## II. Selective Thick Oxide 기술 소개

STO 기판은 먼저 실리콘의 특정한 영역에 다공성 실리콘 영역을 형성하고 이를 산화시킴으로써 제작된다. 다공성 실리콘의 형성과 이를 통해 두꺼운 산화막을 형성하는 기술은 빠른 시간내에 대량으로 제조가 가능하여야 하는데 이러한 요구를 만족시킬 만한 회사들은 극히 미미한 상황이다. 현재 이러한 저가공 STO 기술은 텔레포스(주)에서 6인치 실리콘 기판 위에 성공적으로 제작이 되었으며 이 기판에 제작된 수동소자들은 초고주파에서 사용될 수 있을 만큼의 충분한 성능을 보여주고 있다.

〈그림 1〉 전력소자 패키징 및 고성능 수동소자를 포함하는 STO 기술을 도시한 것으로, 높은 열전도도를 가지는 실리콘 영역과 낮은 유전손실, 그리고 낮은 유전상수를 가지는 실리콘 산화막 영역으로 나눌 수 있다. 즉, STO 기판의 실리콘 영역은 고전력 칩 또는 고성능 능동소자 등을 집적할 때 사용될 수 있고 두꺼운 산화막은 초고주파 대역에서 사용 가능한 고성능 수동소자를 제조하는데 사용될 수가 있다. 이러한 구조는 실리콘의 반전도(semi-insulating) 특성을 무시할 수 있는 실리콘 산화후

막에 의해 낮은 손실을 가지는 전송선로와 고성능 수동소자의 집적을 가능하게 하고 높은 수준의 실리콘 공정기술을 활용할 수 있으며 실리콘 기판 사용에 의한 낮은 제조비용과 평탄한 단면구조 등과 같은 여러 가지 장점이 있다.

〈표 1〉은 실리콘의 높은 열전도성과 실리콘의 반전도 특성을 무시할 수 있는 실리콘 산화후막의 낮은 손실 계수와 같은 STO 기판의 주요 성질을 나타내고 있다. 기존의 다중 칩 패키지 기판으로 사용되는 LTCC (Low Temperature Cofired Ceramic) 등의 기판 물질에 비해 STO 기판은 다음과 같은 주요 장점이 있다.

- ① 선택적 실리콘 산화후막이 있는 실리콘 기판의 CTE(온도팽창계수)는 대면적의 실리콘 VLSI 칩과 동일하여 패키징에서의 신뢰성이 증가된다.
- ② 선택적 실리콘 산화후막이 있는 실리콘기판은 세라믹 기판에 비해 열전도성이 5배 이상 높기 때문에 낮은 IC 집합온도를 유지하는 것이 가능하다.
- ③ 선택적 실리콘 산화후막이 있는 실리콘기판은 실리콘 활성영역에 Si CMOS와 같은 능동소자의 집적이 가능하다.
- ④ 선택적 실리콘 산화후막이 있는 실리콘기판은 낮은 기판 비용과 자동화된 기판제조 IC 장비와 호환되어, 낮은 제조비용을 가진다.

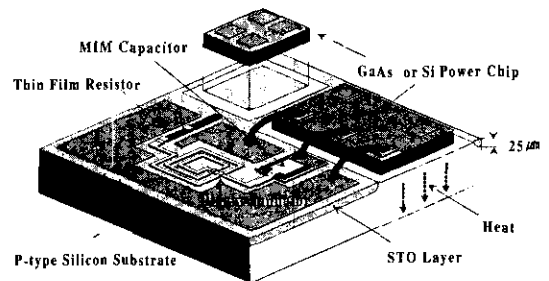


그림 1. STO 기판상에 구현된 고전력 칩 패키징과 고성능 수동소자의 결합 예

⑤ 선택적 실리콘 산화후막이 있는 실리콘기판은 LTCC에 비해 매우 평탄하여 10 $\mu$ m 이내의 정밀도를 가지는 수동소자의 집적이 가능하며 1000도 이상의 고열 공정이 가능하다.

표 1. 기판물질에 대한 기계적, 전기적 특성

Multi-chip Module Technology	Material	Thermal Conductivity (W/m-K)	Resistivity ( $\Omega$ -cm)	Dielectric Constant	Loss Tangent ( $\times 10^{-3}$ )
STO	Si	150	8~12	11.9	-
	Thick silicon Oxide	1.4	$>10^{14}$	3.9	$<0.1$
LTCC	Al <sub>2</sub> O <sub>3</sub>	25	$>10^{14}$	9.9	$<4$

### III. STO 기술의 초고주파 응용

#### 1. 수동회로

실리콘 기판상에 대략 25 $\mu$ m 정도의 실리콘 산화막을 가지는 STO 기판은 기존의 실리콘 기판과 달리 초고주파 영역에서 소자의 제작이 가능할 정도로 저손실 특성을 보인다[15]. 산화막 영역에 제작 가능한 수동소자들, 즉 인덕터, 커패시터, 저항들의 특성은 기존의 GaAs 기판상에 제작된 수동소자들과 비교해볼 때 거의 유사한 초고주파 특성을 보이고 있다. <그림 2>은 STO 기판에 제작된 평면 사각 나선형 인덕터의 사진을 보여주고 있다. 노출된 STO 표면은 25 $\mu$ m의 실리콘 산화막 위에 증착된 0.2 $\mu$ m의 실리콘 질화막이다.

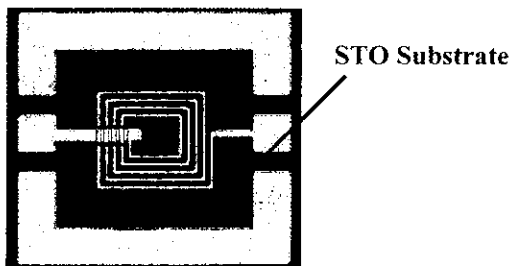


그림 2. STO 실리콘 기판에 제작된 평면 사각 나선형 인덕터 (W=10 $\mu$ m, S=10 $\mu$ m, Metal=Au, 3 $\mu$ m)

제작된 인덕터는 폭과 간격이 각각 10 $\mu$ m이고 전송선로로 3 $\mu$ m 두께의 금(Au)이 사용되었다. 내경 200 $\mu$ m, 3.5 회전수를 가지는 제작된 5.8nH 인덕터의 측정 결과를 모델링하고 이로부터 추출된 품질계수(Quality Factor) 특성을 <그림 3>에 나타내었다. 그림에서도 알 수 있는 바와 같이 2~4GHz 영역에서 대략 20이상의 품질계수를 가지고 있으며 이러한 값은 기존의 GaAs 반도체 기판상에 제작된 인덕터와 대등한 값을 보여주고 있다. 현재 제작 가능하고 데이터 베이스 구축이 완료되고 있는 인덕터의 값과 품질계수, 그리고 인덕터 크기에 대한 내용이 <표 2>에 나타나 있다.

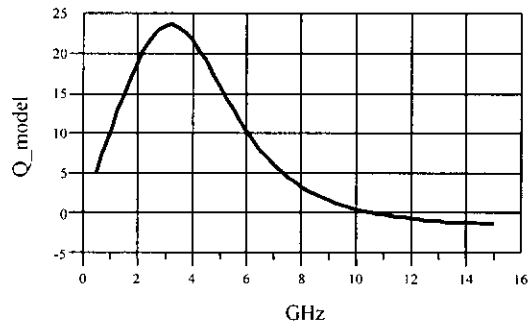


그림 3. 제작된 평면 사각 나선형 인덕터의 품질계수 값

표 2. STO 기판에 제작되는 평면 사각 나선형 인덕터의 일반적인 특성

L (nH)	0.4(L<1.0)	L < 2.5	L < 5	L < 10
Size( $\mu$ m <sup>2</sup> )	<180 $\times$ 180	<230 $\times$ 230	<300 $\times$ 300	<370 $\times$ 370
Qmax	>18(freq.>4GHz)		>15(freq.2~4GHz)	

\* 공정오차 : +5%

인덕턴스 범위 : 0.5 ~ 20nH

일반적인 Qmax 범위 : 17 ~ 25

STO 기판에 사용되는 커패시터는 금속-절연층-금속(Metal-Insulator-Metal, MIM)형 커패시터로 일반적으로 GaAs 공정으로 제작되는 커패시터와 똑같은 공정과 구조를 가지고 있다. 절연층으로 SiN 박막을 사용하며 현재 0.2 $\mu$ m의 두께로

증착되고 있다. 제작된 커패시터의 단위 면적당 커패시턴스는  $0.28\text{fF}/\mu\text{m}^2$ 이며 공정오차는  $\pm 5\%$ 이다.

박막저항으로는  $500\text{\AA}$ 의 NiCr을 저항물질로 사용한다. 제작된 박막저항은  $20\Omega/\square$ 의 값을 가지며 공정오차는  $\pm 5\%$ 이다. 박막 저항의 크기는  $10\mu\text{m}$  이상의 패턴 크기를 가져야 한다.

그 외에 초고주파 회로 설계에 필요한 소자로는 마이크로스트립 전송선로가 있는데 이는 반도체 공정으로 제조가 가능한 모든 종류의 전송선 구현이 가능하다. 최소 전송선로의 폭은  $10\mu\text{m}$ 가 넘도록 설계가 되는 것이 원칙이다. 전송선로에 사용되는 금속층으로는 Au층이 사용되는데 현재 가용한 최대 두께는  $3.5\mu\text{m}$  정도이며 2001년 상반기까지는  $5\mu\text{m}$  두께의 전송선의 구현이 가능하다.

## 2. 초고주파 집적회로

STO 기판상에 제작된 수동 집적회로를 사용하여 초고주파 회로를 제작하기 위해서는 신호증폭, 신호혼합, 신호절단 등과 같은 기능을 해줄 수 있는 능동소자가 필요하다. 기존의 방식은 고가의 GaAs 기판에 이러한 능동소자와 수동소자를 같이 집적함으로써 기판의 효율적 사용이 이루어지지 못해왔다. 저가의 STO 기판의 수동 집적회로와 고가의 GaAs 능동소자를 효율적으로 결합하기 위해서는 TR(Transistor) Array라고 하는 새로운 접근방식이 필요하다. 즉, 초고주파 회로에 사용되는 능동소자들만을 고가의 GaAs 기판에 집적하고 나머지 수동소자들은 저가의 STO 기판에 구현하여 Die Attach & Wire Bonding 또는 Flip-Chip 기술을 사용하여 연결하는 것이다. 대부분의 초고주파 회로들은 극히 일부의 영역에만 능동소자들을 활용하고 있으며 대부분의 면적은 수동소자들로 채워져 있다. 이러한 수동소자들을 STO 기판에서 구현하고 극히 작은 면적을 사용하는 능동소자들을 좁은

면적의 GaAs 기판 위에 집적시킴으로써 웨이퍼당 제조될 수 있는 칩의 개수를 증가시켜 가격 절감을 가져올 수가 있다. 이러한 TR Array 방식의 한 예가 <그림 4>과 <그림 5>에 나타나 있다. <그림 4>의 TR Array 방식의 제작된 한 예이며 <그림 5>는 이의 측정결과이다[16].

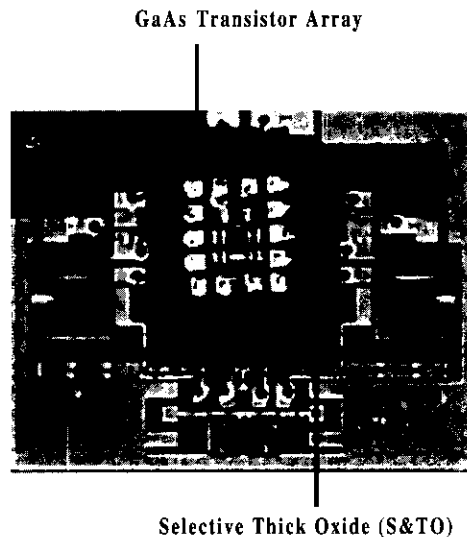


그림 4. TR Array 방식으로 제작된 가변 대역 여파기

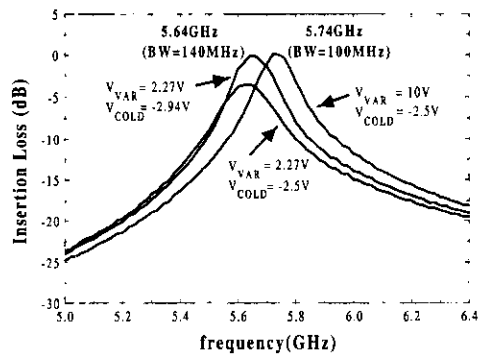


그림 5. 제작된 가변 대역 여파기의 측정 결과

이러한 방식의 접근방식은 트랜지스터의 개수가 적고 칩의 크기가 클수록, 또한 칩 크기 대비 트랜지

스터가 차지하는 면적이 작을수록 더 큰 가격 절감 효과를 가져다 줄 수 있다. 이러한 것에 대한 개략적인 개념도가 <그림 6>에 나타나 있다.

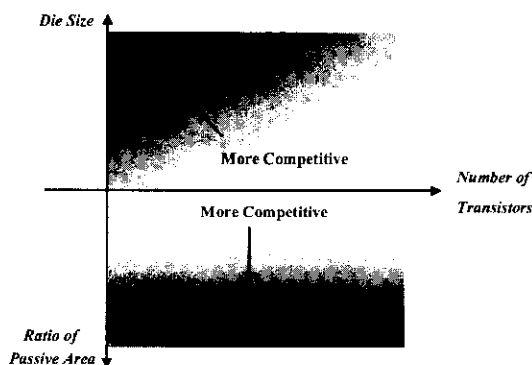


그림 6. STO 기판과 TR Array방법의 Cost Benefit Map

### 3. 모듈의 응용

STO 기술은 기판상에 제작된 수동 집적회로들을 이용하는 것이기 때문에 기존의 상용 초고주파 회로 뿐만 아니라 초고주파 모듈까지 확대 적용될 수가 있다[17]. 이미 개발된 상용 칩들을 단말기 업체 또는 시스템 업체들이 사용하기 위해서는 외부에 적절한 정합회로가 필요하며 이 경우 현재 discrete 부품을 이용하여 수작업 tuning을 통해 개발되고 있다. 이러한 부품들은 GaAs와 같은 칩 상에 구현하기에는 단가의 상승이 너무 커서 가격 경쟁력이 없다. 따라서 기존의 상용 칩들과 STO 기판의 수동 집적소자들을 결합하여 단일칩으로 제작하고 이를 하나의 패키징화 한다면 가격과 작은 면적 측면 뿐만 아니라 사용의 용이성의 측면에서도 시스템 업체들에게 많은 잇점을 제공해줄 수가 있다. 이러한 결합방식은 단말기 뿐만 아니라 시스템의 시스템-온-칩(System-On-Chip)을 가속화시킬 수가 있다.

## IV. 파운드리 서비스

이 절에서는 텔레포스(주)가 외부에 제공하는 STO 파운드리 서비스에 언급하고자 한다. <그림 7>은 STO 기판에 수동 집적회로를 구현하는 공정 과정을 도시한 것이다.

STO 제조공정을 간략히 설명하면 그림에서 나타난 바와 같이 먼저 실리콘 기판의 다공성 작업과 양극화 작업을 통해 두꺼운 산화막을 선택적으로 형성한다. 형성된 산화막 위에 NiCr 저항을 증착하고 NiCr을 다른 전송선과 연결하기 위해 이 위에 1차 금속(Ti/Au)을 증착한다. 이 1차 금속은 MIM 커패시터의 바닥 금속으로도 사용된다. 1차 금속층 위에 2000Å의 SiN 박막을 도포하고 2차 금속을 Au 도금을 통해 제작함으로써 전체 일관공정이 끝나게 된다. 텔레포스(주)는 이러한 일관공정 전체 또는 부분 공정을 칩 제조업체 또는 모듈 및 시스템 제조업체에 제공하는 파운드리 서비스를 개시하고 있다.

텔레포스(주)가 제공하는 파운드리 레벨은 크게 3가지로 구분될 수 있다. 첫 번째 서비스는 STO를 구현한 실리콘 기판만을 제공하는 것이다. 이 경우 마스크 제작, Thick Oxide가 형성된 6인치 실리콘 기판 제공, 웨이퍼 thinning 및 dicing 서비스를 제공한다. 두 번째 서비스는 STO를 구현한 실리콘 기판과 이 기판에 집적된 수동 소자 및 회로 제공에 관한 것이다. 이 서비스를 통해 고객은 STO 기판에 제작되고 DC 및 RF 테스트가 완료된 R, L, C 소자 및 이들의 결합회로들을 사용할 수 있다. 세 번째 서비스는 다중 칩 패키징(Multi-chip Packaging)에 관한 것으로 상용 칩 또는 신규로 제작된 칩들을 STO 기판에 die attach하고 이들과 연결되는 수동부품들을 집적회로의 형태로 STO 기판에 구현하는 것이다. 이렇게 제작된 회로 및 모듈들은 on-wafer 상태 또는 패키징된 상태로 DC 및 RF 테스트를 거쳐 공급되게 된다. STO 파운드리 서비스는 기판의 단순 제공에서부터 집적회로의 구

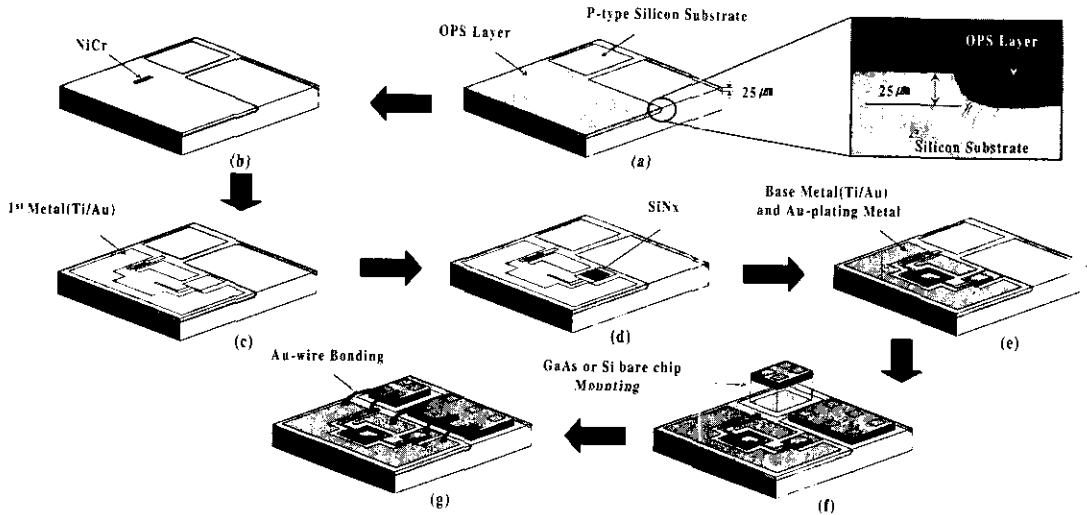


그림 7. STO의 반도체 제조 공정도

현과 같은 2차 가공에 이르기까지 다양한 선택을 가  
지고 제공된다.

※참고문헌

### V. 결 론

지금까지 STO 기술을 소개하였고 이 기술을 초  
고주파 회로에 어떻게 응용될 수 있는가를 이야기하  
였다. 기존의 무선통신용 상용 칩들이 초고주파 특  
성이 충분하지 않은 실리콘 기판을 그대로 사용하거  
나 고가의 GaAs 기판을 사용하는 것과는 달리  
STO 기판은 저가의 실리콘 기판과 저가의 STO 기  
술을 사용함으로써 고성능의 초고주파 수동 집적회  
로들을 제조할 수 있고 따라서 저가의 무선통신용  
상용 칩들과 모듈들을 구현할 수가 있다. 이 기술은  
기존의 상용 칩 제조회사들이 보편적으로 사용하는  
기술과는 크게 상이한 기술이며 저가의 무선통신용  
칩들을 제작하는데 성공적으로 적용될 수 있다. 본  
STO 기술은 무선통신용 반도체 칩 제작에 획기적  
이고도 새로운 대안을 제시해 줄 것이다.

- (1) Robert H. Caverly, Scott Smith, Jiangang Hu, and Robert Nochols, "CMOS RF Circuits for Integrated Wireless Systems," in *MTT-S International Microwave Sym. Digest*, pp. 1851-1854, 1998
- (2) Abidi A., "CMOS-only RF and Base-band Circuits for a Monolithic 900 MHz Wireless Transceivers," in *Proceedings of the IEEE Bipolar/BiCMOS Circuits and Tehcnology*, pp. 35-42, 1996
- (3) C. Takahashi et al., "A 1.9GHz Si Direct Conversion Receiver IC for QPSK Modulation Systems," in *IEEE ISSCC Dig. Tech. Papers*, pp. 342-343, Feb. 1996
- (4) S. Colomines, T. Amaud, R. Plana, J.

- Graffeuil, "Design of High Performances Gilbert-Cell Mixers for GSM/DCS Front-Ends," in *1998 Radio Frequency Integrated Circuits(RFIC) Symposium*, pp. 143-146, 1998
- [5] B. Khabbaz et al., "A High Performance 2.4GHz Transceiver Chip-set for High Volume Commercial Applications," in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp.*, pp. 11-14, 1994
- [6] S. Tanaka et al. "A 3V MMIC Chip Set for 1.9GHz Mobile Communication Systems," in *IEEE ISSCC Dig. Tech. Papers*, pp. 144-145, Feb. 1995
- [7] M. Nagaoka et al., "High-efficiency Monolithic GaAs Power MESFET Amplifier Operating with a Single Low Voltage Supply for 1.9GHz Digital Mobile Communication Systems," in *IEEE Microwave Theory Technology Sym. Digest*, pp. 577-580, 1994
- [8] K. W. Kobayashi et al., "A 44GHz High IP3 InP-HBT Amplifier with Practical Current Reuse Biasing," *IEEE Trans. Microwave Theory Tech.*, vol. 46, no. 12, pp. 2541-2552, 1998
- [9] A. L. Caviglia, R. C. Potter and L. J. West, "Microwave Performance of SOI n-MOSFETs and Coplanar Waveguides," *IEEE Electron Device Lett.*, vol. 12, pp. 26-27, Jan. 1991
- [10] A. C. Reyes et al., "Silicon as a Microwave Substrate," in *IEDM Tech. Digest*, pp. 1759-1762, 1995
- [11] S. R. Taub, "Temperature Dependent Performance of Coplanar Waveguide(CPW) on Substrate of Various Materials," in *IEEE MTT-S Dig.*, pp. 1049-1051, 1994
- [12] H. Sakai et al., "A New Millimeter-Wave IP-Chip IC on Silicon Substrate," in *Asia Pacific Microwave Conference*, pp. 291-294, 1994
- [13] B.-K. Kim, B.-K. Ko and K. Lee, "Monolithic Planar Inductor and Waveguide Substrate on Silicon with Performance Comparable to Those in GaAs MMIC," in *IEDM Tech. Digest*, pp. 717-720, 1995
- [14] [www.macom.com](http://www.macom.com)
- [15] Choong-Mo Nam and Young-Se Kwon, "High Performance Planar Inductor on Oxidized Porous Silicon(OPS) Substrate," *IEEE Microwave Guided Wave Letters*, vol. 7, no. 8, pp. 236-238, 1997
- [16] Jong-Soo Lee, Man-Lyun Ha and Young-Se Kwon, "MCM Technology for RF Tunable Band Pass Filters implemented by Integration of GaAs FET's and Selectively Oxidized Porous Silicon(SOPS)," in *50th Electronic Components and Technology Conference*, pp. 426-431, 2000
- [17] Choong-Mo Nam, In-Ho Jung, Jong-Su Lee, Yong-Ho Cho and Young-Se Kwon, "GaAs Multichip Packaging using SOPS(Selectively

Oxidized Porous Silicon) Substrate.”  
in *IEEE 7th Topical Meeting on  
Electrical Performance of Electronic  
Packaging(EPEP 98)*, pp. 113-115,  
Oct. 1998



김 동 욱

1990년 한양대학교 전자통신공학과 졸업(학사)  
1992년 한국과학기술원 전기 및 전자공학과 졸업(석사)  
1996년 한국과학기술원 전기 및 전자공학과 졸업(박사)  
1996년~2000년 LG전자기술원 선임연구원  
현재 텔레포스(주) 연구개발팀 부장

#### 남 충 모

1992년 경북대학교 전자공학과 졸업(학사)  
1994년 한국과학기술원 졸업(석사)  
1998년 한국과학기술원 전기 및 전자공학과 졸업(Ph.D)  
1998년~2000년 현대전자산업(주) 반도체부문 중앙  
연구소 선임연구원  
현재 텔레포스(주) 연구개발팀 책임연구원

#### 권 영 세

1968년 서울대학교 공업교육과 졸업(학사)  
1972년 미국 Ohio 대학교 전자공학과 졸업(석사)  
1977년 미국 California 주립대학교 Berkeley 분교  
전자공학과 졸업(박사)  
1977년~1979년 미국 Army Research Office 및  
미국 Duke 대학 연구원  
1994년~2000년 한국과학재단 지정 광전자 연구센  
터 소장  
현재 한국과학기술원 전기 및 전자공학과 교수 텔레포  
스(주) 부사장