

AVTMR 시스템의 설계 및 RAM 평가

정회원 김 현 기*, 이 기 서*

Design of AVTMR system and Evaluation of RAM (Reliability, Availability, Maintainability)

Hyun Ki Kim*, Key Seo Lee* *Regular Members*

요 약

본 논문에서는 결함의 영향을 받지 않고 동작할 수 있는 AVTMR(All Voting Triple Modular Redundancy) 시스템을 개발하였으며, MILSPEC-217F에 기반을 둔 고장율을 계산하여 AVTMR 과 SS(Single System) 시스템을 비교 및 평가하였다. 설계된 시스템은 MC68000을 기반으로 한 3중화된 다수결 보터(Triplicated Majority Voter)를 이용하여 시스템을 개발하였다. 본 논문에서는 시스템의 신뢰도(Reliability), 가용도(Avaliability), 유지보수도(Maintainability)를 마코브 모델(Markov model)로 평가하였으며, 또한 시스템의 MTTF(Mean Time to Failure)를 계산하여 시스템의 수명을 구하였고, 설계된 AVTMR 시스템이 SS(Single System)보다 전체 시스템 평가에서 우수한 특성을 가진다는 것을 시뮬레이션을 통해 알 수 있었다. 또한, AVTMR 시스템은 결함을 허용(Fault tolerant)하는 시스템 특성을 가지기 때문에, 인간의 생명과 관련된 철도 시스템, 선박 시스템이나 항공기 시스템에 적용될 수 있다.

ABSTRACT

In this paper, we developed AVTMR(All Voting Triple Modular Redundancy) system which is operated correctly in case of a fault and evaluated AVTMR system in failure rate based on MILSPEC-217F. AVTMR system is designed in a triplicated voter and MC68000. Markov model is designed to evaluate the reliability, availability, maintainability and MTTF(Mean Time To Failure) and AVTMR system will be compared with SS(Single system) as the commercial element and the Milspec. We can see that AVTMR system has a higher dependability than single system by evaluation , and because of fault-tolerant characteristic, AVTMR system can be applied to the airplane and the railway system.

I. 서 론

산업사회의 발전에 따라 인간의 생명과 밀접한 시스템에서 높은 신뢰도(Reliability)와 안전도(Safety) 및 결함(Fault)을 허용(Tolerance)할 수 있는 시스템이 요구되어 왔다. 이러한 문제를 해결하기 위해 다수결 보터(Majority voter)를 이용하는 최초의 결함 허용 시스템(Fault tolerant system)이 아폴로의 유도 시스템에 적용이 되었으며, 인간의 생명과 직접적으로 관련된 시스템인 항공기, 철도 시스템 등에

사용되어 왔다.

이러한 결함허용 시스템을 개발하기 위해 고장의 연구가 필요하게 되었고, 결국 결함(Fault), 오류(Error), 고장(Failure)의 관계가 시스템에서 밀접한 관계가 있다는 것을 알게 되었다. 즉, 결함이 오류를 발생시키고, 오류가 시스템의 고장을 발생시킨다는 것이다. 즉, 결함허용 시스템(Fault tolerant system)이란 결함이 발생했을 때, 시스템이 오류나 고장으로 전이되는 것을 방지하는 시스템이라 볼 수 있다.

* 광운대학교 제어계측공학과(kslee@daisy.kwangwoon.ac.kr)
논문번호: 00274-0714, 접수일자: 2000년 7월 14일

결함을 방지하는 기법으로는 결함 회피(Fault avoidance)와 결함허용(Fault tolerance)이 있다. 결함회피는 전자소자의 질을 향상시켜서 고장율(Failure rate)을 작게 하고, 시스템에 대한 완벽한 테스트를 통해서 시스템을 구성하는 방법으로, 실질적으로 구현하기 어려운 시스템이다. 왜냐하면, 시간이 지나감에 따라 전자소자의 질은 떨어지고, 예상치 못한 경우에 대해서 완벽한 테스트를 한다는 것은 어려운 일이기 때문이다. 결함허용 시스템(Fault tolerant system)은 시스템에서 결함이 발생하더라도 정상적인 동작이 계속 유지되는 시스템이다. 그래서, 결함허용 시스템은 결함회피 시스템보다 시스템을 개발하는데 있어서 많은 장점을 가지게 된다. 일반적으로 결함허용 시스템은 여분을 가지고 있는 구조로 되어있고, 결함이 발생을 하여도 정상적인 동작을 멈추지 않고 동작을 하는 특성을 가지게 된다. 이러한 기법으로는 하드웨어 여분(hardware redundancy), 소프트웨어 여분(software redundancy), 시간 여분(time redundancy), 정보 여분(information redundancy)의 구조가 있다. 하드웨어 결함허용 기법은 소프트웨어 결함허용 시스템보다 시간이 중요시되는 시스템에 적용된다. 하드웨어 결함허용 시스템은 버스 레벨로 데이터를 비교하고, 보팅(voting)을 하는 특성을 가지는 반면, 소프트웨어 기법은 시스템 레벨에서 데이터를 처리하는 구조를 가지게 된다.

미국의 NASA에서는 상용 항공기에 적용하기 위해 하드웨어를 이용한 결함허용 시스템인 FTMP(Fault Tolerant Multi-processor)와 소프트웨어를 이용한 결함허용 시스템인 SIFT(Software Implemented Fault Tolerant)를 개발하였다.

본 논문에서 제안된 시스템은 하드웨어 결함 허용 기법을 사용한다. 하드웨어 기법으로 수동하드웨어 여분(passive hardware redundancy), 능동하드웨어 여분(active hardware redundancy), 하이브리드 하드웨어 여분(hybrid hardware redundancy) 구조가 있다. 수동하드웨어 여분은 결함을 검지하지 않고, 결함이 발생하였을 때 정상적인 동작을 하면서 결함을 마스킹(masking) 하는 특성을 가지며, 능동하드웨어 여분은 결함을 검지하고, 결함 한정(fault location)을 하며, 결함 복구(recovery)의 특성을 가지게 된다. 하이브리드 구조는 능동과 수동 구조를 다 가지고 있는 구조이다. 본 논문에서는 결함을 마스킹 하면서, 결함을 검지하는 특성을 가지는 시스템을 개발하였다. 이 구조는 완벽한 능동구조는 아

니지만 능동 구조의 일부를 가지고 있는 수동시스템으로 볼 수 있다. 이렇게 개발된 시스템의 평가를 위해서 사용된 시스템의 전자소자의 고장율을 MILSPEC -217F에 근거하여 RELEX6.0을 이용하여 계산하였고, 마코브 모델(Markov model)을 이용하여 개발된 AVTMR 시스템의 신뢰성을 평가, 분석하였다.

이러한 방법으로 개발된 결함허용 실시간 시스템은 높은 신뢰성과 안전성이 요구되는 항공기나 철도 시스템에 적용될 수 있다.

II. AVTMR 시스템 설계

하드웨어 결함허용 기법에는 수동 하드웨어 여분(Passive Hardware Redundancy), 능동 하드웨어 여분(Active Hardware Redundancy), 하이브리드 하드웨어 여분(Hybrid Hardware Redundancy)이 있다. 본 논문에서는 3중화된 보터(Triplicated voter)를 이용한 수동하드웨어 여분 시스템의 개발을 하였다. 수동하드웨어 여분 구조는 오류를 일으키는 결함을 없애거나 결함의 발생을 은폐하기 위한 결함 방지(Fault masking)의 개념을 사용한다. 이 하드웨어의 구조는 보터(Voter)를 이용해서 결함 발생 시에 오류가 발생하는 시스템의 부분에 대해서 어떠한 복구 없이 결함허용을 구성하는 것이다.

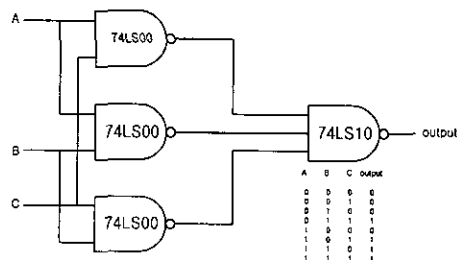


그림 1. 보터의 구조

그림 1에는 다수결 보터(Majority voter) 회로가 나타나 있다. 이 회로에 나타나 있듯이 입력되는 데이터 중 2개 이상의 같은 값을 가지는 데이터를 출력하게 된다. 그러므로, 한 개의 결함을 가지는 입력에 대해서 이 다수결 보터를 통해서 결함이 마스킹(Masking)이 되는 구조를 가지고 있다. 본 논문에서는 이러한 다수결 보터를 CPU 보드에서 3중화하여 한 개의 보터가 고장이 발생해도 시스템에서 결함이 발생하지 않고 정상적인 동작을 할 수 있는

AVTMR 시스템을 설계하였다. 설계방식은 3개의 MC68000 CPU를 기반으로 하여 설계하였으며, CPU의 어드레스 버스(Address bus), 데이터 버스(Data bus), 제어 버스(Control bus)는 보터를 통하여 입/출력되는 구조를 가지고 있다. 양방향 버스인 경우에는 74244를 이용한 리드와 라이트시의 방향성 보터, 즉 양방향 보터를 설계하였다. 이렇게 구성된 AVTMR 시스템은 한 개의 클럭(Clock)을 이용해서 동기를 맞추어 동작을 하도록 구현하였으며, 보팅 시간을 결정짓는 동기화 요소는 MC68000의 제어 신호인 /DTACK 신호를 이용하여 보팅 하는 시간의 시점을 결정지었다.

설계된 AVTMR 시스템은 MC68000을 기반으로 설계되었으며, 보터의 설계는 EPLD인 ALTERA사의 EPM7128LC84를 사용하여 설계하였다. 개발된 CPU 보드의 사진이 그림 2에 나타나 있다. 그림 2의 CPU 보드가 그림 3과 같은 구조로 동작을 한다.

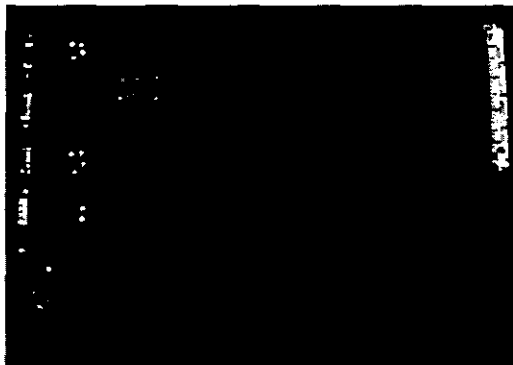


그림 2. 개발된 CPU 보드

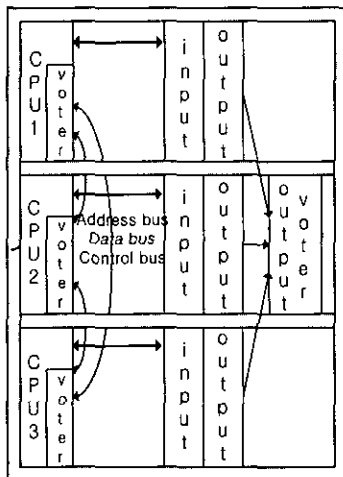


그림 3. AVTMR 시스템 구성도

이 3개의 CPU 보드는 공통 클럭으로 동작을 하고, 각각의 보드는 두 개의 다른 CPU 보드로부터 어드레스 버스, 데이터 버스, 제어 버스를 받아서 보팅이 되도록 구성이 되었다. 보팅이 되는 제어신호는 /DTACK 신호를 CPU의 데이터가 가장 안정한 시점에서 입/출력의 데이터가 비교되도록 설계를 하였다. 이 보드의 리셋 회로는 TL7705를 이용하여 일정 시간동안 초기화를 시켜주는 회로를 구성하였다. 독립적인 입/출력 보드와의 연계를 위해서 VME버스 구조를 가지는 인터페이스 로직을 설계하였다.

입력보드(Input board)의 경우에는 동기 클럭으로 동작하는 3개의 CPU가 동시에 같은 입력을 외부에서 받도록 구성된다. 즉, 같은 데이터 입력이 3개의 입력 보드의 같은 포트에 연결이 되어 있다. 이 입력보드에서는 VME버스를 이용한 구조를 채택하였으며, 8255와 ALTERA, 74244, 74245를 이용한 입력 회로를 구성하였다. 출력 보드도 마찬가지로 입력 보드와 같은 소자를 사용하였고, 각각의 CPU가 3개의 보드로 출력을 하도록 설계가 되어 있으므로 최종출력에는 마찬가지로 보터를 이용하여 한 개로 출력이 되도록 설계하였다.

III. RAM 평가

1. 고장을 계산

고장율(Failure rate)은 모든 하드웨어 시스템 평가, 즉 구성될 시스템의 신뢰도(Reliability), 가용도(Availability)와 MTTF(Mean Time to Failure)를 평가하는데 가장 중요한 요소로서 전자소자 또는 시스템이 동작한 시간의 역수로서 식(1)과 같이 나타낼 수 있다.

$$\lambda = \frac{1}{\text{Operating Time}} \quad (\lambda: \text{고장률}) \quad (1)$$

본 논문에서 설계된 시스템의 소자의 고장율은 표1과 같이 구해진다. 표 1에서는 전자소자의 종류에 따라서 고장율 1은 일반적인 상업용 전자소자의 고장율이고, 고장율 2는 MILSPEC 중 가장 작은 고장율을 가지는 전자소자의 고장율을 나타낸다. 이러한 전자소자의 고장율은 MIL-HDBK-217F에 근거하여 계산되었다. 고장율은 RELEX 6.0을 이용하여 계산하였다. 표 1에 나타난 전자소자의 개수는 CPU 보드와 입/출력 보드에 사용된 총 소자의 개수를 나타내고 있다. 표 1에서 나타내듯이 AVTMR

시스템이 SS 보다 3배 정도의 소자가 더 사용된다는 것을 알 수 있다. 표1의 전자소자의 개수는 CPU 보드 및 입/출력 보드, 출력 보드에 사용되는 전자소자의 개수를 나타내고 있다. AVTMR 시스템의 고장율은 지상 시스템으로 설정하여 계산하였다.

표 1. 소자의 고장율 및 사용개수

사용된 소자	고장율1 10 ⁻⁶ (h)	고장율2 10 ⁻⁶ (h)	SS (개수)	AVTMR (개수)
MC68000	1.329899	0.033247	1	3
27010	0.086332	0.002158	2	6
681000	0.139243	0.003481	4	12
8530	0.242960	0.006074	1	3
EPM7128LC84	0.219911	0.005498	4	22
8253	0.125532	0.003138	1	3
74244	0.058272	0.001457	12	40
74245	0.058272	0.001457	6	18
7404	0.044916	0.001123	1	3
7405	0.044916	0.001123	1	3
7407	0.047508	0.001188	1	3
TL7705	1.095121	0.027378	1	3
8255	0.126798	0.003170	2	6
oscillator	0.021441	0.000536	2	2
저항	0.002945	0.000029	14	42
콘덴서	0.005131	0.000051	36	108
스위치	0.200783	0.100391	2	6
다이오드	0.010425	0.001327	2	6
max232c	0.033405	0.000835	1	3

(고장율 1:상업용 소자, 고장율 2: MILSPEC 소자
SS: Single System,
AVTMR:All Voting Triple Modular Redundancy)

2. 평가 함수

2.1. 신뢰도(reliability)

시스템과 전자 소자의 신뢰도는 시간 t₀에서 올바르게 동작하고 있을 때, 시간 간격 [t₀, t]에서 올바르게 동작을 하는 조건적인 확률이다. 그러면, N개의 똑같은 요소를 시간 t₀에서 시작하여 N개의 시스템을 검사한다고 가정할 때, N_s(t)는 시간 t에서 고장나는 시스템 개수이고, N_o(t)는 시간 t에서 올바르게 동작하고 있는 시스템의 개수이다. 시스템의 신뢰도는 식(2)와 같다.

$$R(t) = \frac{N_o(t)}{N_o(t) + N_s(t)} = e^{-\lambda t} \quad (\lambda: \text{고장율}) \quad (2)$$

2.2. 가용도(Availability)

시스템의 가용도 A(t)는 시스템이 시간 t의 순간

에 어떠한 동작을 수행할 수 있는 확률로서 정의된다. 즉, 가용도는 시스템이 바르게 동작되는 시간의 비율로 볼 수 있다. 그러므로 식(3)와 같이 시스템이 동작하는 시간과 수리하는 시간의 비율로서 표현될 수 있다.

$$A(t_{current}) = \frac{t_{op}}{t_{op} + t_{repair}} \quad (3)$$

2.3. 유지 보수도(Maintainability)

유지 보수도는 고장난 시스템이 확정된 시간 내에 회복될 수 있는 확률을 말한다. 유지 보수율 M(t)는 시스템이 시간 t 이하의 시간에 수리될 확률을 이야기한다. 이 유지 보수율은 수리율을 이용해서 구할 수 있다.

$$M(t) = 1 - e^{-\mu t} \quad (\mu \text{ 수리율}) \quad (4)$$

2.4. MTTF(Mean Time To Failure)

MTTF는 시스템의 수명을 나타내는 요소로 고장이 나는 시간 간격을 나타낸다. 이 MTTF는 시스템의 확률적인 고장율로 시스템의 질을 평가하는데 중요한 계수로 사용된다. 시스템이 시간 t=0에서 동작을 시작해서 시스템이 고장나기 전까지의 시간을 말한다. 이 MTTF는 고장 시간의 기대값으로 표현되는데, 확률적으로 불규칙한 X에 대한 기대값의 식은 결국 신뢰도의 함수를 시간에 대한 무한대의 적분으로 표현될 수 있다.

$$MTTF = \int_0^{\infty} R(t) dt \quad (5)$$

2.5. MTTR(Mean Time To Repair)

MTTR은 시스템을 수리하기 위해 요구된 평균 시간이다. 즉, N개의 고장이 I번째 수리하기 위해 t_i의 시간이 필요하다면, MTTR은 다음과 같이 나타낸다.

$$MTTR = \frac{\sum_{i=0}^N t_i}{N} \quad (6)$$

IV. 시스템 모델링

본 논문에서는 시스템을 평가하는 모델링 기법으로 마코브 모델링(Markov modeling)을 이용한다. 마코브 모델(Markov model)은 시스템이 가질 수 있는 상태에 따라 표현될 수 있는 확률적인 시스템

평가모형을 제공한다. 즉, 설계된 시스템의 신뢰도 표현을 위해 각각의 상태는 동작이 가능한 모듈과 고장 모듈로 표현된다. 시스템에서 각 모듈은 동작 상태와 결합 상태의 한 조건이 된다. 이러한 상태의 변화를 상태 전이(State transition)라고 한다. 이러한 상태 전이에 따라 이산 시간 모델로 되는 전이율로 시스템 고장에 따른 확률을 할당하여 시간의 변화에 따른 식을 유도하여 시스템을 모델링한다. 이렇게 모델링 된 시스템은 각각 전자소자의 고장에 따른 시스템의 RAM(Reliability, Availability, Maintainability)가 구해진다.

1. 단일 시스템 모델링

단일 시스템은 가장 기본적인 구조로 그림 4와 같이 설계될 수 있다. CPU 보드, 입/출력 보드로 구성되어 있다. 그림 5는 시스템의 마코브 모델을 구성하고 있다. λ 는 전체 시스템의 고장율(Failure rate)이고, μ 는 시스템의 수리율(Repair rate)이다. 이 시스템에 대한 상태 방정식을 이끌어 보면, 식(7)과 같이 된다.

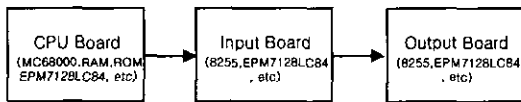


그림 4. 단일 시스템 구조



그림 5. 단일 시스템의 마코브 모델

$$\begin{bmatrix} P_o(t+1) \\ P_f(t+1) \end{bmatrix} = \begin{bmatrix} -\lambda & \mu \\ \lambda & -\mu \end{bmatrix} \begin{bmatrix} P_o(t) \\ P_f(t) \end{bmatrix} \quad (7)$$

2. AVTMR 시스템 모델링

제안된 AVTMR 시스템의 구조가 그림 6에 나타나 있다. 3개의 CPU 보드 B1, B2, B3가 데이터 버스, 어드레스 버스, 제어 버스를 받아서 보팅을 하는 구조를 가지고 있다. CPU보드의 보터는 3중화 되어있기 때문에 한 개의 보터가 고장이 발생을 하여도 정상적인 동작을 하는 구조를 가지고 있다. AVTMR 시스템의 RAM(Reliability, Availability, Maintainability)을 평가하기 위하여 그림 6의 시스

템에 대한 마코브 모델을 그림7과 같이 구성하였다.

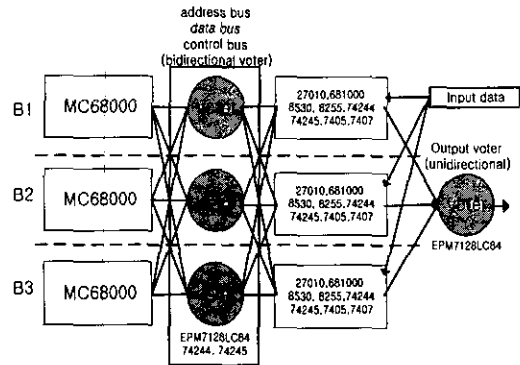


그림 6. AVTMR 시스템의 블럭도

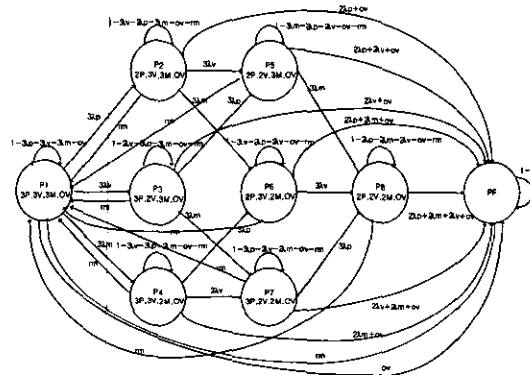


그림 7. AVTMR 시스템의 마코브 모델

그림 7에서 첨자 P는 프로세서를 의미하며, 3P는 3개의 CPU가 정상적인 동작을 하는 것을 나타내고, 상태 변화에 의해서 2P가 되는 경우는 프로세서 1개가 고장이 나는 경우를 나타낸다. 3V는 3중화 보터를 의미하고, 2V는 3중화 보터 중 한 개가 고장이 나는 경우를 나타낸다. 3M은 나머지 소자의 정상적인 상태를 의미하고, 2M은 한 개의 고장난 상태를 가지는 경우를 나타낸다. Ov는 출력 보터와 공통 클럭으로 구성된다. 그리고 각 상태에서 시스템이 고장이 발생을 하였을 때는 같은 수리율을 가지는 것으로 시스템의 마코브 모델을 구성하였다. 즉, 그림7에서는 각 상태에서 3개의 시스템이 정상 동작하는 상태로의 같은 수리율이 전이가 된다. 그림의 복잡성 때문에 Pf의 상태에서의 수리율의 전이만 나타내고, 나머지 7개의 상태에서 각각 Po의 상태로 수리율의 전이가 방정식으로 표현된다는 것을 그림 7에서 알 수가 있다. 이 마코브 모델의 방정식은 식(8) 같다.

$$\begin{bmatrix} p_1(t+1) \\ p_2(t+1) \\ \vdots \\ p_8(t+1) \\ p_F(t+1) \end{bmatrix} = \begin{bmatrix} s_{11} & r_m & r_m & \dots & r_m & r_m \\ s_{21} & s_{22} & 0 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \dots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & s_{88} & s_{89} \\ s_{91} & s_{92} & s_{93} & \dots & s_{98} & s_{93} \end{bmatrix} \begin{bmatrix} p_1(t) \\ p_2(t) \\ \vdots \\ p_8(t) \\ p_F(t) \end{bmatrix} \quad (8)$$

V. 시뮬레이션

그림 8은 모델링 된 각각의 시스템에 대한 신뢰도 곡선을 나타내고 있다. 먼저 상업용 전자소자를 사용한 시스템은 SS_C(Single System Commercial)와 AVTMR_C(All Voting Triple Modular Redundancy Commercial)이고, MILSPEC217F의 S계열의 소자를 사용한 시스템은 SS_m(Single System Milspec)와 AVTMR_m(All Voting Triple Modular Redundancy Milspe-c)이다. 그림 8에 나타난 각 시스템의 신뢰도를 보면 SS_c와 AVTMR_c를 살펴보면, 90000 시간정도까지 즉, 10년 정도는 AVTMR_c 시스템이 더욱 더 우수한 신뢰도를 가지고 있고, 10년 후의 시간에는 SS_c보다 적은 신뢰도를 가진다는 것을 알 수 있다.

MILSPEC 소자일 경우에는 670000만 시간 정도, 즉, 76년 정도 AVTMR_m 시스템이 SS_m보다 우수한 신뢰도를 가지고 있다는 것을 시뮬레이션 결과로 알 수 있다. 결론적으로 AVTMR 시스템이 처음의 일정기간 동안은 단일 시스템 보다 우수한 신뢰도를 가진다는 것을 알 수 있다.

그림9는 각 시스템의 가용도(Availability)를 나타내고 있다. 본 시뮬레이션은 각 시스템의 수리율을

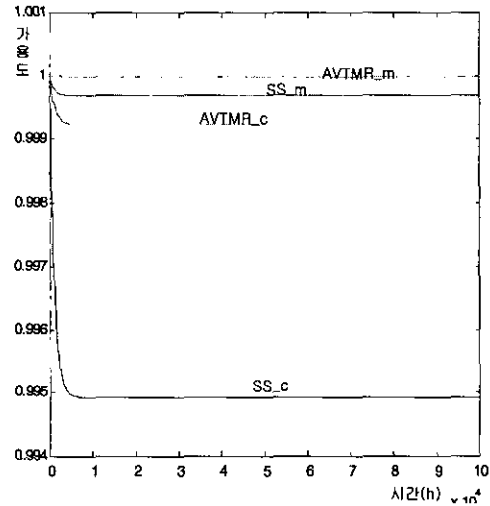


그림 9. 각 시스템의 가용도

0.01로 가정하고, 시뮬레이션을 하였다. 즉, 개발된 시스템이 가져야 하는 수리율의 최고 시간을 0.01로 한 것이다. 그림9에 나타나 있는 것과 같이 단일 시스템 보다는 AVTMR 시스템이 각각의 전자소자에 대해서 더 우수한 것으로 나타난다. 그러므로, AVTMR 시스템이 단일 시스템보다, 상업용 소자보다는 MILSPEC 소자가 우수한 가용도를 갖는다는 것을 알 수 있다. SS_c는 0.995, AVTMR_C는 0.999의 가용도를 가지며, SS_m은 0.9997, AVTMR_m은 0.9999이상의 가용도를 가진다는 것을 알 수 있다. 그러므로, AVTMR 시스템이 단일 시스템보다 같은 수리율의 조건하에서 높은 가용도를 가진다는 것을 알 수 있다.

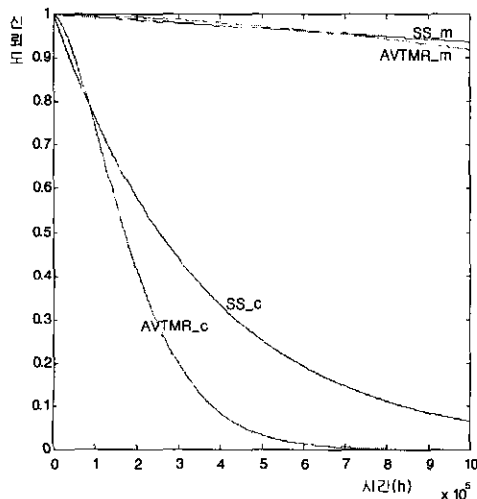


그림 8. 각 시스템의 신뢰도

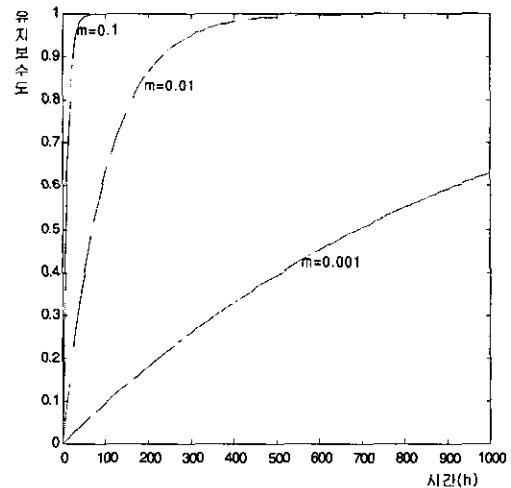


그림 10. 시스템의 유지보수도

그림 10은 유지보수도(Maintainability)를 나타내고 있다. 이 시뮬레이션의 결과는 실질적으로 어떠한 동작을 하는 시스템에 적용될 때, 시스템이 수리가 되어서 정상적인 동작을 할 수 있는 유지보수도(Maintainability)의 결과이다. 그림 10은 SS나 AVTMR 시스템이전 고장이 발생하였을 때, 수리율(repair rate)에 따라서 시스템의 유지보수도가 달라지는 것을 나타내고 있다.

즉, 수리율이 클수록 다시 말해서 수리를 하는 시간이 짧을수록 시스템의 유지 보수도(Maintainability)가 우수하다는 것을 알 수 있다. 그러므로, 시스템의 가용도(Availability)를 높이기 위해서는 유지 보수도가 높을수록 좋은 가용도를 가진다는 것을 알 수 있다.

VI. 실험 결과

그림 11은 AVTMR 시스템이 정상적인 동작을 하는 경우를 나타내는 시스템 타이밍도 이다. 3개의 데이터를 비교하는 데 있어서 제어 신호로서 /AS(address strobe),/DTACK(data acknowledge) 이 사용된다. 정상적인 동작을 할 경우에는 데이터 및 /AS 신호의 차이가 발생을 하더라도 보팅을 이용하여서 3개의 신호가 동기를 맞추어서 동작을 한다는 것을 알 수 있다. 또한 결함을 검지하는 신호가 모두 정상적으로 결함이 발생을 하지 않는다는 것을 그림으로 알 수 있다.

그림 12는 한 개의 영구적인 데이터 결함으로 데이터 버스의 입력이 인버팅 되는 결함을 가지게 되는 경우에도 출력 데이터 data0는 정상적인 출력을 한다는 것을 알 수 있다. 이 그림에서 data0가 결함이 발생을 했다는 것을 fault0의 신호가 1이 됨으로 알 수 있게 된다. 즉, 각각의 시스템에 대한 결함 상태를 알 수 있다. 그림13은 간헐적인 결함(intermittent fault) 또는 일시적인 결함(transient fault)이 발생을 하고, 다시 정상적인 동작으로 돌아가는 특성을 가지는 시스템의 타이밍을 나타내고 있다. 결함 신호를 볼 때, 한번의 데이터의 오류로 인해 결함이 검출되는 특성을 나타내고 있지만, 다음 사이클부터 정상적인 데이터를 나타낼 때에는 결함이 없어지는 특성을 나타낸다. 이로서, AVTMR 시스템은 한 개의 시스템의 결함에도, 일시적인 결함에 대해서도 안전한 동작을 한다는 것을 시스템의 동작특성으로 알 수 있다.

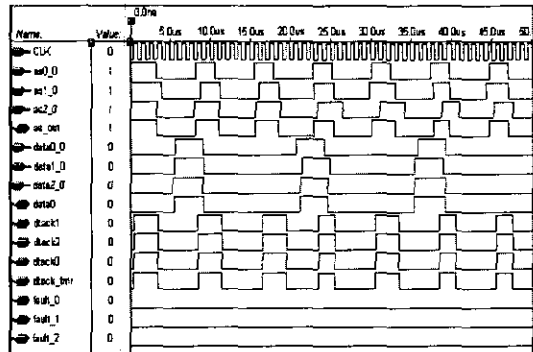


그림 11. 정상동작을 하는 AVTMR 시스템

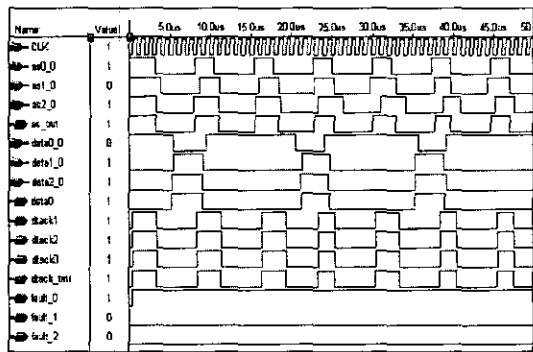


그림 12. 한 개의 모듈이 고장이 발생하였을 경우

Figure 12. The timing of one module failure

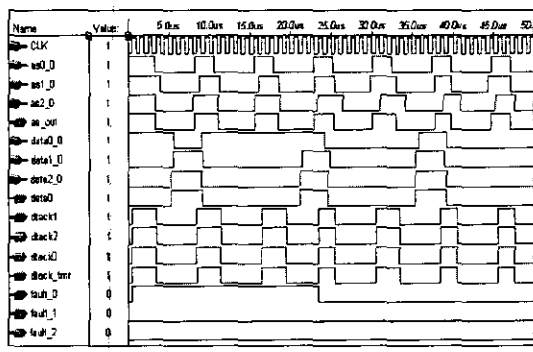


그림 13. 일시적인 결함이 발생할 때의 타이밍도

VII. 결론

본 논문에서는 MC68000을 기반으로 한 AVTMR 시스템을 설계 및 평가를 하였다. 각각의 시스템 평가는 단일 시스템과 AVTMR 시스템, 상업용 소자와 MILSPEC소자를 사용한 경우로 나누어서 시스템을 평가하였다. 시스템의 특성을 살펴보면, AVTMR 시스템이 단일 시스템보다 일정기간

동안 신뢰도(Reliability)가 우수하다는 것을 알 수 있었고, 가용도(Availability)는 단연 AVTMR 시스템이 우수하다는 것을 알 수 있었다. 또한, 동작특성의 타이밍도에 의해서 정상적인 AVTMR 시스템의 기능을 가지는 것을 보았다. 본 논문에서 설계된 시스템은 단일 시스템에 비해 상당히 오랜 기간 신뢰도, 가용도가 우수하기 때문에 시스템 수명 사이클에 따라서, 단일 시스템보다는 더 좋은 시스템으로 적용될 수 있다. 또한, AVTMR 시스템은 결함이 발생을 하여도, 시스템이 계속 정상적인 동작 특성을 가지게 때문에, 인간의 생명과 관련된 특수 시스템 및 시스템이 다운이 되지 않아야 하는 특성을 가지는 시스템에 적용이 될 수 있다. 각각 시스템의 MTTF는 다음과 같다. SS_c의 MTTF는 364655, TMR_c의 MTTF는 219028, SS_m의 MTTF는 15160700, TMR_m의 MTTF는 4659940 시간이다. 단일 시스템과 비교하여 AVTMR 시스템이 적은 MTTF를 가지고 있다. 하지만, 신뢰도와 가용도와 MTTF 3가지를 어떠한 일정한 시간을 놓고, 비교를 하면, AVTMR 시스템이 시스템의 특성상 단일 시스템보다 더 우수한 특성을 가진다는 것을 알 수 있다. 즉, 시스템이 구성되면 영구히 사용되는 것이 아니므로, 어느 일정한 시간동안, 즉 처음부터 상당한 시간동안 신뢰도가 우수하므로 AVTMR 시스템이 단일 시스템보다 중요한 시스템에 적용 될 수 있다. 앞으로의 추후과제는 3중계의 특성을 가지는 클럭 입력과 출력 단에서의 고장안전(fail-safe) 특성을 가지는 시스템의 설계 및 적용되는 시스템 환경에 따른 결함허용 운용체제(Fault tolerant operating system)의 설계가 고려되어야 할 것이다.

참 고 문 헌

[1] Barry W.Johnson, "Design and Analysis of Fault-Tolerant Digital Systems", Addison Wesley Publishing Company, 1989.
 [2] Dhiraj K. Pradhan, "Fault-Tolerant Computer System Design", Prentice Hall,1996.
 [3] 김 현기, "결함 허용 실시간 시스템 개발에 관한 연구", 광운대 석사학위 논문, 1995.
 [4] Terje Aven, "Availability Formulae for Standby Systems of Similar Units that are Preventively Maintained.", IEEE Trans. on Reliability, Vol.39, No.5, 1990 December.
 [5] Charles Y.Choi, Barry W.Johnson and Joseph

A. Profeta III, "Safety Issues in the Comparative Analysis of Dependable Architectures", IEEE Tran. on Reliability, Vol. 46, NO.3, 1997 September.
 [6] David G.Robinson and Marcel F. Neuts, "An Algorithm Approach to Increased Reliability Through Standby Redundancy", IEEE Tran. on Reliability, Vol.38, NO.4, 1989 October
 [7] Robert D.Yearout, Prabhaker Reddy and Doris Lloyd Grosh, "Standby Redundancy in Reliability-A Review", IEEE Tran. on Reliability, Vol.R-35, NO.3, 1986 August.
 [8] Daniel P. Siewiorek and Robert S. Swarz, "Reliable Computer System" Second Ed, Digital Press, 1992
 [9] "MC68000 Data Book", MOTOROLA.
 [10] Jeffrey A. Clark and Dhiraj K.Pradhan, "Reliability Analysis of Unidirectional Voting TMR systems through Simulated Fault-Injection" IEEE Tran. on Reliability, Vol.38, NO.7, 1992 July
 [11] JOHN F. WAKERLY, "Microcomputer Reliability Improvement Using Triple Modular Redundancy", PROCEEDING OF THE IEEE, VOL.64, No.6, JUNE 1976
 [12] "MC68000 Data Book", MOTOROLA.
 [13] 김현기의 2인, "보터의 구조에 따른 TMR 시스템의 신뢰도 평가에 관한 연구", 전기학회 춘계학술 대회, 1998
 [14] 김현기의 4인, "듀플렉스 시스템의 구조에 따른 시스템의 신뢰성 평가에 관한 연구", 대한 철도학회 춘계학술대회, 1998
 [15] "MILITARY HANDBOOK 217F", Department of defense, U.S.A
 [16] "RELEX 6.0 User Guide", RELEX

김 현 기(Hyun Ki Kim)



1993년 2월 : 광운대학교
제어계측공학과 졸업
(학사)

1995년 2월 : 광운대학교 대학원
제어계측공학과 졸업
(석사)

2000년 2월 : 광운대학교 대학원 제어계측공학과
박사수료

1999년 6월~현재 : 모토로라 코리아 소프트웨어 센터
근무

<주관심 분야> 결합허용 시스템, 이동 통신, 영상처리

이 기 서(Key Seo Lee)

한국통신학회 논문지 23권 5호 참조

현재 : 광운대학교 제어계측 공학과 교수