

MOD 법으로 제조한 강유전성 SBT 박막에서 하부전극이 유전 및 전기적 특성에 미치는 영향

Effects of Bottom Electrode to Dielectric and Electrical Properties of MOD Derived Ferroelectric SBT Thin Films

김태훈* · 송석표* · 김병호*

Tae-Hoon Kim, Seok-Pyo Song, and Byong-Ho Kim

Abstract

$\text{Sr}_{0.9}\text{Bi}_{2.1}\text{Ta}_2\text{O}_9$ solutions were synthesized by MOD (metalorganic decomposition) method. SBT thin films with 2000Å thickness were prepared on $\text{IrO}_2/\text{SiO}_2/\text{Si}$ and $\text{Pt}/\text{Ti}/\text{SiO}_2/\text{Si}$ substrates using the spin coating process, and then investigated the dielectric and electrical properties of them. In the case of using IrO_2 bottom electrode, the hysteresis loop was saturated at lower temperature than Pt/Ti electrode, but the breakdown phenomenon was occurred at low voltage because of the rough surface morphology and porous microstructure of SBT thin films. As the results of the fatigue and imprint characteristics related to the lifetime and reliability of devices, after 10^{10} cycles, the fatigue rates were about 10% at the IrO_2 and Pt/Ti bottom electrodes. Both SBT thin films with IrO_2 and with Pt/Ti bottom electrodes show a slight tendency to imprint after 10^9 cycles, but do not lead to a failure.

Key words (중요용어) : MOD, SBT thin film, IrO_2 electrode, Fatigue, Imprint

1. 서론

1970년에 Intel사에서 반도체 메모리에 사용할 수 있는 집적도를 가진 DRAM을 출시함에 따라 반도체 기억소자의 연구가 활발히 진행되었고 DRAM이 그 위치를 확고히 지키며 지금까지 반도체 공정기술의 개발을 주도해 가고 있다.^[1] 그러나, DRAM의 경우 빠른 동작속도와 저전압동작 등의 장점을 갖고 있지만, 전원을 끄게 되면 기억된 데이터가 지워지므로, 전원이 공급되지 않아도 데이터가 손실되지 않고 보존될 수 있는 FRAM이 주목을 끌고 있다.

* : 고려대학교 공과대학 재료공학과

(서울시 성북구 안암동 5가1

e-mail : sssong@korea.ac.kr

Dept. of Materials Sci. and Eng., Korea University

2000년 5월 25일 접수, 2000년 8월 07일 심사완료

FRAM은 기존의 DRAM에서 기억소자에 쓰이는 캐패시터용 재료로 실리콘 산화막이 아닌 강유전체 산화물 박막을 사용한 것으로 이 산화물 박막에 전기장을 가했다가 제거하면 잔류분극이 남아있게 되어 비휘발성 기억소자로서 쓰이게 된다.^[2,3]

FRAM의 캐패시터로서 주로 연구되어지고 있는 물질인 PZT는 Pt전극을 사용했을 경우 제품의 수명과 관련된 피로현상이 심하게 발생하는 문제점을 가지고 있다.^[4] 이것을 개선하기 위해 Pt 대신 산화물 전극을 사용하여 피로현상을 개선시키려는 연구가 진행되었다.^[5] 한편, SBT(strontium bismuth tantalate)와 같은 층상 페롭스카이트 물질은 Bi 산화물층이 전자와 산소공공의 sink역할을 하여 피로특성이 우수하고, 작동전압이 낮으며, 박막두께에 따른 잔류분극값의 변화가 작기에 고집적화에 적합하다.^[6] 그러나, PZT에 비해 잔류분극값이 작고, 공정온도가 800°C 정도로 높기 때문에 기존의 반도체

제조공정에서 양산화가 어렵다는 단점을 가지고 있다.¹⁷⁾

PZT의 확산방지 와 피로특성을 개선하기 위해 연구되어온 산화물 전극의 일종인 IrO₂전극을 사용하게 되면 SBT의 상전이 온도를 낮춘다고 알려져 있기 때문에¹⁸⁾ 공정온도에 가장 심각한 문제를 가지고 있는 SBT의 전극으로서 적합하다고 생각되어진다.

본 연구에서는 IrO₂/SiO₂/Si 와 Pt/Ti/SiO₂/Si기판위에 MOD법을 이용하여 Sr_{0.9}Bi_{2.1}Ta₂O₉박막을 제조하였다. Pt/Ti전극을 하부전극으로 사용하여 SBT박막을 제조하는 경우와 IrO₂전극을 사용한 SBT 박막의 열처리 조건에 따른 미세구조를 SEM과 AFM을 통하여 비교하였으며 그에 따른 유전 및 전기적 특성을 P-V curve, I-V curve, 피로현상을 통하여 고찰하였다.

2. 실험방법

SBT 용액을 합성하기 위해서 CLD (chemical liquid deposition)법의 일종인 MOD (metalorganic deposition)법을 이용하였다. 우선 Sr과 Bi의 경우 각각 carboxylate계열의 화합물인 strontium 2-ethylhexanoate (Sr[OOCCH(C₂H₅)C₄H₉]₂)와 bismuth 2-ethylhexanoate (Bi[OOCCH(C₂H₅)C₄H₉]₃)를 사용하였으며 Ta의 경우 alkoxide계열의 tantalum ethoxide (Ta(OC₂H₅)₃)를 사용하였다. 용매로는 Sr과 Bi의 출발물질과 같은 side group을 지니며 수분에 민감한 tantalum ethoxide를 안정화시킬 수 있는 2-ethylhexanoic acid를 사용하였다. 본 실험에서는 IrO₂가 하부전극으로 약 2000Å 두께로 증착되어 있는 IrO₂/SiO₂/Si기판과 Pt가 2000Å, Ti가 200Å의 두께로 증착되어 있는 Pt/Ti/SiO₂/Si기판을 사용하였다.

SBT 용액을 스펀코팅법을 이용하여 3000rpm의 회전속도로 30초 동안 코팅한 후 유기물을 탈리하기 위해 400°C에서 5분간 baking하였다. 이후 박막의 치밀화와 상전이를 촉진시키기 위해 IrO₂/SiO₂/Si기판의 경우는 720°C, Pt/Ti/SiO₂/Si기판의 경우는 780°C 산소 분위기에서 각각 60초 동안 급속 열처리를 하였다. 이러한 과정을 여러 번 반복하여 약 2000Å의 두께를 가지는 SBT 박막을 제조하였다. 박막의 완전한 결정화를 위하여 700°C, 750°C, 그리고 800°C의 산소 분위기에서 한 시간동안 로열처리를 하였고 스퍼터링법으로 Pt 상부전극을 증착한 후 전기적 성질을 향상시키기 위해 700°C의 산소 분위기에서 30분 동안 후열처리를 하였다.

SBT 박막의 급속 열처리 온도에 따른 상전이 거동을 관찰하기 위해 Mac/Science社의 MXP18XHF²²⁾

SRA XRD(X-ray diffraction) 기기를 이용하여 40kV, 200mA, CuK α ($\lambda=1.54050$)로 SBT 박막에 잔존할 수 있는 형석상의 확인을 위해 2θ 를 0.02° 씩 증가시키고 각 스텝에서 5초간 유지시켜가며 XRD분석을 하였다. 박막의 미세구조를 관찰하기 위해 Hitachi S-4300 FE-SEM(field emission scanning electron microscope)장비를 사용하였다. 또한 열처리 온도에 따른 SBT 박막 표면의 거칠기 및 굴곡상태를 알기 위해서 PSIM5의 AFM(atomic force microscopy)을 이용하여 관찰하였다. RT66A ferroelectric tester를 사용하여 각각의 박막을 3V의 인가전압 하에서 이력곡선과 전압에 따른 signal/noise ratio를 측정하였으며, Keithley 617 high voltage source measurement unit를 사용하여 0~8V의 인가전압 범위에서 dc전압으로 0.1V 간격으로 누설 전류밀도를 측정하였으며, 제품의 신뢰도와 관련이 있는 피로특성(10¹⁰cycles)과 imprint(10⁹cycles)를 측정하였다.

3. 결과 및 고찰

3-1. SBT 박막의 상전이 및 미세구조 분석

Fig. 1은 하부전극 IrO₂를 사용한 것과 Pt/Ti를 사용한 SBT 박막의 급속 열처리 온도에 따른 XRD 분석 결과이다. 720°C부터 780°C까지 20°C 간격으로 급속 열처리를 하였으며, 형석상의 잔존 여부를 보다 정확하게 관찰하기 위해 0.02° 간격으로 5초 동안 고정시켜가며 XRD분석을 하였다. IrO₂전극의 720°C에서 이미 형석상이 층상 페롭스카이트상으로 완전히 전이됨을 알 수 있으며 이후 급속열처리 온도가 증가하더라도 SBT 박막의 주피크인 (105)피크와 (110)피크에서 큰 변화가 없는 것을 관찰할 수 있었다. Pt/Ti전극의 경우는 780°C가 되어야 형석상이 층상 페롭스카이트상으로 완전히 전이되는 것을 관찰할 수 있었다. 이러한 결과로부터 28° 부근에 존재하는 IrO₂의 (220)면에 의해 SBT 박막의 주피크인 (105)의 상형성이 용이하게 이루어졌다는 것을 유추할 수 있었다.

이에 따라 본 실험에서 IrO₂전극을 사용한 경우 Pt/Ti를 사용한 경우를 비교하기 위해 급속 열처리 온도를 720°C 와 780°C를 선택하였고, SEM을 통해 미세구조를 관찰하였다. 720°C 정도의 급속 열처리 만으로도 대부분 층상 페롭스카이트로의 상전이가 이루어졌으며 이는 IrO₂전극을 사용하였을 때 결정화온도를 낮추는 효과가 있음을 보여준다.

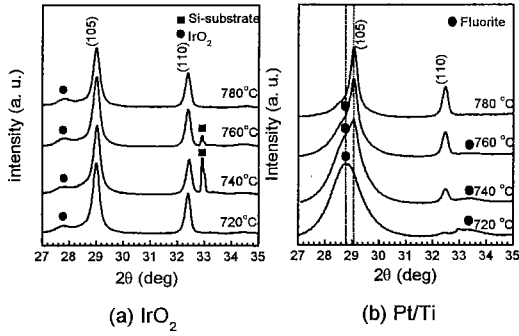


그림 1. (a) IrO₂ 하부전극과 (b) Pt/Ti 하부전극을 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 급속 열처리 온도에 따른 step mode XRD 패턴.

Fig. 1. Step mode XRD patterns of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films using (a) IrO₂ (b) Pt/Ti bottom electrode with various RTA temperatures for 60sec.

Fig. 2와 Fig. 3에 로열처리 온도에 따른 SBT 박막의 표면 미세구조의 변화를 나타내었다. 로열처리 온도가 증가함에 따라 입자들이 길쭉한 모양으로 성장하는 것을 볼 수 있다. IrO₂전극의 경우 로열처리 온도가 높아질수록 입자 크기가 증가하지만 기공이 많아 치밀하지 못하다는 것을 볼 수 있다. 이로부터 박막의 유전 및 전기적 특성에 나쁜 영향을 미칠 것이라고 생각된다.

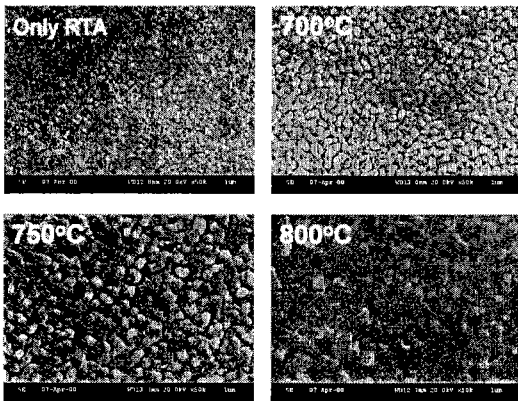


그림 2. IrO₂를 하부전극으로 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 로열처리 온도에 따른 SEM 사진들.

Fig. 2. SEM micrographs of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films using IrO₂ bottom electrode with various furnace annealing temperatures for 1hr after RTA at 720 °C.

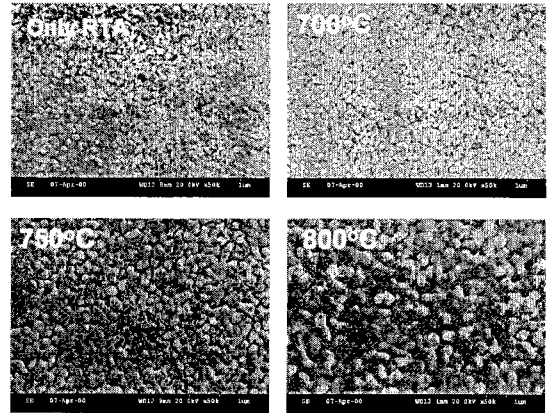


그림 3. Pt/Ti를 하부전극으로 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 로열처리 온도에 따른 SEM 사진들.

Fig. 3. SEM micrographs of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films using Pt/Ti bottom electrode with various furnace annealing temperatures for 1hr after RTA at 780 °C.

SBT 박막의 열처리 온도에 따른 AFM 측정 결과를 Fig. 4에 나타내었다. 로열처리 온도가 증가할수록 박막의 표면이 거칠어졌으며 상부전극인 Pt가 스퍼터링법으로 증착될 경우 거친 표면으로 침투하여 SBT 박막의 유효 절연 두께가 감소되고 절연 파괴 현상이 일어나기 쉬울 것으로 생각된다. 특히, IrO₂ 전극을 사용하는 경우, Pt/Ti 전극을 사용한 경우보다 표면이 로열처리 온도에 따라 더욱 거칠어지기 때문에 SBT 박막의 전기적인 특성에 좋지 않은 영향을 미치므로 표면을 보다 평탄하게 제어할 수 있는 연구가 계속 진행되어야 한다.

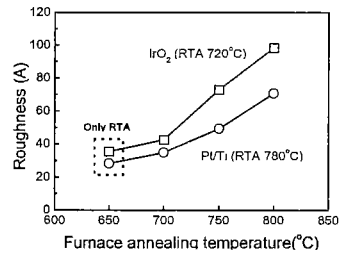


그림 4. IrO₂ 하부전극과 Pt/Ti 하부전극을 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 로열처리 온도에 따른 박막의 표면 거칠기.

Fig. 4. Surface roughness of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films using IrO₂ and Pt/Ti bottom electrodes with various furnace annealing temperatures for 1hr.

3-2. SBT 박막의 이력특성 분석

Fig. 5는 SBT 박막의 로열처리 온도에 따른 강유전 이력곡선을 나타낸 것이다. 각각의 박막은 온도에 따라 로열처리 후 Pt 상부전극을 스퍼터링법으로 증착 하였고 그 후 700℃에서 30분간 산소 분위기에서 후열처리를 동일하게 수행하였다. 온도가 높아짐에 따라 이력곡선이 포화되어진다. 이는 온도 증가에 따른 SBT 입자크기의 증가에 의한 것이라고 생각된다. IrO₂전극을 사용할 경우 750℃에서 이력곡선이 포화되어 Pt/Ti전극의 경우보다 낮은 온도에서 제조공정이 가능할 것으로 기대된다.

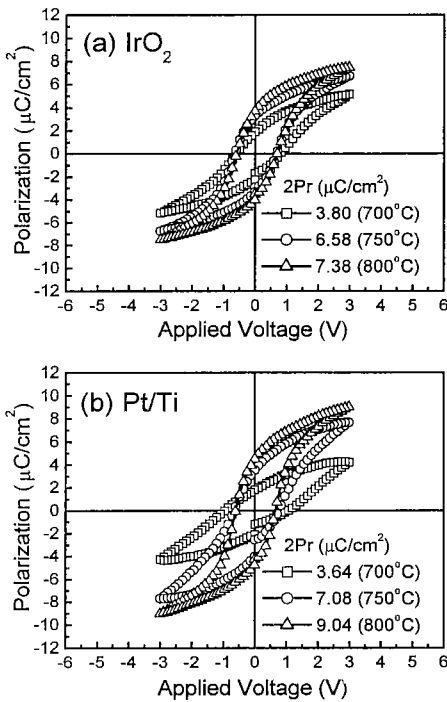


그림 5. (a) IrO₂ 하부전극과 (b) Pt/Ti 하부전극을 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 이력곡선.

Fig. 5. P-V curves of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films with various furnace annealing temperatures for 1 hr; (a) IrO₂ and (b) Pt/Ti bottom electrodes.

Fig. 6는 750℃의 IrO₂와 800℃의 Pt/Ti전극을 사용한 SBT 박막의 인가한 전압에 따른 신호대 잡음비(signal/noise ratio)를 나타낸 것이다. 여기서 S/N ratio (r)를 다음과 같이 정의하였다.^[9]

$$r = \frac{V_{cl} - V_{d0}}{V_{d0}} = \frac{P_{r+} - P_{r-}}{P_{s+} - P_{r+}}$$

V_{cl}은 이력곡선으로부터 얻어지는 (P_{s+} - P_{r-})/C_D, V_{d0}는 (P_{s+} - P_{r+})/C_D이고, C_D는 데이터 라인의 equivalent load capacitance이다. 측정결과 IrO₂와 Pt/Ti전극을 사용한 경우 1.1~1.7V 범위에서 최대의 r 값을 얻었다. 이로부터 SBT 박막이 메모리소자로 쓰일 때 저전압 작동이 가능하다는 것을 보여준다.

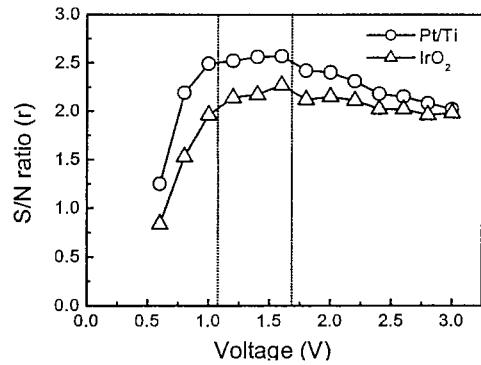


그림 6. IrO₂과 Pt/Ti를 하부전극으로 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 인가전압에 따른 signal/noise ratio (r).

Fig. 6. The signal/noise ratio (r) of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films using IrO₂ and Pt/Ti bottom electrodes as a function of applied voltages.

3-3. 누설전류 특성 분석

Fig. 7은 로열처리 온도에 따른 SBT 박막의 누설전류 측정결과이다. FRAM 캐패시터로 요구되는 누설전류밀도는 10⁻⁶ A/cm² 정도인데, 전체적으로 Pt/Ti를 하부전극으로 사용한 것과 IrO₂를 사용한 것이 비슷한 특성을 나타내었다. 누설전류가 급격히 증가하는 절연 파괴 현상에 있어서 IrO₂과 Pt/Ti전극을 사용한 시편들이 로열처리 온도가 증가함에 따라 절연파괴전압이 낮아지는 경향을 보이나, Pt/Ti전극의 경우는 800℃에서 높은 절연파괴전압을 나타냈다. Pt/Ti전극의 경우 800℃에서 SBT 박막의 기공이 감소하여 전하집중에 의한 절연파괴효과가 감소하였기 때문이라고 생각된다.

3-4. SBT 박막의 피로현상

Fig. 8은 인가전압 3V하에서 양극펄스를 가하여 10⁰에서부터 10¹⁰회까지 피로특성을 측정된 결과이다. IrO₂와 Pt/Ti 전극이 비슷한 경향을 보였으며 10¹⁰회까지 10%내외의 피로현상이 발견되었다.

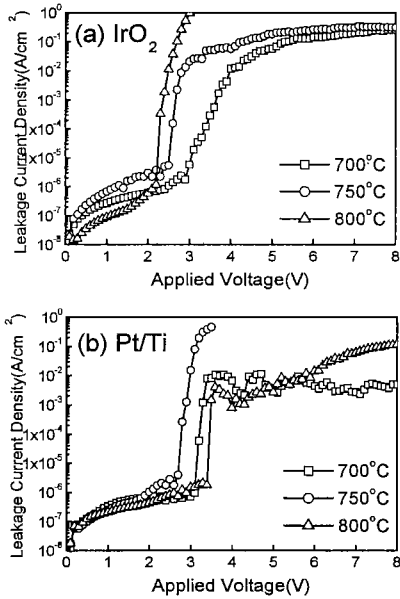


그림 7. (a) IrO₂ 하부전극과 (b) Pt/Ti 하부전극을 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 로열처리 온도에 따른 누설전류밀도.

Fig. 7. I-V curves of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films with various furnace annealing temperatures for 1 hr; (a) IrO₂ and (b) Pt/Ti bottom electrodes.

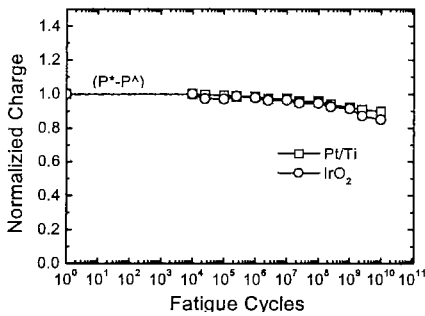


그림 8. IrO₂ 하부전극과 Pt/Ti 하부전극을 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 피로특성.

Fig. 9는 10⁹회까지 3V의 단극펄스를 인가한 imprint 측정결과이다. imprint는 특정한 분극 상태로 존재하려는 경향이 강해져 축적된 정보를 검출할 때 오동작을 일으키는 것으로 높은 온도나 많은 수

의 단극펄스와 같은 다양한 입출력 동작조건에 의해서 발생할 수 있다.^[10,11] 실제 FRAM을 작동하는데 있어서, P* (switching polarization)와 P^ (non-switching polarization)값의 변화가 작아야 저장된 정보를 올바르게 읽을 수 있는데, IrO₂전극과 Pt/Ti 전극 모두 10⁹회까지 P*값과 P^값이 거의 일정하게 유지되는 것을 알 수 있다.

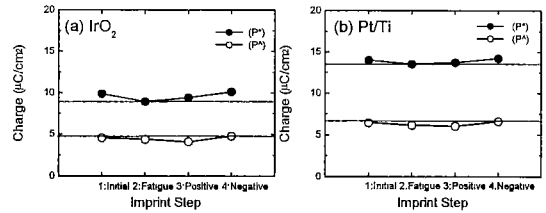


그림 9. IrO₂ 하부전극과 Pt/Ti 하부전극을 사용한 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막의 imprint 특성.

Fig. 9. Imprint characteristics of Sr_{0.9}Bi_{2.1}Ta₂O₉ thin films; using (a) IrO₂ and (b) Pt/Ti bottom electrodes.

4. 결론

MOD법으로 강유전성 Sr_{0.9}Bi_{2.1}Ta₂O₉ 박막을 IrO₂전극과 Pt/Ti전극 위에 제조하여 열처리 조건을 변화시켜 박막의 상전이와 미세구조를 관찰하였고, 또한 유전 및 전기적인 특성을 분석하여 다음과 같은 결론을 얻었다.

1. IrO₂전극은 720°C에서 Pt/Ti전극은 780°C에서 급속 열처리에 의해 단상인 SBT 박막을 얻을 수 있었다.
2. IrO₂전극은 Pt/Ti전극의 경우보다 낮은 로열처리 온도에서 포화된 이력곡선을 얻을 수 있었으나 표면이 거칠어지는 것을 관찰할 수 있었다.
3. 로열처리 온도가 증가함에 따라 절연파괴전압이 낮아지는 경향을 보이나, 800°C의 Pt/Ti전극의 경우 Pt 상부전극의 성장과 박막에 존재하고 있던 기공의 감소에 의한 계면의 평탄화가 이루어져 높은 절연파괴전압을 나타내었다.
4. 신호대 잡음비는 IrO₂전극과 Pt/Ti전극 모두 경우에서 1.6V정도에서 가장 높은 값을 나타내었고, 이것은 메모리소자로 쓰일 때 저전압에서 작동이 가능하다는 것을 보여준다.
5. 피로현상은 IrO₂와 Pt/Ti전극에서 10%정도의 피로가 발생하였다. imprint의 경우 모든 전극에서 10⁹회까지 거의 변화가 없어 신뢰도에 문제가 없음

을 알 수 있었다.

감사의 글

본 연구는 1997년 한국과학재단의 학술연구 조성비(97-0300-0601-3)에 의하여 수행된 것이며, 이에 감사사를 드립니다.

참고 문헌

- [1]. 이재철, 오용호, 김시호 "반도체와 정보화사회," 시그마프레스, pp177-178, 1999.
- [2]. Masayuki Suzuki, "Review on Future Ferroelectric Nonvolatile Memory : FeRAM—From the Point of View of Epitaxial Oxide Thin Films—," *J. Ceram. Soc. Jpn.*, Vol. 103, pp1099-1111, 1995.
- [3]. A. I. Kingon, S. K. Streiffer, C. Basceri and S. R. Summerfelt "High Permittivity Perovskite Thin Films for Dynamic Random-Access Memories," *MRS Bulletin, Electroceramic Thin Films Part II*, pp46-52, 1996.
- [4]. H. M. Duiker, P. D. Cuchiaro and L. D. McMillan, "Fatigue properties of ferroelectric PZT Thin Film and Their Characterization," *Jpn. J. Appl. Phys.*, Vol. 68, pp5783-5789, 1990.
- [5]. Hironori Fujisawa, Satoshi Hyodo, Kazuto Jitsui, Masaru Shimizu, Hirohiko Niu, Hirotake Okino and Tadashi Shiosaki, "Electrical Properties of PZT Thin Films Grown on Ir/IrO₂ bottom Electrodes By MOCVD," *Integrated Ferroelectrics*, Vol. 21(1-4), pp107-114, 1997.
- [6]. C. A-Paz de Araujo, J. D. Cuchiaro, L. D. McMillan, M. C. Scott and J. F. Scott, "Fatigue-Free Ferroelectric Capacitors with Platinum Electrodes," *Nature*, Vol. 374, pp627-629, 1995.
- [7]. Orlando Auciello, " A Critical Comparative review of PZT and SBT-Based Science and Technology for Non-Volatile Ferroelectric Memories," *Intergrated Ferroelectrics*, Vol. 15, pp211-220, 1997.
- [8]. Yukihisa Okada, Ichiro Koiwa, Kinya Ashikaga and Katsuaki Kaifu, "SrBi₂Ta₂O₉ Thin Films Fabricated by Sol-Gel Method with IrO₂ Electrodes," *IEICE Trans. Electron.*, E81-C(4), pp560-565, 1998.

- [9]. Takashi Mihara, Hiroyaki Yoshimori, Hitoshi, Watanebe and Carlos A. Paz de Araujo, "Characteristic of Bismuth layered SrBi₂Ta₂O₉ thin-film capacitors and comparison with Pb(Zr, Ti)O₃," *Jpn. J. Appl. Phys.*, Vol. 34, pp5233-5239, 1995.
- [10]. 이재찬, "(Pb,La)(Zr,Ti)O₃ 박막의 비대칭성과 Imprint 특성," *요업기술*, Vol. 11(3), pp184-193, 1996.
- [11]. S. Aggarwal, B. Yang, and R. Ramesh, "Low Voltage Performance in Lead Based Ferroelectric Thin Film Memory Elements with (La,Sr)CoO₃ Electrodes," *Thin Film Ferroelectric Materials and Devices*, pp231-232, 1997.