

## SADS (Silicide As Diffusion Source) 법으로 형성한 코발트 폴리사이트 게이트의 C-V 특성

### C-V Characteristics of Cobalt Polycide Gate formed by the SADS (Silicide As Diffusion Source) Method

정연실, 배규식

(Yeon-Sil Jung, Kyoo-Sik Bae)

#### Abstract

160nm thick amorphous Si and polycrystalline Si were each deposited on to 10nm thick SiO<sub>2</sub>. Co monolayer and Co/Ti bilayer were sequentially evaporated to form Co-polycide. Then, MOS capacitors were fabricated by BF<sub>2</sub><sup>+</sup> ion-implantation. The characteristics of the fabricated capacitor samples depending upon the drive-in anneal conduction were measured to study the effects of thermal stability of CoSi<sub>2</sub> and dopant redistribution on electrical properties of Co-polycide gates. Results for capacitors using Co/Ti bilayer and drive-in annealed at 800°C for 20~40sec., showed excellent C-V characteristics of gate electrode.

**key words (중요용어)** : Co-polycide, C-V characteristics, thermal stability, SADS method, sheet-resistance, gate electrode, MOS capacitor

#### 1. 서론

최근 submicron scale의 소자로 접어들면서부터 소자의 집적도가 증가함에 따라 공정상에 여러 가지 문제점들이 나타나고 있다. 그 중에서 Interconnection 기술과 관련해서는 전기도선의 길이 증가, 폭 및 두께의 감소로 인한 저항 증가와 주변 Insulator 두께 감소로 인한 Capacitance 증가로 RC Delay에 기인한 Device Speed 감소가 심각한 문제로 대두되고 있다.

MOSFETs은 반도체 기판 위에 thermal oxide 및 transistor를 on-off 시키기 위한 게이트 전극으로 구성된다.<sup>(1)</sup> 초기 게이트 전극으로는 Al이 사용되었다. Al은 비저항이 약 3μΩcm로 매우 우수한 conductor이나 용융점이 660°C 정도로 매우 낮아 이보다 높은 온도에서 진행되는 후속공정에서는 전

행하기가 어렵다. 또한 반도체 소자의 초미세화에 따라 접합깊이 산화막두께, 공핍층의 두께가 작아지고 있다. 그런데 접합깊이가 얇아지면 접촉 형성시 Al spiking에 의해 접합이 파괴되고 접합부의 기생 직렬저항이 증가된다.

그래서 Al을 대신하기 위해 boron이나 phosphorous로 도핑된 poly-Si를 사용하게 되었다. 이는 Si 기판과 같이 1420°C의 매우 높은 용융점을 가져 뒤따르는 공정상에 아무런 영향도 끼치지 않는다. 하지만 이 또한 비저항이 800~1000μΩcm로 높아 게이트 전극의 면저항(sheet resistance :  $R_s$ , ( $\Omega/sq.$ ))이 커진다는 문제점이 있다.

이러한 문제점을 극복하면서 poly-Si의 장점을 그대로 유지하기 위해 poly-Si 위에 비저항이 낮은 물질을 적용하는 방법이 도입되었다. 이에 적합한 물질로 refractory metal silicide가 있다. poly-Si 위에 이러한 silicide를 적층시킨 구조를 polycide 구조라 한다. polycide 구조의 적용은 DRAM 기준으로 64M DRAM을 전후하여 이루어졌다.<sup>(1)</sup> refractory metal silicide에는 WSi<sub>2</sub>, MoSi<sub>2</sub>, TaSi<sub>2</sub>, TiSi<sub>2</sub> 등 다양하다. 하지만 이들은 높은 비저항, 불안한 열적

\* 수원대학교 전자재료공학과

(경기도 화성군 봉담읍 와우리산 2-2 수원대학교,  
Fax: 0331-220-2560

Email : kabae@mail.suwon.ac.kr)

1999년 8월 30일 접수, 2000년 6월 8일 심사완료

안정성 및 산화 등의 문제를 하나 둘씩 가지고 있다. 이러한 문제점들을 고려해 볼 때  $\text{CoSi}_2$ 가 많은 관심을 받고 있다.  $\text{CoSi}_2$ 는  $15\sim 25\mu\Omega\text{cm}$ 로 비저항이 낮고, 면저항의 선폭 의존성이 없으며 산화물 스페이서와 반응하여 bridging 현상을 일으키지 않는다. 또한 열적 안정성이 우수하고 도펀트들과 화합물을 잘 형성하지 않는다는 장점이 있다.<sup>(2,3)</sup> 그러나  $\text{CoSi}_2$ /단결정 Si 구조에 비해  $\text{CoSi}_2$ /다결정 Si 구조는 계면이 거칠고 입계확산으로 인해 열적 안정성이 낮은 편이다. 또한 후속 열처리시 도펀트가 입계에 편석(segregate)하거나 depletion 효과를 나타낸다. 특히 B(boron)의 경우 이는 산화막층으로 쉽게 확산하여 산화막의 정전용량을 낮추고 누설전류를 증가시켜 전기적 특성을 저하시킨다.<sup>(4)</sup> 이를 개선하기 위해서 다결정 실리콘 대신 비정질 실리콘을 사용하거나 barrier layer(Ti)를 이용하여 이중막을 적용한다. barrier layer로 Ti를 사용하는 것은 다결정 실리콘 위의 native oxide를 제거하여 평탄한 계면을 유지하기 위함이다.

일반적으로 silicide의 접착은 먼저 이온주입을 하여 접합을 만든후 silicide를 접착한다. 하지만 접합이 얇아지면서 silicide 형성시 metal의 실리콘 소모량이 큰 영향을 미쳐 접합이 쉽게 파괴되고 주입한 불순물의 농도가 변화될 수가 있다. 그리하여 silicide를 먼저 만들고 후에 이온주입을 하여 silicide를 dopant source로 이용한 SADS (silicide as diffusion source) 법이 시도되고 있다.

본 연구에서는 게이트 전극으로서 다결정 실리콘 위에  $\text{CoSi}_2$ 를 적층시킨 코발트 폴리사이드를 만든 후 SADS법을 적용하여 MOS capacitor를 제작하였다. 이렇게 제작된 capacitor의 후속 열처리 온도 및 시간에 따른 capacitor의 C-V를 측정하여 이의 열적 안정성과 도펀트의 재분포가 게이트의 전기적 특성에 미치는 영향을 조사하였다.

### 2. 실험방법

본 연구에서는 MOS capacitor를 제작하기 위해 비저항이  $1\sim 20\Omega\text{cm}$ 인 4" n-type(100) 실리콘 기판을 사용하였다. 이 기판 위에 thermal oxidation 방법으로 10nm의  $\text{SiO}_2$ 를, 저압화학증착(LPCVD : low pressure chemical vapor deposition) 방법으로 160nm의 다결정 실리콘을 성장시켰다. capacitor를 만들기 위해 BiCMOS 마스크로  $100\times 100\mu\text{m}^2$  크기의 활성창을 만들었다. 이렇게 만들어진 시편에 silicide를 형성하기 전에 10 : 1의 HF 용액에 담가 시편

위에 잔존하고 있던 native oxide를 제거하였다. 후에 전자빔 증발 증착기(E-beam evaporator)로  $\text{Co}(20\text{nm})$  단일막과  $\text{Co}(20\text{nm})/\text{Ti}(5\text{nm})$  이중막을 각각 증착하여  $\text{CoSi}_2$ 를 형성하였다.  $\text{CoSi}_2$ 를 형성하기 위해  $850^\circ\text{C}$  20초간 급속 열처리 장치(RTA : rapid

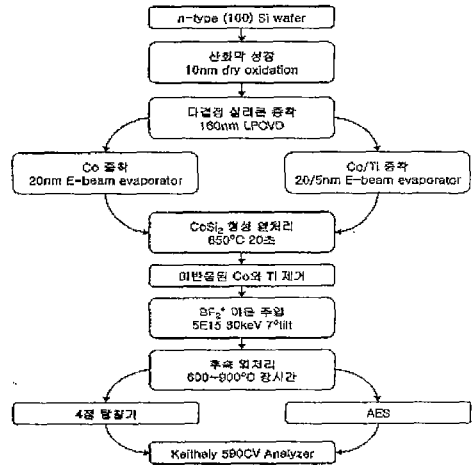


그림 1. 실험 방법 순서도.

Fig. 1. Flow chart of experimental procedures.

thermal annealing)에서 질소분위로 열처리하였다. 이때 미반응된 Co와 Ti은  $\text{HNO}_3 : \text{H}_2\text{O} = 1 : 1$ 과  $\text{H}_2\text{O}_2 : \text{NH}_4\text{OH} : \text{H}_2\text{O} = 2 : 1 : 1$  용액에 각각 10분간 담가 제거하였다. 여기에 SADS법을 적용하기 위해  $\text{BF}_2^+$  이온을 5E15의 도오즈와 30keV의 에너지로 주입하여  $600\sim 900^\circ\text{C}$ 에서 장시간 drive-in 열처리를 하였다. 연구에서 적용한 도펀트의 도오즈와 에너지는 이전의 연구<sup>(5)</sup>에서 제시된 조건이다. 위 실험 순서를 그림 1에 요약하였다.

이렇게 제작된 MOS capacitor는 4점 탐침기로 면저항을 측정하여 열적 안정성을, AES 분석을 통하여 불순물의 이동을 조사하였고, Keithley 590 CV Analyzer로 high-frequency C-V 특성을 측정하였다.

### 3. 결과 및 고찰

다결정 실리콘 위에 Co 단일막과 Co/Ti 이중막을 각각 증착시킨 후  $850^\circ\text{C}$ , 20초에서 급속 열처리하여 실리사이드를 형성시킨 소자의 후속 열처리 온도와 시간에 따른 면저항의 변화를 그림 2에 나타내었다. 단일막의 경우  $17\sim 20\Omega/\text{sq}$ , 이중막의 경우  $10\sim 15\Omega/\text{sq}$ 로 초기 면저항 값이 높게 측정

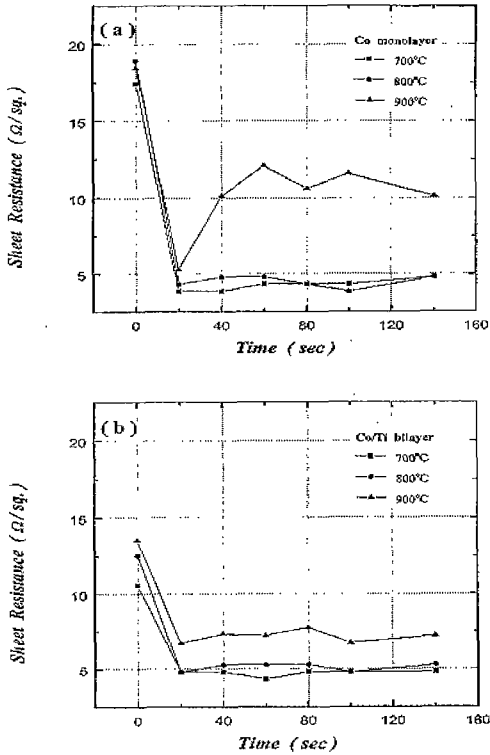


그림 2. 후속 열처리 시간과 온도에 따른 면저항의 변화. : (a) Co 단일막, (b) Co/Ti 이중막.

Fig. 2. The changes of the sheet resistance as a function of activation time and temperature. : (a) Co monolayer and (b) Co/Ti bilayer.

된 것은 이온주입( $\text{BF}_2^+$ ,  $5\text{E}15$ ,  $30\text{keV}$ )으로 인한 손상 때문이다. 하지만 후속 열처리 시간이 지나감에 따라 원래의 낮은 안정적인 면저항 값을 되찾았다.  $700\sim 800^\circ\text{C}$ 까지는 단일막의 경우(그림 2(a))와 이중막의 경우(그림 (b)) 모두 장시간의 열적 안정성을 보이거나  $900^\circ\text{C}$ 에서는 단일막의 경우  $10\Omega/\text{sq.}$  이상으로 면저항이 증가하는 현상이 나타난다. 하지만 Co/Ti 이중막의 경우에는  $700\sim 800^\circ\text{C}$ 일 경우보다는 약간 높기는 하나  $7\sim 8\Omega/\text{sq.}$ 로 비교적 낮은 면저항 값의 열적 안정성을 보인다. 높은 온도( $900^\circ\text{C}$ )에서 보이는 이러한 차이는 barrier layer로 증착시킨 Ti 층이 자연 산화막을 환원하여 화학적으로 깨끗한 실리콘 기판 표면을 만들 수 있고, 또한 중간층을 통과하는 Co의 확산이 지연되어 조성이 균일하고

계면이 평탄한  $\text{CoSi}_2$ 가 형성되었기 때문이다.<sup>(6)</sup>

게이트의 전기적 특성 변화에 영향을 미치는 요인 중에는 게이트 산화막 내로 열 분해된 Co의 확산이 영향을 미칠 수 있다. 그림 3은 제작한 capacitor의 산화막층 형성 여부와 후속 열처리를 통한 불순물의 확산 후 조성의 변화를 알아보기 위한 시편의 AES 분석 결과이다. 그림 3(a)는 다결정

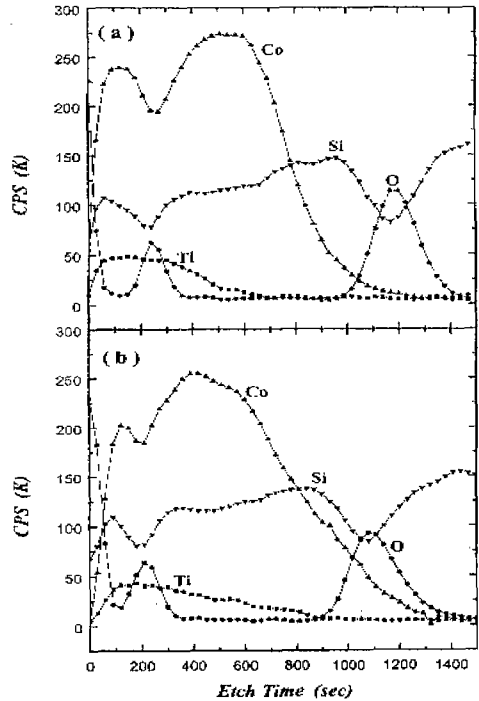


그림 3. 다결정 실리콘 위에 Co/Ti 이중막을 적용시킨 소자의 AES depth profile. : (a) 후속 열처리 전, (b) 후속 열처리 후.

Fig. 3. AES depth profile of cobalt polycide gate formed by Co/Ti bilayer. The activation temperature was  $700^\circ\text{C}$ . : (a) before activation annealing and (b) after activation annealing (160sec).

실리콘 위에 Co/Ti 이중막을 적용시킨 소자의 후속 열처리 전 AES 결과이며, 그림 3(b)는 이 소자의 후속 열처리 과정( $700^\circ\text{C}$ , 160초)을 거친 후 depth profile이다. 그림 3(a)에서 기판 위에 산화막 층, 다결정 Si 층,  $\text{CoSi}_2$  층이 형성되어 있으며, 초기 실리콘 사이드 형성( $850^\circ\text{C}$ , 20초)으로 인하여 코발트가 산

화막 내로 약간 확산해 있음을 볼 수 있다. 그런데 700°C 160초간의 후속 열처리(그림 3(b))를 하면 표면 CoSi<sub>2</sub> 층의 Co량이 열처리 전에 비해 상대적으로 많이 줄어 있고, Co가 산화막 층으로 깊숙히 확산해 들어가 있음을 확인할 수 있다. 또한 Ti이 상당량 존재하는 것으로 나타났다. 이렇게 산화막 내로 확산해 들어간 Co와 완전히 역전되지 않은 Ti은 게이트 산화막의 질을 저하시키고, 기생정전용량을

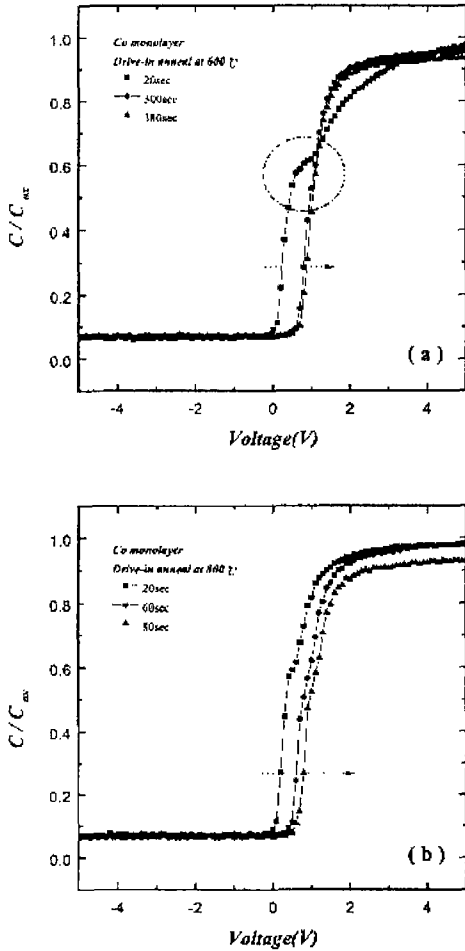


그림 4. 다결정 실리콘 위에 Co 단일막을 적용시킨 MOS capacitor의 고주파수 C-V 특성 : (a) 600°C에서 후속 열처리, (b) 800°C에서 후속 열처리.  
 Fig. 4. High-frequency C-V characteristics of MOS capacitor used by Co monolayer on poly-Si : (a) 600°C drive-in anneal, and (b) 800°C drive-in anneal.

증가시키는 원인으로 작용할 것으로 생각된다.

그림 4는 gate electrode로 다결정 실리콘 위에 Co 단일막을 적용하고 이에 BF<sub>2</sub><sup>+</sup> 이온을 5E15 도 오즈와 30keV의 에너지로 이온 주입한 소자의 drive-in 열처리 조건에 따른 C-V 결과이다. 600°C와 800°C에서 후속 열처리를 거친 경우 둘 다 열처리 시간이 증가함에 따라 C-V plot이 오른쪽으로 shift함을 볼 수 있다. 이는 후속 열처리 과정이 진

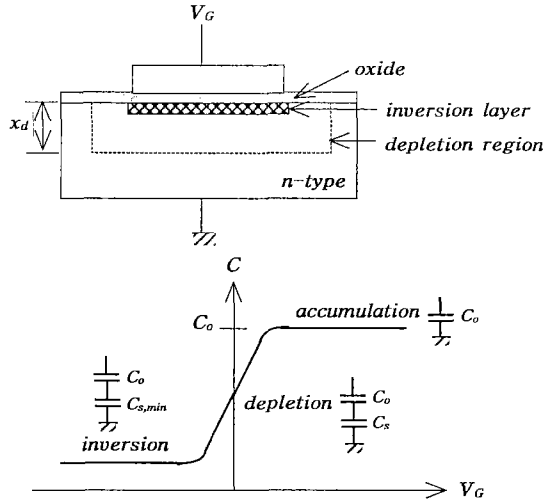


그림 5. 일반적인 n-type Si 기판을 가진 capacitor 구조와 이의 C-V plot  
 Fig. 5. Typical C-V plot (high-frequency) for n-type Si substrate structure

행 될수록 주입된 이온이 확산하여 oxide와 semiconductor 사이로 이동해서 ununiform한 doping으로 산화막층과의 일함수 차이( $\psi_{ms}$ )가 커졌기 때문으로 생각된다.

또한 그림 4(a)와 (b)에서 볼 수 있듯이 (a)의 낮은 온도에서는 약하게 나타나지만 (b)의 높은 온도(800°C)에서는 후속 열처리 시간이 증가할수록 (정전압에서의 정전용량)값이 떨어지는 것을 쉽게 알 수 있다. 이는  $V_{FB}$ 보다 큰 gate 전압에서 공핍층은 semiconductor에 형성되고, 이렇게 형성된 공핍층은 series capacitor로 작용하여 결국  $C_0$ 가 감소하게 된다.

그림 4의 C-V plot에서 보면 negative 쪽으로 전압이 증가해도 정전용량의 변화가 없는 것으로 보인다. 이것은 negative bias로 전압이 천천히 증가하면 inversion layer가 증가하여 전하가 gate와 균형을 맞출 것이고, 이로 인하여 더 이상 공핍층이

늘어나지 않을 것이다. 공핍층 폭이 최대에 이르렀을 때  $C_{inv}$ 는  $C_{min}$ 으로 고정되어진다. 위에서 말한 것을 다음 그림 5와 같이 간단하게 나타내었다.<sup>(7)</sup>

초기 열처리 시 C-V plot을 보면 계단처럼 굽은 것을 볼 수 있다. 이러한 것은 oxide 밑에 축적된 전하에 의해 생긴 fringing capacitance의 shielding 때문이다.<sup>(8)</sup>

그림 6은 위의 그림 4의 결과에 대한  $V_{FB}$ 의 변화이다.  $V_{FB}$ 는 다음과 같은 식에 의해 구할 수 있다.

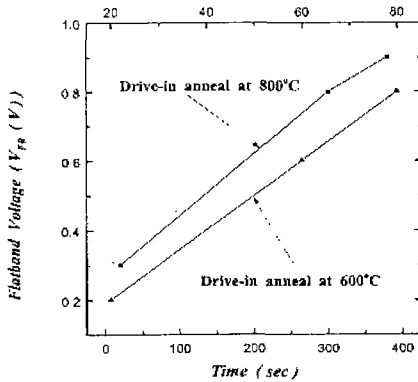


그림 6. 다결정 실리콘 위에 Co 단일막을 적용시킨 MOS capacitor의 후속 열처리 온도와 시간에 따른  $V_{FB}$  변화.

Fig. 6. Changes of  $V_{FB}$  as a function of drive-in anneal temperature and time of MOS capacitor used by Co monolayer on poly-Si.

$$C_{FB} = \frac{\epsilon_{ox}}{t_{ox} + \left(\frac{\epsilon_{ox}}{\epsilon_s}\right) \sqrt{\left(\frac{kT}{e}\right) \frac{\epsilon_s}{eN_d}}} \quad \text{--- (1)}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \text{--- (2)}$$

여기서  $\epsilon_{ox}$ 는 oxide의 유전율로  $3.9 \times 8.85 \times 10^{-14}$ 이며, semiconductor의 유전율인  $\epsilon_s$ 는  $11.7 \times 8.85 \times 10^{-14}$ , gate oxide의 두께  $t_{ox} = 100 \times 10^{-8}$ 이다. 비저항이  $10 \sim 20 \Omega \text{ cm}$ 인 n-type (100) Si 기판의 농도는  $N_a$ 로  $4 \times 10^{15}$ 이다. 이를 이용하여 식 (1)을 계산하면  $C_{FB}$ 는  $10.9 \times 10^{-8}$ 이고, 식 (2)에서  $C_{ox}$ 는  $34.5 \times 10^{-8}$ 이다.  $C_{FB} / C_{ox}$ 는 0.316이므로 이로부터  $V_{FB}$ 값을 얻을 수 있었다. 이 결과에서도 600°C의 경우와

800°C의 경우 모두  $V_{FB}$ 의 증가를 보였고, 600°C 보다는 800°C에서 높은  $V_{FB}$ 값으로 증가함을 볼 수 있었다.

그림 7은 다결정 실리콘 위에 Co/Ti 이중막을 이용하여  $\text{CoSi}_2$ 를 적용시킨 MOS capacitor의 후속 열처리 온도와 시간에 따른 C-V 결과이다. 700°C와

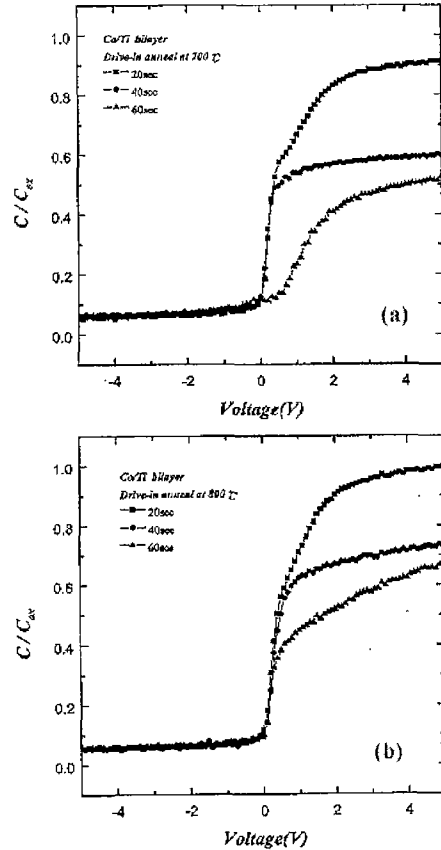


그림 7. 다결정 실리콘 위에 Co/Ti 이중막을 적용시킨 MOS capacitor의 고주파수 C-V 특성 : (a) 700°C에서 후속 열처리, (b) 800°C에서 후속 열처리.

Fig. 7. High-frequency C-V characteristics of MOS capacitor used by Co/Ti bilayer on poly-Si : (a) 700°C drive-in anneal and (b) 800°C drive-in anneal.

800°C 모두 열처리 시간이 증가할수록 정전용량의 값이 줄어들고 있음을 볼 수 있다. 또한 Co 단일막을 적용했을 때처럼 계단같이 생긴 턱은 볼 수 없었다. 처음 20초의 짧은 후속 열처리 시에는 주입된

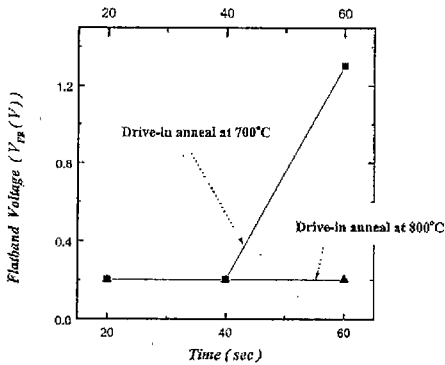


그림 8. 다결정 실리콘 위에 Co/Ti 이중막을 적용시킨 MOS capacitor의 후속 열처리 온도와 시간에 따른 V<sub>FB</sub>의 변화.

Fig. 8. Changes of V<sub>FB</sub> as a function of drive-in anneal temperature and time of MOS capacitor used by Co/Ti bilayer on poly-Si.

B이 다결정 Si 층으로 확산하고 활성화되어 다결정 Si 층이 충분히 도핑 되었기 때문이다.<sup>(10)</sup> 하지만 후속 열처리 시간이 길어질수록 일부의 CoSi<sub>2</sub>가 분해하여 Co 원자가 다결정 Si/oxide 계면까지 확산하여<sup>(11)</sup> 정전특성을 저하시켰을 것으로 생각된다. 또한 주입된 B이 oxide 층으로 확산하여 이로 인해서도 정전특성을 저하시켰을 것으로 보인다. 이는 AES 결과(그림3)와 연관시켜 보았을 때 추정이 가능하다. 그리고 뒤이어 이에 대한 V<sub>FB</sub>의 변화를 그림 8에 나타내었다. 700°C의 경우 처음(20~40초) 동안에는 V<sub>FB</sub>의 변화가 없다가 60초의 후속 열처리 과정을 거친 후에는 증가함을 나타냈고, 800°C에서는 후속 열처리 과정을 계속 진행을 해도 V<sub>FB</sub>의 변화는 나타나지 않았다.

#### 4. 결 론

SADS 법을 이용하여 gate 전극으로 다결정 실리콘 위에 Co 단일막과 Co/Ti 이중막을 각각 적용하여 CoSi<sub>2</sub>를 형성한 MOS capacitor를 제작하였다. 이렇게 제작된 capacitor의 열적 안정성과 도판트의 재분포에 대해 연구하기 위해 다양한 온도와 시간으로 후속 열처리 과정을 거쳐 알아보았다. 열적 안정성의 분석 결과 Co 단일막을 이용한 경우보다는 Co/Ti 이중막을 이용한 경우 보다 높은 온도, 보다 긴 시간에서 우수한 특성을 나타내었다. 또한 전기

적 특성에서도 Co/Ti 이중막을 사용한 경우 우수한 특성을 보였다. 이상으로 볼 때 SADS 법으로 Co-polycide gate 전극을 사용할 경우 Co 단일막 보다는 Co/Ti 이중막을 사용하고 800°C 20~40초 정도의 급속 열처리 방법을 사용하는 것이 가장 적절한 후속 열처리 조건으로 나타났다.

#### 감사의 글

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구 조성비 (과제번호 : ISRC 97-E-1040)에 의해 수행되었습니다.

#### 참고문헌

- [1]. BEN G. Streetman, Solid State Electronic Devices, Prentice-Hall, Inc, 300 (1995)
- [2]. 이종무, 김영욱, 대한금속학회지, 7(3), 213 (1994)
- [3]. C.Y. Ting, F.M. d'Heurle, S.S. Iyer, and P.M. Frver. J.Electrochem. Soc. 133. 2621 (1986)
- [4]. 김종렬, 홍성운, 윤명노, 조윤성, 배규식, 전자공학회논문지, 33A(8), 89 (1996)
- [5]. Kyoo-Sil Bae, Jong-Ryul Kim, Sung-Yun Hong, Yun-Baik Park, and Yoon-Sung Cho, Thin Solid Films, 302, 260 (1997)
- [6]. 심현상, 구분철, 정연실, 배규식, 한국재료학회지, 8(6), 499 (1998)
- [7]. E. H. Nicollian J. R. Brews, MOS Physics and Technology, A Wiley-Interscience Publication, New York 99 (1982)
- [8]. Hajime Kirata and Toshiro Sugii, IEEE Trans. on Electron Devices, 45(10), 2161 (1998)
- [9]. C.Y.Wong, J.Y.-C.Sun, Y.Taur, C.S.Oh, R.Angelucci, and B.Davari, IEDM - 88,238 (1988)
- [10]. J. Lin, W. Chen, S. Banerjee, J. Lee and C. Magee, J. Electronic Materials, 22(6), 667 (1993)
- [11]. R. G. Fair, IEEE Trans. on Electron Device Letters, 17(5), 242(1996)