Journal of the Korean Institute of Electrical and Electronic Material Engineers. Vol. 13, No. 12, pp. 977~982, 2000.

논 문 13-12-1

횡방향 구조 트랜지스터의 특성

Characteristics of Lateral Structure Transistor

이정환*, 서희돈**
(Jung-Hwan Lee*, Hee-Don Seo**)

Abstract

Conventional transistors which have vertical structure show increased parasitic capacitance characteristics in accordance with the increase of non-active base area and collector area. These consequently have disadvantage for high speed switching performance. In this paper, a lateral structure transistor which has minimized parasitic capacitance by using SDB(Silicon Direct Bonding) wafer and oxide sidewall isolation utilizing silicon trench technology is presented. Its structural characteristics are designed by ATHENA(SUPREM4), the process simulator from SILVACO International, and its performance is proven by ATLAS, the device simulator from SILVACO International. The performance of the proposed lateral structure transistor is certified through the V_{CE}-I_C characteristics curve, h_{FE}-I_C characteristics, and GP-plot. Cutoff Frequency is 13.7㎓

Key Words : SDB, Lateral Structure Transistor, Trench, ATHENA(SUPREM4), ATLAS

1. 서론

기존의 SBC(Standard Buried Collector) 바이폴라 공정기술은 깊은 접합, 측면 확산 및 측면 공핍층으로 인하여 속도 및 전력 소모 측면에서 좋은 특성을 기대하지 못하였으나, 새로운 형태의 PSA(Polysilicon Self-Align) 소자가 개발됨으로써 소자의 전기적 특성에 상당한 향상을 가져오게 되었다.[1] 즉, 미세 패턴 형성 기술에 의한 에미터 면적 축소, LOCOS(LOCal Oxidation of Silicon)와 SWAMI(SideWAll Masked Isolation) 등의 산화막 격리기술,[2] 다결정 실리콘을 확산원으로 이용한 얕은 접합깊이 형성기술 및 얇은 에피층 형성기술[3] 등이 적용됨으로써 불필요한 용량성분 및 직렬저항 성분의 감소에 따른 고속 스위칭 특성을 구현할 수 있게 되었다. 그러나 이러한 소자도 수직 방향 형태인 기존의 트랜지스터 구조를 가짐으로 베이스의 비활성 영역과 컬렉터 영역에 의한 면적이 증가하여 주파수의 한계를 넘기가 어렵게 되었다.

본 논문에서는 고속, 고성능 소자를 얻기 위하여 위에서 제시된 수직형 트랜지스터가 아닌 횡방향 구조 트랜지스터를 제안한다.[4] 이 구조는 비활성 영역을 최소화하며, 기생 용량을 최소화하기 위해 산화막에 의한 완전 격리가 되도록 실리콘 직접 접합 웨이퍼와 트랜치 기술을 이용하였다.[5] 특성은 SILVACO사의 ATHANA와 ATLAS 시뮬레이션을 통하여 확인하였다.

* : 영남대학교 대학원
(경북 경산군 대동 영남대학교,
E-mail : hwan@kec.co.kr)
** : 영남대학교 전자정보공학부
2000년 9월 28일 접수, 2000년 11월 3일 심사완료

2. 소자 및 공정 설계

2.1 소자 구조 설계

바이폴라 트랜지스터로 이루어진 회로의 소자 특성은 개별소자의 각종 기생저항 및 기생용량, 즉, 베

이스 직렬저항(R_b), 컬렉터 저항(Rc), 베이스-에미터 접합용량(C_{jbe}), 베이스-컬렉터 접합용량(C_{jbc}), 기판용량(C_{js}), 확산용량(C_d)과 선간용량(C_w) 등에 의하여 좌우된다.[6-7] 따라서, 바이폴라 소자의 속도 특성 향상을 실현시키기 위하여 기본적으로 활성영역에서의 각종 소자 변수의 최적화와 함께 비활성 영역에서의 기생 저항과 기생접합용량의 최소화가 필수적으로 수반되어야 한다. 활성 영역에서의 소자 변수 최적화는 얇은 에미터 및 베이스 접합형성 공정에 의한 베이스폭 감소에 의해 실현되며, 비활성 영역에서의 기생 성분 감소는 소자의 구조적 개선을 필요로 한다.

본 논문에서 제시된 횡방향 구조 트랜지스터는 이러한 사항 등을 고려하여 설계하였으며, 다음과 같은 구조적 특징을 갖는다.

첫째, 각종 기생저항과 기생용량을 최소화하기 위해 횡방향으로 전류의 흐름이 형성되도록 소자의 구조를 형성하였다.

둘째, 컬렉터와 기판간의 기생용량의 최소화를 위해 SDB 웨이퍼와 트랜치 기술을 이용하였다.

셋째, 활성영역에서의 얇은 에미터 접합 형성에 의한 소자 변수의 최적화를 위하여 N^+ 다결정실리콘을 확산원 및 에미터 전극으로 사용하였다.

넷째, 활성영역의 접합용량 및 직렬저항의 감소를 위하여 N^+ 다결정실리콘을 확산원 및 컬렉터 전극으로 사용하였다. 따라서, 컬렉터 직렬저항을 감소하기 위한 N^+ 매몰층이 필요 없다.

다섯째, 베이스와 컬렉터 간의 접합용량의 최소화를 위해 비활성 영역에서의 P^+ 다결정 실리콘을 확산원 및 베이스 전극으로 사용하였다.

여섯째, 에미터 면적은 SOI(Silicon On Insulator)의 두께에 의해 정해진다. 즉, 평면의 한 부분과 SOI 두께를 곱한 것이 면적이 된다. 전류 용량을 증가시키기 위하여 에미터 면적을 크게 하더라도 소자의 면적은 증가되지 않는다.

일곱째, 활성영역의 베이스 폭은 에미터와 컬렉터의 확산에 의해서 결정된다.

위와 같은 방법으로 설계된 소자의 설계도가 그림 1에 나타나 있다. 마스크는 격리 트랜치(ISO trench), 활성(P-active), 전극 트랜치(Elec trench), 비활성 베이스(EX Base), 에미터(Emitter), 접촉창(Contact), 전극(Metal), 및 Passivation(PAD)이며, 8매로 구성되어 있다. 설계룰은 1.5㎛이며, 활성영역은 화살표가 있는 P-active 영역이다. 격리트랜치 마스크는 다른 소자와 격리하기 위해 형성되며, 활성 마스크는 활성영역의 농도를 보상하기 위해 설계되었으며, 전극트랜치는 에미터, 베이스와 컬렉터에 폴리실리콘으로 전극을 형성하기 위해 식각하며, 비활성 베이스 마스크는 옴접촉(ohmic contact)과 베이스 저항을 감소시키기 위해 농도를 보상하며, 에미터 마스크는 에미터와 컬렉터에 소스(source)를 주입한다. 접촉창 마스크는 소자의 전극을 형성하기 위해 절연막을 뚫는 마스크이며, 전극은 금속으로 형성되며, Passivation 마스크는 패드(pad)를 형성하기 위한 것이다. 이 그림에서는 Passivation 마스크는 표시되지 않았다.

그림2는 그림1의 화살표 영역을 단면도로 나타낸 것이다.

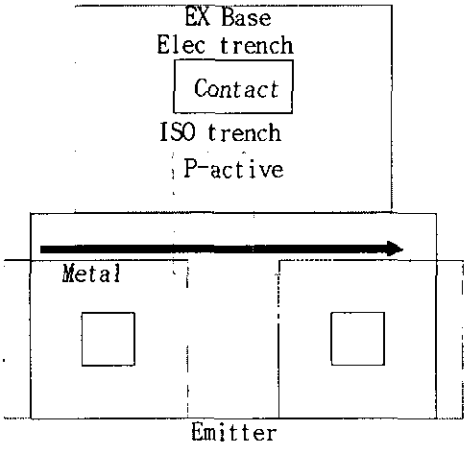

그림 1 제안된 횡방향 트랜지스터의 설계도

Fig. 1 Design Pattern of Proposed Lateral Transistor

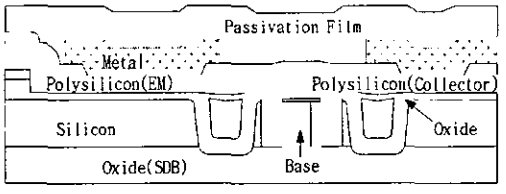

그림 2 제안된 횡방향 트랜지스터의 단면도

Fig. 2 Cross Section of Proposed Lateral Transistor

2.2 공정 설계

SOI (Silicon On Insulator) 두께가 2.0㎛, 저항률 38Ω · ㎝, P-type (100) SDB(Silicon Direct Bonding) 웨이퍼를 이용하여 격리트랜치를 그림3과 같이 만든

다. SOI 두께는 에미터의 면적이 되기 때문에 전류 용량을 고려하여 두께를 정한다. SOI는 에미터, 베이스 및 컬렉터로 사용되기 때문에 농도에 영향을 주지 않도록 저항률은 높을수록 좋다. 소자를 격리할 목적으로 산화막을 7,000Å 성장시켜 ISO trench(격리 트랜치) 마스크를 사용하여 RIE(Reactive Ion Etching)로 산화막과 실리콘을 식각한다.

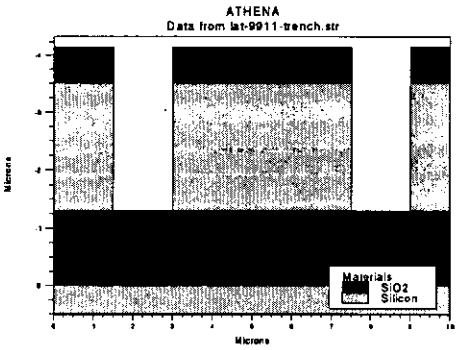

그림 3 격리 트랜치

Fig. 3 Isolation Trench

그림4는 측벽에 5,000Å의 산화막을 성장시켜 타 소자와 절연시키며, 식각된 영역을 채우기 위해 폴리실리콘을 증착한 후 RIE를 이용하여 표면의 폴리실리콘을 제거한 것이다. 이때 폴리실리콘의 두께는 트랜치 폭의 1.5배 이상 증착하여 폴리실리콘이 평탄하게 되도록 한다.

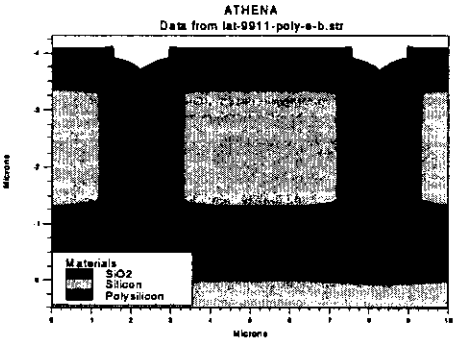

그림 4 폴리실리콘 refill

Fig. 4 Polysilicon refill

그 다음 ISO trench의 폴리실리콘과 전극이 분리되도록 하기 위하여, 폴리실리콘 위에 약 7,000Å의 산화막을 성장시키고, 그 위에 PECVD를 이용해 산화막을 4,000Å 증착시킨다. 활성 영역을 형성하기 위해 P-active 마스크를 이용하여, 활성 영역의 산화막을 식각하고, 보론(boron) 3E13을 주입한다. 이때 punch through를 보상하며, 전류증폭률을 만족시키고, 속도를 증가시키기 위해 Wb를 최소화하기 위한 dose량을 정한다. 이온 주입 후 TEOS (TEtraethyl OrthoSilicate)를 10,000Å 증착하여 확산시킨다. 이때 TEOS는 aspect ratio가 낮게(60%) 증착한다. 이것은 TEOS에 의해 활성 영역이 감소되는 것을 방지하기 위함이다. 또한, 활성 영역의 농도를 균일하게 하기 위해 고온에서 장시간(1100℃ 500분) 확산시켜, 깊이 방향에 따른 농도 분포가 동일하게 한다. 그림5는 전극 부분을 만들기 위해 전극 트랜치(Elec trench) 마스크를 이용하여, RIE로 TEOS 막을 식각하고 나서, 실리콘을 식각한 것이다. 이때 표면보다 아래면의 식각량을 더 증가시킨다. 이것은 에미터와 컬렉터의 소스의 경로가 표면보다 아래면의 길이가 길기 때문에 베이스 폭이 아래면에서 더 크게 나타나서 균일한 특성을 나타낼 수가 없기 때문이다.

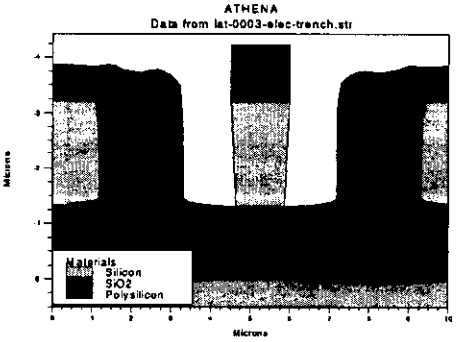

그림 5 활성 영역 트랜치

Fig. 5 Active Region Trench

그림6은 마지막 공정도이다. 폴리실리콘을 증착시킨 후 에치백 공정을 진행한다. 폴리실리콘 증착은 격리 트랜치와 같은 방법으로 공정을 진행한다. 에치백은 포토레지스터를 코팅하여 표면이 평탄하게 되도록 하여, RIE로 포토레지스터와 폴리실리콘을 식각한다. 이때 활성 영역에 있는 TEOS 막에 의해서 폴리실리콘 전극이 분리된다. 에미터와 컬렉터에 에미터(Emitter) 마스크를 사용하여, 인(Phosphorus : P^{31})을 주입하고, 비활성 베이스(Ex base) 마스크를 사용하여 보론(B^{11})을 주입한다. 이때 보론을 주입하는 것은 금속과 폴리실리콘의 옴접촉과 베이스 저항을 감소시키기 위해서 농도를 보상해 주는 것이다. 산화막을 증착하여 확산을 시킨다. 에미터와 컬렉터에 주입된 인이 활성 영역으로 확산되어 베이스 폭이 줄어들게 된다. 확산 시간은 전류증폭률을 고려

하여 적절하게 확산시킨다. 접촉창(Contact) 마스크를 사용하여 전극 창을 형성하여 금속을 증착한다. 금속은 알루미늄을 1㎛ 정도 증착한다. 금속(Metal) 마스크를 이용하여 전극을 분리한다. 450℃에서 10분 정도 소결(sinter)한다. 패시베이션 막을 8,000Å 증착하고 패드(PAD) 마스크를 이용하여 본딩(Bonding) 영역을 형성한다.

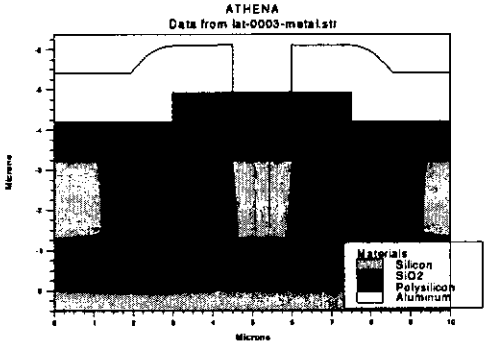

그림 6 최종 구조
Fig. 6 Final Structure

3. 결과 및 고찰

본 논문에서는 SDB를 이용한 SOI 구조의 횡방향 구조 트랜지스터로 각종 기생용량을 최소화하였다. 에미터에서 컬렉터까지 산화막으로 격리되어있으므로 종방향의 베이스-에미터 접합용량의 측면의 접합용량이 줄어들며, 베이스-컬렉터 접합용량이 줄어들며, 컬렉터의 농도가 EPI 같이 농도가 낮지 않으며, 고농도 폴리실리콘이므로 접합용량 및 컬렉터 저항이 줄어든다. 또한, 비활성영역을 활성영역의 측면을 이용하므로 면적이 줄어든다.

고속 성능을 얻기 위해서는 최소 전달 지연 시간을 고려하여야 한다. 즉,

Base 전달시간(τ_B)은

$$\tau_B = \int_0^{x_B} \frac{dx}{\nu(x)} = \int_0^{x_B} \frac{qAn_p(x)}{I_n} dx \qquad (1)$$

($\nu(x)$ = 유효 소수 캐리어 속도)

대부분의 트랜지스터에서 $x_B/L_n \ll 1$이므로

$$\tau_B = \frac{x_B^2}{2D_n} \qquad (2)$$

(x_B = 베이스 폭, D_n = 전자의 확산계수)

τ_B가 작다는 것은 신호지연이 짧다거나, 높은 동작 주파수를 갖고 있음을 의미한다. 그러므로 좋은 주파수 동작을 얻으려면 트랜지스터의 베이스 폭을 작게 설계해야한다.

에미터 천이 커패시턴스 충전시간(τ_E)은

$$\tau_E = r_e C_E = \frac{4\Phi_T}{I_E} C_E \qquad (3)$$

r_e = 에미터 저항
C_E = 에미터 − 베이스 접합용량
Φ_T = 전전위

이며, 동작 지연을 줄이려면 C_E가 작아야 한다.

컬렉터 공핍층 주행시간(τ_d)은

$$\tau_d = \frac{x_m}{\nu_{th}} \qquad (4)$$

(x_m = 공핍층 폭, ν_{th} = 포화 속도)

이므로, 공핍층 폭을 최소화하여야한다.

컬렉터 커패시턴스 충전시간(τ_c)은

$$\tau_c = r_{sc} C_c \qquad (5)$$

r_{sc} = 컬렉터 직렬저항
C_c = 베이스 − 컬렉터 접합용량

이므로, r_{sc}와 C_c의 값이 작아야한다.

위와 같은 것을 고려하여 횡방향 고속 트랜지스터를 설계하였다.

설계된 소자에 대하여 V_{CE}-I_C 특성과 h_{FE}-I_C 특성을 시뮬레이션 한 결과는 각각 그림7, 그림8과 같다. 그림7에서 보는 바와 같이 V_{CE}-I_C 특성은 정상적인 트랜지스터 상태를 나타내고 있으며, 선형성이 좋다는 것을 알 수 있다.

그림8은 컬렉터 전류에 대한 전류 증폭률이며 양호한 특성을 나타내고 있다. 또한, 100nA에서 1mA까지 평탄성도 좋게 나타나고 있다.

그림9는 gummel poon plot이다. 베이스 전류(I_B)와 컬렉터 전류(I_C)의 특성이 저전류 영역과 고 전류 영역에서의 상태가 양호하다.

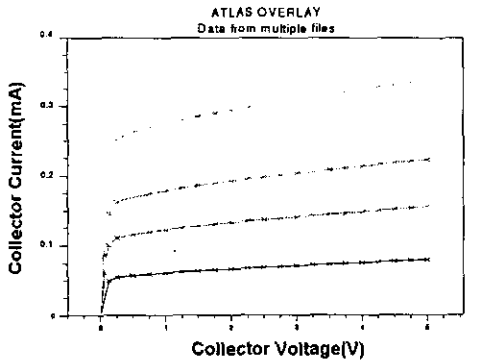

그림 7 V_{CE}-I_C 특성

Fig. 7 V_{CE}-I_C Characteristic

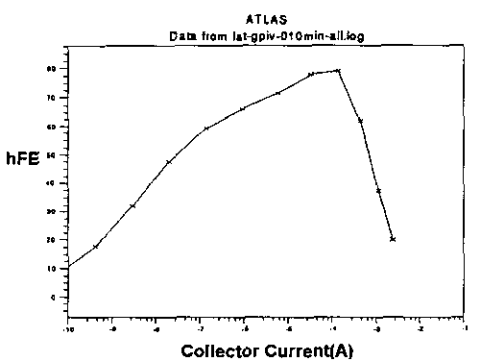

그림 8 h_{FE} - I_C 특성

Fig. 8 h_{FE} - I_C Characteristic

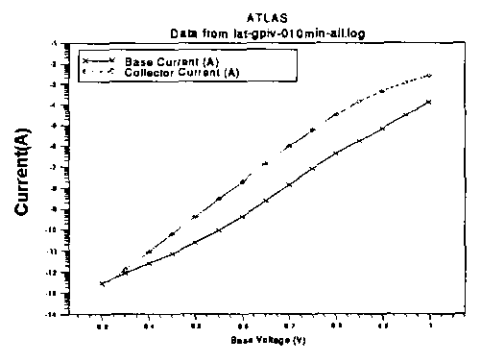

그림 9 Gummel-poon plot

Fig. 9 Gummel-poon plot

그림10은 컬렉터 전류에 대한 차단 주파수 특성을 나타낸 것으로 차단 주파수는 13.7GHz이다. 이 값은 PSA 소자의 8GHz에 비해서 약 6GHz 더 높은 값이다.

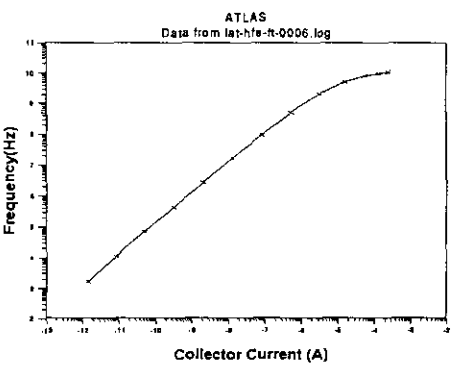

그림 10 차단주파수 특성

Fig. 10 Characteristics of Cutoff Frequency

4. 결론

고성능 고속 소자를 개발하기 위하여 새로운 횡방향 구조 트랜지스터를 설계하였다. 이 소자는 기존의 종방향 구조 트랜지스터에서 발생되는 기생용량을 직접 접합 웨이퍼와 실리콘 트랜치 기술을 이용하여, 산화막으로 완전 격리함으로 기생 용량을 최소화하였으며, N+ 폴리실리콘을 에미터와 컬렉터에 사용하여 직렬저항을 줄여 지연 시간을 감소하였다. 횡방향 구조 트랜지스터의 공정 시뮬레이션을 하여 얻은 결과를 이용하여, 소자 시뮬레이션을 하여 특성을 확인한 결과 V_{CE}-I_C 특성, h_{FE}-I_C 특성, GP-plot을 통하여 정상적인 결과를 확인할 수 있었다.

또한, 차단주파수 특성을 시뮬레이션 한 결과 차단주파수가 13.7GHz로 기존의 PSA 트랜지스터의 8GHz보다 약 6GHz더 큰 값을 얻을 수 있었다.

공정적인 측면에서는 마스크의 수가 기존의 PSA 소자의 11매에 비해 3매가 줄었으며, 공정 단계도 간소화되었다. 설계적인 측면에서는 소자의 크기가 PSA 소자의 면적이 $22\times11\mu m^2$인데 비해, 본 소자는 $6\times6\mu m^2$로 1/7.3배로 작아지는 효과를 얻었다.

이 소자를 이용해 MUX/DMUX, 이동통신, 휴대용통신, 고속마이크로프로세서, 위성통신 등에 이용되어질 수 있다.

참고 문헌

[1] T.H. Ning, R.D. Issac, P.M. Solomon, D.D. Tang, H.N. Yu, G.C. Feth, and S.K. Wiedmann, "Self-Aligned Bipolar Transistors for High-Performance and Low Power Delay VLSI," IEEE Trans. Electron Devices, Vol. ED-28, No. 9, pp.1010-1013, 1981

[2] R.C.Y. Fang et al., "Defect Characteristics and Generation Mechanism in a Bird Beak Free Structure by Sidewall Masked Technique," J. Electrochem. Soc., Vol. 130, No. 1, pp. 190, 1983.

[3] T. Takemura et al., "Sub-micron Epitaxial Layer and RTA Technology for Extremely High Speed Bipolar Transistor," IEEE IEDM Tech. Dig., pp424-427, 1986.

[4] 이정환, "횡방향 고속 바이폴라 트랜지스터 및 그의 제조방법", 대한민국특허청 등록번호 0178291

[5] H.B. Pogge, "Trench Isolation Technology," IEEE BCTM, pp. 18-25, 1990.

[6] T. Yamaguchi et al., "70 ps ECL Gate Si Bipolar Technology using Borosenic-Poly Process with Coupling-Base Implant," Tech. Dig. IEEE CICC, pp231-234, 1988.

[7] S.Y. Chiang, D. Pettengill, and P.V. Voorde, "Bipolar Device Design for Circuit Performance Optimization," Proc. IEEE BCTM, pp.172-179, 1990.