

## 탈이온수의 압력과 정제된 N<sub>2</sub> 가스가 ILD-CMP 공정에 미치는 영향

### Influence of DI Water Pressure and Purified N<sub>2</sub> Gas on the Inter Level Dielectric-Chemical Mechanical Polishing Process

김상용\*,이우선\*\*,서용진\*\*\*,김창일\*\*\*\*,장의구\*\*\*\*,박진성\*\*\*\*\*

(Sang-Yong Kim\*,Woo-Sun Lee\*\*,Yong-Jin Seo\*\*\*,Chang-il kim\*\*\*\*,Eui-Goo Chang\*\*\*\*,Jin-Sung Park\*\*\*\*\*)

#### Abstract

It is very important to understand the correlation of between inter layer dielectric(ILD) CMP process and various facility factors supplied to equipment system. In this paper, the correlation between the various facility factors supplied to CMP equipment system and ILD-CMP process was studied. To prevent the partial over-polishing(edge hot-spot) generated in the wafer edge area during polishing, we analyzed various facilities supplied at supply system. With facility shortage of D.I water(DIW) pressure, we introduced an adding purified N<sub>2</sub>(PN<sub>2</sub>) gas in polishing head cleaning station for increasing a cleaning effect. DIW pressure and PN<sub>2</sub> gas factors were not related with removal rate, but edge hot-spot of patterned wafer had a serious relation. We estimated two factors (DIW pressure and PN<sub>2</sub> gas) for the improvement of CMP process. Especially, we obtained a uniform planarity in patterned wafer and prohibited more than 90% wafer edge over-polishing. In this study, we acknowledged that facility factors supplied to equipment system played an important role in ILD-CMP process.

**Key Words (중요용어)** : CMP(Chemical Mechanical Polishing), ILD(Inter Layer Dielectric), hot spot, 과도연마, DIW(Deionized Water) 압력, PN<sub>2</sub> 가스, 설비 요소, 가장자리 공격(edge attack)

#### 1. 서 론

CMP(chemical mechanical polishing)에 의한 광역 평탄화란 소자의 셀 어레이(cell array) 영역과 주변 회로 부분의 단차(step height)를 줄이고, 칩(chip) 영역 전반을 평탄화(planarization)하는 것을

- \* 아남반도체 FAB 사업부
- \*\* 조선대학교 공과대학 전기제어계측공학부  
(광주광역시동구서석동375,FAX:062-230-7020  
E-mail : wslee@mail.chosun.ac.kr)
- \*\*\* 대불대학교 전기전자공학부
- \*\*\*\* 중앙대학교 전자전기제어공학부
- \*\*\*\*\*조선대학교 재료공학부

2000년 4월 28일 접수,2000년 8월5일 심사완료

말한다<sup>1)</sup>. CMP는 0.35 $\mu$ m 이하의 집적회로 공정기술 시대에 접어 들면서 부터 점차적으로 그 필요성이 부각되어서 현재 필수적으로 적용되고 있을 뿐만 아니라 차세대 집적소자에 적용하기 위해 활발히 연구가 진행되고 있다<sup>2-4)</sup>. CMP 공정을 간단히 설명하면, 그 어원에서 알 수 있듯이 화학적, 기계적 연마(chemical mechanical polishing)에 의한 공정으로 웨이퍼를 회전시키는 캐리어(carrier)와 연마 패드(pad)가 부착된 연마판(platen), 연마제가 포함된 슬러리(slurry)를 사용하여 일정한 압력을 캐리어에 걸 어주고 연마판과 동시에 회전시켜서 웨이퍼의 표면을 평탄화하는 방법이다<sup>1)</sup>. 이러한 CMP 공정은 DRAM<sup>3)</sup> 분야 뿐만 아니라 LOGIC 분야<sup>5,6)</sup>에서 소자 간의 연결 금속막(Inter-Metal Dielectric:IMD)과 연

결절연막(Inter-layerDielectric:ILD)<sup>2)</sup>,PMD(pre-metal dielectric) 층<sup>7)</sup>을 평탄화하는데 주로 사용되고 있다. 그러나 이러한 CMP 기술이 반도체 제조공정에 필수적인 공정으로 매우 유망한 기술임에는 틀림이 없으나 실용화하는데 있어서 몇가지 문제점들이 있다. 이를 크게 나누면 CMP 공정상의 문제점들과 CMP 장비상의 문제점들로 나누어 생각해 볼 수 있다. 연마정지점(end point)의 감지<sup>8)</sup>, STI(Shallow Trench Isolation) CMP 공정 후의 질화막 잔류물(residue)<sup>9)</sup>, 산화막의 찢겨짐(torn oxide defect)<sup>10)</sup>, CMP 공정 후에 생성된 마립자의 제거를 위한 post-CMP 클리닝<sup>11)</sup> 등과 같은 문제점들은 많은 연구가 진행되어 해결되어 가는 추세이지만, 장비상의 문제점에 대한 연구는 그리 많지 않은 실정이다. 즉, CMP 장비 시스템에 공급되는 여러 설비 요소(facility factors)들과 ILD-CMP 공정 사이의 상호관계를 이해하는 것은 매우 중요하다고 하겠다. 특히, 슬러리 공급장치는 CMP 공정에서 매우 중요한 요소로 작용한다. 슬러리 공급장치의 유지, 보수도 중요하겠지만 슬러리 공급 라인(line) 내에서 슬러리가 정체된다면 슬러리 입자들을 형성하여 공정 상 매우 좋지 않은 영향을 끼칠것이기 때문이다.

본 논문에서는 CMP 장비 시스템에 공급되는 여러 설비 요소들과 ILD-CMP 공정 사이의 상호관계를 연구하였다. 연마기(polisher)에서 발생하는 웨이퍼 가장자리 영역에서의 부분적인 과도연마현상인 hot spot를 방지하기 위해 공급 시스템에 공급되는 여러 설비들을 분석하였다. CMP 공정은 슬러리의 유속(slurry flow rate), 슬러리의 공급압력, 탈이온수의 압력, 정제된 N<sub>2</sub>가스, CDA(Clean Dry Air) 등과 같은 여러 설비 요인들에 의해 영향을 받는다. 탈이온수 압력 설비의 결함으로 인한 연마기의 헤드 클리닝 스테이션(polishing head cleaning station)의 클리닝 효과를 높이기 위해 정제된 N<sub>2</sub> 가스를 첨가해 주었다.

2. 실험

본 실험에서는 SFI 472 CMP 장비 시스템을 사용하였으며 연마후 세정 공정은 VERTEQ사의 Vcs 시스템을 사용하여 실험하였다.

PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate Glass)의 연마시간은 STI-CMP의 경우 2분, IMD-CMP의 경우 4분이었고, 식각율은 2400Å/min. 이었다. BPSG(Boron-Phospho-Silicate Glass)의 경우에는 ILD-CMP의 연마시간은 3분이었고, 식각율

은 2200Å/min. 이었다. 또한 연마기의 헤드 클리닝 스테이션(head cleaning station)에서 캐리어 헤드의 클리닝 효과는 DIW(Deionized Water) 압력을 변화시키면서 수행되었다. DIW 압력은 표준 CMP 공정

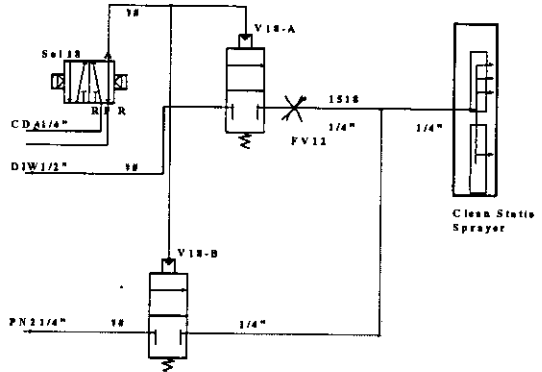


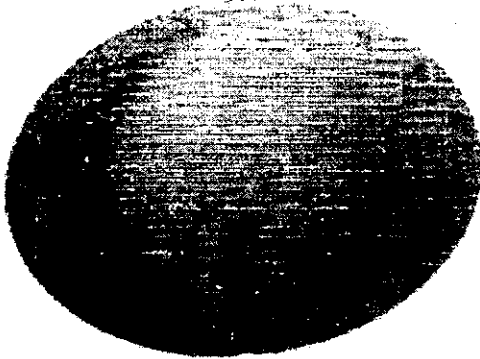
그림 1 연마기의 헤드 클리닝 스테이션의 개략도

Fig. 1 Schematic of head cleaning station

에서 45±5 psi이다. 일반적인 DIW의 주(main) 압력은 70psi 이다. 그러나 주 공급 라인의 구조로 인해 실제로는 대략 50 psi의 압력이 공급되었다. 그리고 헤드 클리닝 스테이션 내의 DIW 압력은 대략 30 ~ 40 psi 이었으며, 이로 인해 클리닝 효과는 감소되었다. CMP 공정의 여러 요소들 중 불균일도(non-uniformity)는 일자에 따라서 압력을 함수로 하여 측정되었다. CMP 공정의 개선을 위해 2가지 요소인, DIW 압력과 PN<sub>2</sub> 가스를 파라미터로 하여 평가하였다. 주 공급라인의 설비 결함으로 인해 감소된 DIW 압력에 기인하는 클리닝 효과를 높이기 위해 연마기 헤드 클리닝 스테이션에 PN<sub>2</sub> 가스를 첨가해 주었다. PN<sub>2</sub> 가스가 첨가됨에 따라 웨이퍼 내의 불순물의 식각이 더 용이해질 뿐만 아니라 웨이퍼 클리닝을 위한 DIW 압력의 한계를 극복할 수 있었다. 그림 1은 본 실험에서 사용된 CMP 연마기의 헤드 클리닝 스테이션의 개략도를 보인 것이다.

3. 실험 결과 및 고찰

그림 2는 블랑킷(blanket) 웨이퍼의 가장자리용 보인 것으로 평균 식각두께 보다 500Å 더 깊은 산화막 두께의 변화를 보였으며 hot spot를 육안으로도 관찰할 수 있었다. 과도연마 현상인 hot spot의 모양은 semi-sphere 처럼 보였다. 그림 3은 패터닝 웨이퍼 및 IMD CMP 공정 후 칩 표면의 가장자리



을 보인 것으로 가장자리 영역의 두께는 다른 영역 두께보다 낮은대략 2000Å 이었다. 이는 IMD(Inter-Metal Dielectric) CMP 공정에서 자주 보이는 현상으로 육안으로도 충분히 구별할 수 있을 만큼 빠른 그림 2 블랑킷 웨이퍼의 가장자리 attack

Fig. 2 Blanket attack of blanket wafer

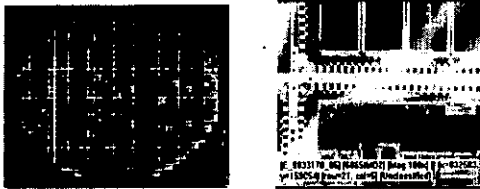
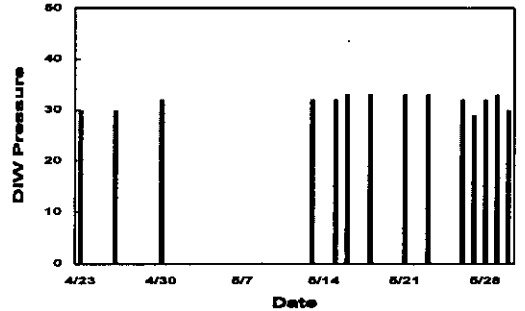


그림 3 패턴된 웨이퍼(a) 및 칩 표면의 IMD attack(b)

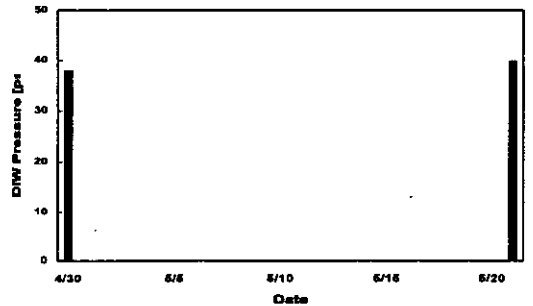
Fig. 3 IMD attack(b) of patterned wafer and chip surface(a)

식각율을 나타내며 한 개 또는 수 개의 가장자리는 연마된 웨이퍼의 가장자리에서 주로 발생하고 있다. 또한 ILD-CMP 공정에서 5000Å 이상인 디싱(dishing)은 웨이퍼 가장자리 영역에서 광범위하게 관찰되었다. 이것은 그림 3의 (b)에 보인 칩 표면 사진에서 알 수 있듯이 금속 층 아래의 손상을 초래할 것으로 예측된다. 그림 4는 연마기 헤드 클리닝 스테이션 내의 캐리어 헤드의 클리닝 효과를 비교하기 위해 DIW 압력의 변화에 따른 hot spot의 발생빈도로 나타낸 것이다. 그림 4 (a)의 경우와 같이 여러번 실험한 결과 30~35 psi의 비교적 낮은 DIW 압력에서 hot spot의 발생 빈도가 많았으나, 그림 4 (b)에 보인 바와 같이 DIW 압력이 45±5 psi로 증가되었

을 때 hot spot의 발생빈도는 현저하게 감소되고 있음을 알 수 있다. 즉, DIW 압력의 감소로 인해 클리닝 효과가 감소됨을 그림 4의 (a)와 (b)의 비교로부터 확인되었다.



(a) DIW Pressure = 30 ~ 35 psi



(b) DIW pressure = 45 ± 5 psi

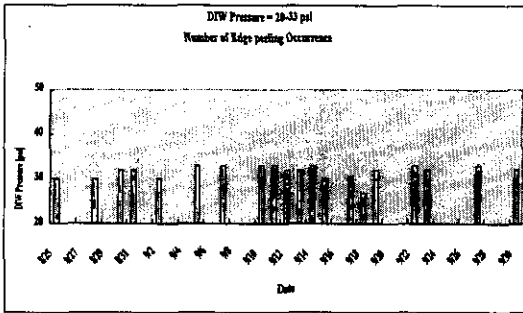
그림 4 DIW 압력변화에 따른 Hot spot의 빈도

Fig. 4 Number of hot spot with DIW pressure

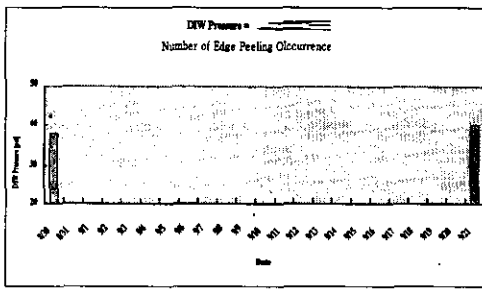
그림 5는 DIW 압력 변화에 따른 가장자리 peeling의 발생빈도를 나타낸 것이다. 그림 5의 (a)는 DIW 압력이 20 ~ 33 psi 인 경우로 상당히 빈번한 가장자리 peeling이 발생하였으나 그림 5의 (b)처럼 DIW 압력이 38 ~ 39 psi로 표준 압력에 거의 근접되었을 때 가장자리 peeling은 거의 일어나지 않았다. 이는 그림 4의 결과와 종합하여 볼 때 가장자리 attack은 DIW 압력 변화에 상당히 민감하게 반응함을 알 수 있다.

그림 6은 DIW 압력 변화에 따른 hot spot 발생 횟수를 나타낸 것이다. 비교적 낮은 DIW 압력에서 작은 발생 빈도수를 보이다가 30 ~ 35 psi의 DIW 압력에서 가장 많은 빈도를 나타내었고, 표준에 가까

은 40 psi의 DIW 압력 이상에서는 hot spot가 전혀 발생하지 않았다. Hot spot(DD)에서 DD는 Defect Density의 약자로서  $cm^2$ 당 빈도 수를 나타낸다.



(a) DIW pressure = 20 ~ 33 psi



(b) DIW pressure = 38 ~ 39 psi

그림 5 DIW 압력변화에 따른 가장자리 peeling의 발생빈도  
Fig. 5 Number of edge peeling occurrence with the different DIW pressure

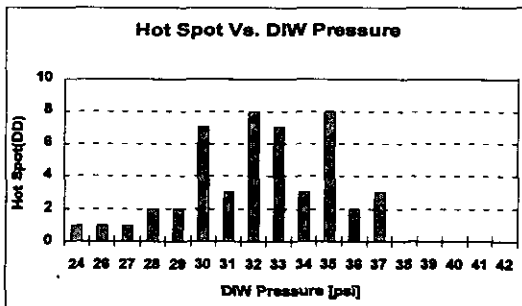


그림 6 DIW 압력 변화에 따른 hot spot 발생 횟수  
Fig. 6 Number of hot spot as a function of DIW pressure

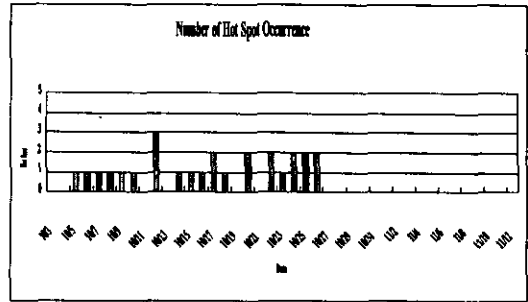


그림 7 PN<sub>2</sub> 가스가 첨가된 후의 hot spot 발생횟수  
Fig. 7 Number of hot spot occurrence as an adding PN<sub>2</sub> gas

그림 7은 DIW 압력 설비의 결함으로 인한 클리닝 효과를 증가시키기 위해 연마기의 헤드 클리닝 스테이션 내에 PN<sub>2</sub> 가스를 첨가한 후, hot spot의 발생 빈도를 보인 것이다. PN<sub>2</sub> 가스를 첨가한 이후부터 hot spot는 거의 발생하지 않았다. 이는 정제된 N<sub>2</sub> 가스의 첨가로 인해 웨이퍼 내의 불순물의 식각이 더 용이해질 뿐만 아니라 웨이퍼 클리닝에 대한 DIW 압력의 한계를 극복할 수 있음을 보이는 것이다.

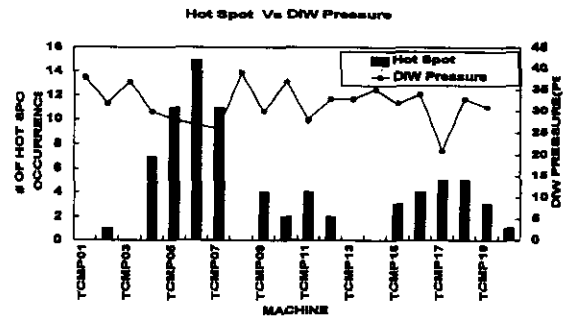


그림 8 본 실험에 사용된 CMP 연마장비 변화에 따른 DIW 압력과 hot spot 발생빈도의 관계  
Fig. 8 Relation of DIW pressure and hot spot occurrence with the different CMP polisher

그림 8은 본 실험에 사용된 CMP 연마장비 종류에 따른 DIW 압력과 hot spot 발생빈도와의 관계를 나타낸 것이다. CMP 공정 동안 발생한 문제점들 중 장비(tool) 결함으로 인한 DIW 공급 압력의 부족은

불충분한 캐리어 헤드 클리닝을 초래할 것이고, 따라서 캐리어 필름에 attack된 연마되고 남은 잔존물 (polishing residue) 들이나 클리닝되지 않은 오염원들은 웨이퍼 가장자리에서의 불규칙적인 hot spot 현상을 유발시킬 것이다. CMP 공정 장비 시스템에 공급되는 여러 설비 요소들, 특히 DIW 압력이 상당히 중요한 역할을 하고 있음을 본 실험에서 확인할 수 있었다. 따라서 CMP 장비 시스템에 공급되는 여러 설비 요소(facility factors)들과 ILD-CMP 공정 사이의 상호관계를 이해하는 것은 매우 중요하다고 하겠다. 또한 PN<sub>2</sub> 가스 공급 시스템의 적용으로 낮은 DIW 공급 압력에서의 문제점을 해결할 수 있었다. 따라서 CMP 시스템의 진행 절차는 DIW와 PN<sub>2</sub> 가 동시에 공급되어야 함을 알 수 있었다.

#### 4. 결 론

CMP 장비 시스템에 공급되는 여러 설비 요소들과 ILD-CMP 공정 사이의 상호관계를 연구하였다. 연마기에서 발생하는 웨이퍼 가장자리 영역에서의 부분적인 과도연마 현상인 hot spot를 방지하기 위해 우리는 장비 공급 시스템에 연결된 여러 설비 요소들 중 DIW 압력, PN<sub>2</sub> 가스의 첨가 효과를 분석해 보았다. 실험결과, 웨이퍼 가장자리 영역의 부분적인 과도연마는 캐리어 헤드의 불충분한 클리닝 효과에 기인한 것임을 알 수 있었다. 따라서 이들 설비 요소에 PN<sub>2</sub> 가스를 첨가시킴으로써 ILD-CMP 공정으로 부터 양호한 평탄도를 얻을 수 있었다. 결론적으로 CMP 공정 장비 시스템에 공급되는 여러 설비 요소들 특히, DIW 압력이 ILD-CMP 공정에 중요한 역할을 하고 있음을 확인할 수 있었다.

본 연구는 1999년도 조선대학교 교내 학술연구비 지원에 의해서 연구되었음

#### 참 고 문 헌

- [1] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역평탄화에 관한 연구," 전기전자재료학회 논문지, Vol. 11, No. 12, pp. 1084-1090, 1998.
- [2] B. Stine, D. Ouma, R. Divecha, D. Boning, J. Chung, D. Hetherington, C. R. Harwood, O. S. Nakagawa, and S.-Y. Oh, A Closed-Form Analytic Model for ILD Thickness Variation in CMP Processes, *Proc, CMP-MIC Conf.*, Santa Clara, CA Feb. 1997.
- [3] C. T. Ni, H.C. Chen, D. Huang and T. Chang, A Study of CMP Slurry Chemistry Effect on BPSG Film for Advanced DRAM Applications *Proc, CMP-MIC Conf.*, Santa Clara, CA Feb. 1998.
- [4] Jia-Zhen Zheng, et. Al., Optimization of Pad Conditioning for Stable Oxide CMP Process, *Proc, CMP-MIC Conf.*, Santa Clara, CA Feb. 1997.
- [5] William J. Patrick, et al., "Application of Chemical Mechanical Polishing to the Fabrication of VLSI Circuit Interconnection", *J. Electrochem. Soc.*, Vol. 138, pp.555-561, June 1991.
- [6] W. L. Guthrie, et al., "A Four-Level VLSI Bipolar Metallization Design with Chemical Mechanical Planarization", *IBM J. Res. Develop.*, Vol. 36, No. 5, pp. 845-857, Sep. 1992.
- [7] 서용진, 장의구, "CMP 공정에 기인하는 소자특성의 열화를 방지하기 위한 PMD 구조에 대한 연구," 전기전자 재료학회 논문지, Vol. 12 No. 2, pp. 111-117, 1999
- [8] 김상용, 이경태, 김남훈, 서용진, 김창일, 이우선, 장의구, "STI-CMP 공정을 위한 Pattern wafer와 Blanket wafer 사이의 특성연구," 전기전자 재료학회 춘계학술대회논문집, pp. 211-213, 1999.
- [9] Sang-Yong Kim, et al., " An Optimization Nitride Residue Phenomena of Shallow Trench Isolation (STI) Process by Chemical Mechanical Polishing(CMP)", *International Union Material Research-International Conference Electronic Materials(IUMRS-ICEM-98)*, p.106, 1998.
- [10] 김상용, 서용진, 김창일, 이우선, 장의구, "STI CMP 공정에서 Torn Oxide Defect 해결에 관한 연구," 대한전기학회 추계학술대회논문집, pp. 723-725. 1998.
- [11] 서용진, 김상용, 이우선, 장의구, " CMP 슬러리에 의한 금속 오염 제거를 위한 Post CMP 클리닝", 전기전자재료학회 논문지, Vol. 13권, No. 2, pp. 131-136, 2000.