

절연막의 후 열처리가 Metal/Ferroelectric/Insulator/Semiconductor 구조의 전기적 특성에 미치는 영향

원동진 · 왕채현 · 최두진
연세대학교 공과대학 세라믹공학과
(2000년 8월 1일 접수)

Effects of the Post-annealing of Insulator on the Electrical Properties of Metal/Ferroelectric/Insulator/Semiconductor Structure

Dong Jin Won, Chae Hyun Wang and Doo Jin Choi

Dept. of Ceramic Engineering, Yonsei University, Seoul, 120-749, Korea

(Received August 1, 2000)

초 록

TiO₂와 CeO₂ 박막을 Si 위에 증착한 후 MOCVD법에 의해 PbTiO₃ 박막을 증착하여 MFIS 구조를 형성하였다. 절연층의 후 열처리가 절연층 및 MFIS 구조의 전기적 특성에 미치는 영향을 관찰하기 위해 산소분위기와 600°C~900°C의 온도범위에서 후 열처리를 행하였고, C-V 특성 및 누설전류 특성을 분석하였다. CeO₂와 TiO₂ 박막의 유전상수는 증착 직후 6.9와 15였으며, 900°C 열처리를 행한 후 약 4.9와 8.8로 감소하였다. 누설전류밀도 역시 증착 직후 각각 7×10⁻⁵ A/cm²와 2.5×10⁻⁵ A/cm²에서 900°C 열처리를 거친 후에 약 4×10⁻⁸ A/cm²와 4×10⁻⁹ A/cm²로 감소하였다. Ellipsometry 시뮬레이션을 통해 계산된 계면층의 두께는 900°C에서 약 115 Å(CeO₂) 및 140 Å(TiO₂)까지 증가하였다. 계면층은 MFIS 구조에서 강유전층에 인가되는 전계를 감소시켜 항전계를 증가시켰고, charge injection을 방지하여 Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조의 경우 ±2 V~±10 V의 측정범위에서 memory window가 계속 증가하는 것을 보여주었다.

ABSTRACT

MFIS structure using MOCVD-grown PbTiO₃ were fabricated with insulator layers of CeO₂ and TiO₂ films. In order to investigate the effects of the post-annealing of insulator layers on the electrical properties of insulator layers and MFIS structure via C-V and leakage current measurements, the post-annealing of insulator layers was performed from 600°C to 900°C in O₂ atmosphere. The dielectric constants of CeO₂ and TiO₂ films decreased from 6.9 and 15 to 4.9 and 8.8 at 900°C. Leakage current density of CeO₂ and TiO₂ films also decreased from 7×10⁻⁵ A/cm² and 2.5×10⁻⁵ A/cm² to 4×10⁻⁸ A/cm² and 4×10⁻⁹ A/cm² level at 900°C. The interfacial layer thickness was simulated by ellipsometry, and the thickness increased to 115 Å(CeO₂) and 140 Å(TiO₂) at 900°C. The interfacial layer played an role in increasing the coercive field of PbTiO₃, and served to suppress the charge injection at the interface between insulator and substrate in MFIS structure.

Key words : MFIS(Metal/Ferroelectric/Insulator/Semiconductor), Post annealing, Interfacial layer, PbTiO₃, CeO₂, TiO₂

1. 서 론

강유전 박막을 이용하여 구현되는 비휘발성 메모리 소자인 FeRAM(Ferroelectric Random Access Memory)은 기존에 사용되어 오고 있는 EEPROM(Electrically Erasable Programmable Read-Only-Memory)이나 Flash 메모리에 비해 고속정보처리, 저전력구동, 고집적화를 이룰 수 있는 장점을 가지고 있다.¹⁾ 이러한 FeRAM은 크게 두 가지로 분류되는데 첫째, DRAM의 커패시터(capacitor)에 강유전 박막을 사용하여 1C-1T(1capacitor-1transistor) 또는 2C-2T의 구조를 갖는 DRO(Destructive Read-Out)방식의 FeRAM이 있고, 둘째로는 커패시터 없이 강유전 박막을 트랜지스터의

게이트 절연막으로 사용하여 IT의 구조를 갖는 NDRO(Non-Destructive Read-Out)방식의 FeRAM이 있다. NDRO 방식의 FeRAM은 MFSFET(Metal Ferroelectric Semiconductor Field Effect Transistor)형태로 DRO방식의 FeRAM과 비교할 때 커패시터가 없는 간단한 구조로서 고집적화에 유리하다는 장점을 가지고 있다.²⁾ 그러나, 이러한 MFS형태는 강유전 박막과 실리콘 기판사이에서 좋지 못한 계면 특성으로 인한 큰 누설 전류, 계면 준위 밀도, 확산 빛 계면 반응에 의한 비강유전층의 형성과 같은 문제점들을 지니고 있다.³⁾ 따라서, MFS구조의 단점을 극복하기 위해 강유전 박막과 실리콘 기판사이 절연층(insulator layer)을 삽입한 MFIS(Metal Ferroelectric Insulator Semiconductor)의 구조

가 대두되었으며, 현재까지 많은 연구가 진행되고 있다.^{2,4)}

MFIS 구조에서 강유전 박막으로 사용될 수 있는 물질로는 $Pb(Zr_xTi_{1-x})O_3$ (PZT), $PbTiO_3$, $SrTiO_3$, $SrBi_2Ta_2O_9$ (SBT) 등이 있는데, PZT나 $SrTiO_3$ 는 ultra high-k 물질로서 FIBL (Fringing Field Induced Barrier lowering) 효과와 같은 좋지 못한 문제를 야기할 수 있고^{5,6)} SBT의 경우 상대적으로 결정화 온도가 높다. 따라서, 게이트 절연막으로 사용하기에 적당한 유전상수를 가지고 있으며 상대적으로 결정화 온도가 낮은 장점을 가지고 있는 $PbTiO_3$ 가 MFIS 구조의 강유전 박막에 적합한 물질로 생각된다. MFIS 구조의 절연층으로는 SiO_2 , CeO_2 , TiO_2 , Al_2O_3 , Y_2O_3 , $YMnO_3$ 와 같은 산화물들이 보고되고 있다.⁷⁻¹⁵⁾ 이 중에서 CeO_2 와 TiO_2 의 유전상수는 SiO_2 의 유전상수($k=3.9$)보다 큰 값($CeO_2=26$, $TiO_2=16\sim52$)을 나타내며,^{16,17)} CeO_2 는 격자 상수($a=5.41 \text{ \AA}$)가 $Si(a=5.43 \text{ \AA})$ 와 유사하여 lattice mismatch를 최소화 할 수 있는 장점이 있고,¹⁶⁾ TiO_2 의 경우는 연속공정(in-situ process)을 통해 $PbTiO_3$ 의 증착공정을 수행할 수 있다는 장점이 있다. 그렇지만, 이러한 절연층은 증착공정중 혹은 메모리 소자를 제조하는데 있어 반드시 수행되어야 하는 후 열처리 공정이 이루어지는 동안 실리콘 기판과 절연층 사이에 형성되는 저유전율의 얇은 계면층(interfacial layer)으로 인해 물성 저하가 발생할 수 있고, 전체 MFIS구조의 유전 특성 역시 계면층의 영향을 받게 된다.^{10,17-19)} 열처리에 따른 계면층의 형성은 절연층과 강유전 박막의 두께가 얇아질 수록 MFIS 구조의 전기적 특성에 더 큰 영향을 미칠 것으로 여겨지나, 계면층의 형성이 절연층과 전체 MFIS 구조의 전기적 특성에 미치는 영향에 대한 연구는 부족하다 생각된다.

따라서, 본 연구에서는 R.F. 마그네트론 스퍼터 (Radio Frequency Magnetron Sputter)법으로 증착한 CeO_2 박막과 MOCVD(Metal Organic Chemical Vapor Deposition)법으로 증착한 TiO_2 박막에 대해 산소분위기와 $600^\circ\text{C}\sim900^\circ\text{C}$ 의 온도범위에서 후 열처리를 행하였고, 이에 따라 형성되는 계면층이 절연층으로 사용된 CeO_2 와 TiO_2 박막 및 $PbTiO_3$ 를 강유전 박막으로 사용한 MFIS 구조의 전기적 물성에 미치는 영향을 고찰하였다.

2. 실험 방법

본 실험에서는 p-type $Si(100)$ wafer를 $1.5 \text{ cm}\times 1.5 \text{ cm}$ 의 크기로 절단하여 실험하였다. 기판 표면의 유기물질을 제거하기 위해 $Si(100)$ 기판을 trichloroethylene(TCE), 아세톤, 메탄올, D.I. water의 순서로 각각 3분간 세척하였다. 기판 표면에 존재하는 자연 산화막을 제거하기 위해 10% HF 용액으로 30초간 기판 표면을 식각한 후 다시 D.I. water로 세척하여 질소가스로 건조하였다.

CeO_2 박막과 TiO_2 박막은 각각 R.F. 마그네트론 스퍼터

법과 MOCVD법에 의해 $Si(100)$ 기판 위에 증착 되었으며, ellipsometry를 통하여 측정된 박막의 두께는 CeO_2 가 약 220 \AA , TiO_2 가 약 280 \AA 이었다. CeO_2 절연 박막은 Ce (99%, 2 inch) 타겟을 사용하였으며, 아르곤 가스를 이용하여 플라즈마를 생성시켰고, 산화제로서는 산소가스를 도입하여 증착이 이루어졌다. TiO_2 절연 박막은 Titanium isopropoxide(TIP, 97% purity, $Ti[OCH(CH_3)_2]_4$, Aldrich co.)를 원료로 사용하고, 질소와 산소를 각각 운반기체와 산화제로 사용하여 300°C 에서 증착되었다. TIP 원료의 증기압은 TIP bubbler의 온도 및 압력 조절에 의해 이루어졌고, bubbler로부터 chamber까지의 운송관은 TIP원료의 응축(condensation)을 방지하기 위해 heating tape를 감아 80°C 의 온도를 유지하였다.

CeO_2 박막과 TiO_2 박막의 후 열처리 공정은 절연층과 기판사이의 계면 특성 및 열적 안정성을 관찰하기 위해 600°C , 800°C , 900°C 의 온도에서 각각 1시간씩 산소분위기에서 이루어졌다.

강유전 $PbTiO_3$ 박막은 MOCVD법에 의해 CeO_2/Si , TiO_2/Si 기판과 후 열처리 공정을 거친 CeO_2/Si , TiO_2/Si 기판 위에 500°C 의 온도에서 1시간동안 증착되었다. Pb 원료는 고체원료인 $Pb(tmhd)_2$ (Bis(2,2,6,6-tetramethyl-3,5-heptanedionato) lead(II), 99% purity, Strem Chemicals)를 사용하였고, Pb bath 온도는 130°C 로 유지하였으며, Ti 원료로는 TIP가 사용되었다. $PbTiO_3$ 증착에 대한 자세한 실험 조건을 Table 1에 나타내었다.

본 연구에서 증착된 박막의 두께는 He-Ne laser($\lambda=6328 \text{ \AA}$) Ellipsometer(Gaertner, L117)를 사용하여 측정하였다. Capacitance-voltage(C-V) 측정은 HP4284A Precision LCR meter를 사용하였는데, 상부전극은 Aluminum wire(99.999%

Table 1. The Detail Deposition Conditions of $PbTiO_3$ Films Deposited on $CeO_2/Si(100)$ and $TiO_2/Si(100)$ by MOCVD

Substrate	$CeO_2/Si(100)$ and $TiO_2/Si(100)$
Deposition temperature	500°C
Deposition time	60 min
Chamber pressure	5 torr
Pb source	$Pb(tmhd)_2$
bath temperature	130°C
bath pressure	21 torr
N_2 carrier gas flow rate	200 sccm
Ti source	TIP
bubbler temperature	45°C
bubbler pressure	21 torr
N_2 carrier gas flow rate	5 sccm
O_2 flow rate	100 sccm
Thickness	about 3600 \AA

purity, Aldrich co.)를 이용하여 thermal evaporation으로 직경 0.5 mm의 Al dot를 증착하였고, 하부 contact은 Si (100) 기판 후면을 10% HF 용액으로 처리하여 자연 산화막을 제거한 후 Indium soldering을 통해 ohmic contact을 이루도록 하였다. Leakage current-Voltage(I-V)의 측정은 HP 4145B Semiconductor Parameters Analyzer를 사용하였다.

3. 결과 및 고찰

3.1. 절연층의 전기적 특성

Fig. 1에 C-V 측정으로부터 계산된 CeO₂ 박막과 TiO₂ 박막의 유전상수를 열처리 온도에 따라 나타내었다. 후 열처리 공정을 거치지 않은 CeO₂ 박막과 TiO₂ 박막은 각각 6.9와 15 정도의 유전상수를 보여주었다. 일반적으로 박막의 유전상수는 벌크의 유전상수보다 더 작은 값을 나타내는데, Nagashima 등은 약 250 Å의 두께를 갖는 CeO₂ 박막의 유전상수가 9.5 정도의 값을 나타낸다고 보고하였고,²⁰⁾ 이와 유사하게 본 실험에서 약 220 Å의 두께를 갖는 CeO₂ 박막의 유전상수도 벌크 상태의 유전상수(~26)보다 작게 나타나고 있다. MOCVD법으로 300°C에서 증착한 TiO₂ 박막은 XRD 분석을 통해 TiO₂의 저온상인 anatase임을 확인하였고, 900°C까지 열처리가 진행됨에 따라 고온상인 rutile 상으로의 전이는 발생하지 않았다(not shown). Anatase상은 rutile상과 비교할 때 상대적으로 작은 유전상수 값을 갖는데,²¹⁾ 본 실험에서 anatase TiO₂ 박막에 대해 얻은 유전상수는 약 15 정도이며, 이러한 결과는 Wang 등이 약 1500 Å의 anatase TiO₂ 박막에 대해 보고했던 16 정도의 유전상수와 유사하였다.²²⁾ 산소분위기에서 열처리 온도가 600°C에서 900°C까지 증가함에 따라 CeO₂ 박막과 TiO₂ 박막의

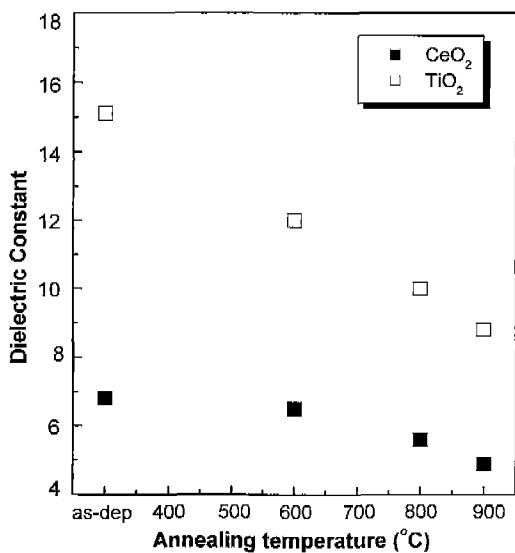


Fig. 1. The dielectric constants of CeO₂ and TiO₂ films as a function of annealing temperature.

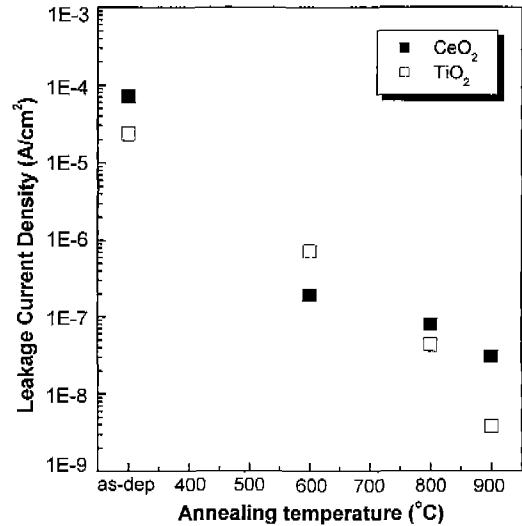


Fig. 2. Leakage current density of CeO₂ and TiO₂ films under the applied bias of +5 V as a function of annealing temperature.

유전상수는 점차 감소하는 경향을 보이고 있으며, 900°C에서 열처리를 거친 CeO₂와 TiO₂ 박막의 유전상수는 각각 4.9와 8.8이었다. 또한, TiO₂ 박막은 CeO₂ 박막과 비교할 때에 상대적으로 유전상수의 감소 정도가 큰 것이 관찰되었다.

Fig. 2에 +5 V의 바이어스에서 측정된 CeO₂ 박막과 TiO₂ 박막의 누설전류밀도를 열처리 온도에 따라 나타내었다. 열처리를 거치지 않은 CeO₂ 박막은 약 7×10⁻⁵ A/cm² 정도의 누설전류밀도를 보여주었다. 산소분위기에서 열처리 온도가 600°C에서 900°C까지 증가함에 따라 누설전류밀도는 600°C에서 약 2×10⁻⁷ A/cm²으로 낮아졌고 900°C에서는 약 4×10⁻⁸ A/cm²까지 감소하였다. TiO₂ 박막도 CeO₂ 박막과 유사하게 열처리 온도가 증가함에 따라 누설전류밀도가 증착 직후 2.5×10⁻⁵ A/cm²로부터 900°C에서 열처리를 거친 후에는 4×10⁻⁹ A/cm²로 감소하였다.

Fig. 1과 Fig. 2에서 확인된 바와 같이 열처리 온도가 600°C에서 900°C까지 높아짐에 따라 유전상수와 누설전류밀도가 감소하는 결과는 기판과 CeO₂, TiO₂ 박막사이에서 후 열처리에 따라 형성되는 저유전율의 계면층 때문인 것으로 생각된다. 계면층의 형성은 후 열처리가 이루어지는 동안 산소의 확산으로 인해 계면에서 발생하는 실리콘의 산화에 가장 큰 원인이 있다고 여겨지며, 계면층의 두께는 열처리 온도가 증가함에 따라 두꺼워지는 것으로 판단된다.¹⁸⁾ Alers 등은 본 실험과 유사하게 800°C, 산소분위기에서 급속 후 열처리를 통해 Ta₂O₅와 Si 기판사이에서 형성되는 SiO_x 계면층을 관찰하였고,²³⁾ Lee 등은 후 열처리 공정에 따라 TiO₂ 박막과 Si 기판사이에서 계면층으로 인한 EOT (equivalent oxide thickness)의 증가와 누설전류밀도의 감소 등을 관찰하였다.¹⁸⁾ 유전상수와 누설전류밀도의 감소 정도가 CeO₂ 박막보다 TiO₂ 박막에서 상대적으로 크게 나타나

는 결과는 후 열처리 공정이 이루어지는 동안 절연층과 Si 기판사이에 형성되는 계면층의 두께가 TiO_2 박막의 경우에 더 두껍게 형성되었기 때문인 것으로 생각된다.

이상의 결과로부터 산소분위기에서 후 열처리 온도 증가에 따른 계면층의 두께 변화는 절연막 및 MFIS 구조의 전기적 특성을 고찰하는데 중요하다고 판단된다. TEM(Transmission Electron Microscopy)과 같은 파괴분석을 통하여 실제 계면층의 두께를 관찰하는 것이 일반적이는데, 본 연구에서는 상대적으로 간단한 비파괴 분석법인 ellipsometry를 사용하여 복층(Double layer) 모델을 이용한 시뮬레이션을 통해 계면층의 두께 변화를 예측하고자 하였다.²⁴⁻²⁶⁾ 후 열처리 온도 증가에 따라 Ce와 Ti의 확산이 발생되어 SiO_2 혹은 SiO_x 의 계면층 이외의 다른 계면층이 생성될 수도 있으나, 절연층의 전기적 특성에 가장 큰 영향을 미치는 계면층은 SiO_2 혹은 SiO_x 층이라 생각된다. 따라서, 본 실험에서는 증착 직후의 절연 박막 및 후 열처리한 절연 박막의 굴절률을 측정된 후 다음과 같은 3가지 가정을 가지고 계면층 두께 모사를 행하였다. 첫째, CeO_2 와 TiO_2 박막에서 증착 직후에 존재하는 계면층의 두께는 자연 산화막과 유사한 수준인 30 Å이고, 둘째, 계면층은 Si의 산화에 의해 형성된 SiO_2 혹은 SiO_x 층으로 굴절률은 약 1.46이며, 마지막으로 후 열처리 공정이 수행되는 동안 CeO_2 와 TiO_2 박막의 두께는 거의 변화하지 않는다. Fig. 3은 시뮬레이션을 통해 계산된 계면층의 두께 변화를 후 열처리 온도에 따라 나타낸 것이다. CeO_2 박막의 경우 600°C의 열처리 온도까지는 계면층의 두께 변화가 거의 없었고, 800°C일 때는 약 45 Å으로 약간 증가하였다. 열처리 온도가 900°C일 때는 약 115 Å의 두께를 나타내었다. TiO_2 박막과 Si 기판사이의 계면층의 두께는 600°C의 열처리 온도에서 약 45 Å 정도였고, 800°C를 거쳐 열처리 온도가 900°C가 되었을 때

에는 약 140 Å으로 크게 증가하였다. CeO_2 박막과 TiO_2 박막에서 계면층의 두께가 차이를 나타내는 것은 CeO_2 와 TiO_2 박막내에서 산소의 확산계수와 확산에 필요한 활성화 에너지가 다르기 때문인 것으로 생각된다.

3.2. MFIS 구조의 전기적 특성

MFIS 구조를 제조하기 위해 CeO_2 와 TiO_2 박막위에 강유전 PbTiO_3 박막을 500°C에서 MOCVD법으로 1시간 동안 증착하였고, PbTiO_3 증착후 후 열처리 공정은 수행되지 않았다. Fig. 4는 CeO_2 박막을 절연층으로 사용하고 PbTiO_3 를 강유전 박막으로 사용한 $\text{Al/PbTiO}_3/\text{CeO}_2/\text{Si}$ 구조의 C-V 특성을 ± 5 V의 전압을 인가하여 1 MHz의 고주파(high-frequency)에서 측정된 다음 후 열처리 온도에 따라 나타낸 것이다. Fig. 4에서 관찰되는 C-V 곡선상의 전기적 이력(hysteresis)은 모두 시계방향(clockwise)이며, 이것은 PbTiO_3 박막의 강유전 특성에 의해 나타나는 것이다.¹¹⁾ $\text{Al/PbTiO}_3/\text{CeO}_2/\text{Si}$ 구조의 C_{max} 값은 열처리를 거치지 않은 CeO_2 박막을 사용했을 경우 약 140 pF이었고, 800°C에서 열처리를 거친 CeO_2 박막을 사용하였을 때에는 C_{max} 값이 약 135 pF으로 거의 변화가 없었다. 그러나, 900°C에서 열처리를 거친 CeO_2 박막을 사용한 $\text{Al/PbTiO}_3/\text{CeO}_2/\text{Si}$ 구조는 C_{max} 값이 약 105 pF 정도로 크게 감소하였다. 이러한 결과는 앞에서 ellipsometry 시뮬레이션을 이용하여 계면층의 두께 변화를 관찰한 바와 같이 열처리 온도가 증가함에 따라 저유전율을 갖는 계면층의 두께가 900°C의 열처리 온도에서 약 115 Å까지 크게 증가하였기 때문에 나타나는 것으로 생각된다.

계면층의 형성과 성장이 MFIS 구조가 보여주는 C-V 곡선 상에서의 이력, 즉 memory window에 미치는 영향을 관찰하기 위해 $\text{Al/PbTiO}_3/\text{CeO}_2(\text{as-dep})/\text{Si}$, $\text{Al/PbTiO}_3/\text{CeO}_2$

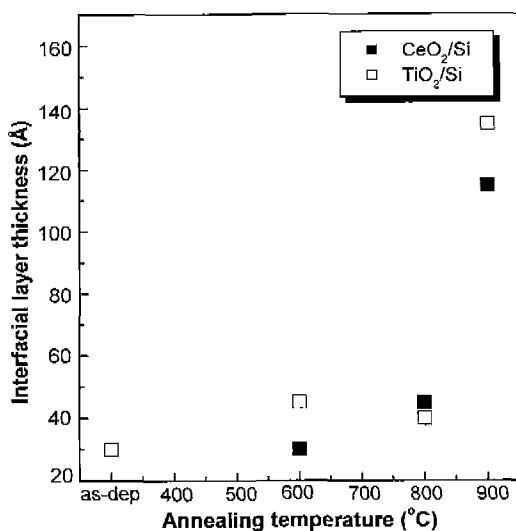


Fig. 3. The interfacial layer thickness simulated by ellipsometry as a function of insulator annealing temperature.

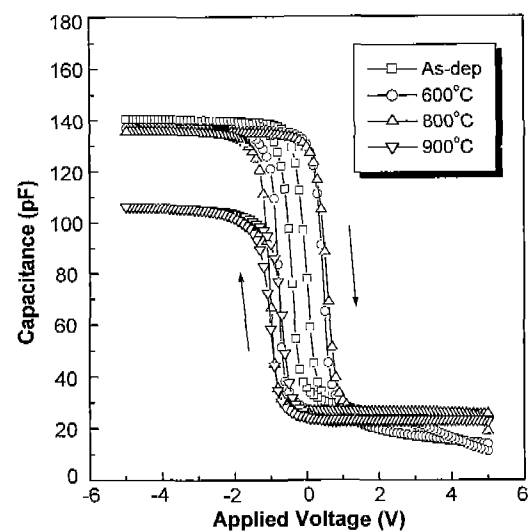


Fig. 4. The C-V characteristics of MFIS using $\text{Al/PbTiO}_3/\text{CeO}_2/\text{Si}$ as a function of CeO_2 annealing temperature.

(800°C, O₂)/Si, Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조에 인가된 전압을 ±2 V, ±3 V, ±5 V, ±7 V, ±10 V까지 증가시켜 C-V를 측정하였다. 이 때 MFIS 구조에 인가되는 전계(Electric field)는 계면층, 절연층 그리고 강유전층에 나뉘어 작용하게 되는데, 각각의 층에 인가되는 전계는 다음의 식으로부터 계산될 수 있다.^{8,14)}

$$E_i = \frac{C_i}{C_t} \times \frac{V_T}{t_i} \quad (1)$$

여기서, E_i, C_t, C_i, V_T, T_i는 각각 i번째 층에 인가되는 전계, MFIS 구조의 전체 capacitance, i번째 층의 capacitance, MFIS 전체 구조에 인가되는 전압, i번째층의 두께이다. 위의 식 (1)을 통하여 ±5 V의 인가전압에서 강유전층에 인가되는 전계(E_F)를 열처리 온도에 따라 Fig. 5(a)에 나타내었다. CeO₂ 박막의 열처리 온도가 600°C일 때는 열처리를 거치지 않은 CeO₂ 박막이 사용된 경우와 비교할 때 E_F가 거의 변화하지 않았으나, CeO₂ 박막의 열처리 온도가 800°C일 때는 E_F가 약 107 kV/cm로 900°C일 때는 98 kV/cm까지 감소하였다. 이는 열처리 온도가 증가함에 따라

CeO₂ 박막과 Si 기판사이에서 계면층의 두께 증가로 인해 강유전층에 작용하는 전계가 작아지는 것에 기인한다. MFIS 구조가 C-V곡선에서 보여주는 memory window는 강유전층의 잔류 분극이나 포화 분극과는 관계없이 항전계(coercive field)에 의존하는데, Kim⁸⁾ 등은 절연층의 존재가 MFIS 구조에서 강유전 박막에 작용하는 전계를 감소시켜 절연층이 없는 MFS 구조와 비교할 때 어느 일정 수준보다 큰 전압을 인가하게 되면 MFIS 구조가 더 큰 항전계(coercive field)를 나타낸다고 보고하였다. 본 실험에서는 절연층 이외에 후 열처리 공정에 따라 형성되는 계면층의 존재로 인하여 MFIS 구조에 인가되는 전계가 계면층, 절연층, 강유전층으로 나뉘어 작용하게 되므로, 강유전 박막에 작용하는 전계는 더욱 감소하게 된다. 그러므로, 열처리를 거치지 않은 CeO₂ 박막이 사용된 MFIS 보다는 열처리를 거친 CeO₂ 박막이 사용된 MFIS 구조가 항전계의 증가로 인해 결과적으로 더 큰 memory window를 보여줄 것으로 예상된다.

Fig. 5(b)는 Al/PbTiO₃/CeO₂(as-dep)/Si, Al/PbTiO₃/CeO₂(800°C, O₂)/Si, Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조에 대해 ±2 V에서 ±10 V까지 인가전압을 증가시키기에 따라 측정된 memory window를 나타내고 있다. ±2 V, ±3 V의 낮은 인가전압의 경우 Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조의 memory window는 약 0.3 V였다. 이는 상대적으로 두꺼운 계면층의 존재로 인해 강유전 박막에 작용하는 전계가 작아지게 되어 Al/PbTiO₃/CeO₂(as-dep)/Si구조나 Al/PbTiO₃/CeO₂(800°C, O₂)/Si 구조에 비해 작은 memory window를 보여주는 것으로 생각된다. 인가전압을 ±5 V로 증가시켰을 때에 memory window는 약 0.3 V로 거의 변화하지 않았고, 인가전압이 ±7 V로 증가했을 때에는 memory window가 약 0.6 V로, ±10 V의 인가전압에서는 약 0.8 V로 증가하였다. 즉, 상대적으로 두꺼운 계면층으로 인해 인가전압이 ±7 V 이상이 되었을 때 항전계가 증가하게 되고 그 결과 memory window가 증가하는 것으로 판단된다. 열처리를 거치지 않은 CeO₂ 박막을 사용한 Al/PbTiO₃/CeO₂(as-dep)/Si 구조에서는 Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조에 비해 상대적으로 얇은 계면층으로 인하여 강유전 박막에 인가되는 전계가 크기 때문에 낮은 인가전압인 ±3 V에서부터 memory window가 증가하였다. 그러나, 인가 전압이 ±3 V 보다 커질 때에는 memory window가 감소하기 시작하였고, 인가전압이 ±7 V일 때에는 반시계방향(counterclockwise)의 이력 곡선이 C-V상에 나타나기 시작하였다. 반시계방향의 이력이 나타나는 이유는 절연층과 Si 기판사이에서 발생하는 charge injection에 기인하는 것인데, 이는 전체 MFIS 구조에 인가되는 전압이 증가할수록 강유전 박막에 의한 강유전 특성의 영향보다는 절연층과 Si 기판사이에서 발생하는 charge injection 효과가 더 큰 영향을 미치기 때문인 것으로 판단된다.²⁷⁾ 이러한 경향은 Al/PbTiO₃/CeO₂(800°C, O₂)/Si 구조의 memory window 변화에서도 관

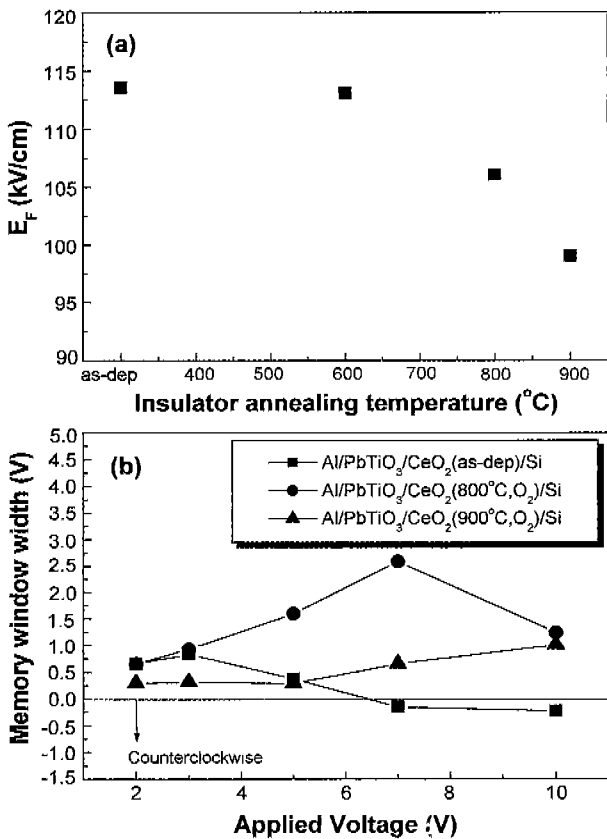


Fig. 5. (a) The electric field applied to ferroelectric layer at ±5V as a function of annealing temperature. (b) The memory window width of Al/PbTiO₃/CeO₂(as-dep)/Si, Al/PbTiO₃/CeO₂(800°C, O₂)/Si and Al/PbTiO₃/CeO₂(900°C, O₂)/Si as a function of applied voltage.

찰되었다. 즉, 인가 전압이 ± 7 V 보다 클 때는 charge injection의 효과가 큰 영향을 미치게 되어 ± 10 V의 인가 전압에서는 더 이상 memory window가 증가하지 않고 감소하기 시작하였다. Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조의 경우에는 charge injection에 의해 memory window가 감소하는 경향이 측정범위 내에서는 관찰되지 않았다. 이러한 결과는 후 열처리 공정을 통해 형성되는 계면층이 charge injection을 방지하는 역할을 하기 때문인 것으로 생각되며, 계면층의 두께가 두꺼울수록 charge injection이 억제되는 것으로 판단된다. TiO₂를 절연층으로 사용한 Al/PbTiO₃/TiO₂/Si 구조에서는 ± 5 V의 인가전압에서 불과 0.2 V 정도의 memory window가 관찰되거나 charge injection에 의한 반시계방향의 이력이 C-V 측정에서 관찰되었는데, 이는 Hwang 등이 보고한 바와 같이 PbTiO₃ 박막의 증착시 TiO₂ 층이 반응을 통해 PbTiO₃ 박막에 흡수되어 Si 기판과 강유전 박막사이의 계면 특성을 저하시켜 charge injection이 크게 발생하기 때문인 것으로 생각된다.²⁸⁾

4. 결 론

후 열처리 공정에 의해 형성되는 계면층이 절연층으로 사용된 CeO₂와 TiO₂ 박막의 전기적 특성과 전체 MFIS 구조의 전기적 특성에 미치는 영향을 조사하여 얻은 결론은 다음과 같다.

1. CeO₂와 TiO₂ 박막의 유전상수는 각각 증착 직후에 6.9와 15 정도였으나, 900°C와 산소분위기에서 열처리를 거친 후에는 약 4.9와 8.8로 감소하였다. 누설전류밀도의 경우에도 CeO₂ 박막은 7×10^{-5} A/cm²로부터 900°C의 열처리 온도에서 4×10^{-8} A/cm²까지 감소하였고, TiO₂ 박막 또한 CeO₂ 박막과 유사하게 열처리 온도가 증가할수록 누설전류 밀도가 크게 감소하였다.

2. 유전상수와 누설전류밀도의 결과로부터 후 열처리 공정이 수행되는 동안 절연층과 Si 기판사이에 저유전율의 계면층이 형성되는 것으로 판단되며, ellipsometry를 이용한 시뮬레이션 결과는 열처리 온도가 증가할수록 계면층의 두께가 증가하는 것을 보여주었다.

3. Al/PbTiO₃/CeO₂(as-dep)/Si, Al/PbTiO₃/CeO₂(800°C, O₂)/Si, Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조에 인가전압을 ± 2 , ± 3 , ± 5 , ± 7 , ± 10 V로 증가시키며 측정 한 memory window는 Al/PbTiO₃/CeO₂(as-dep)/Si의 경우 ± 2 , ± 3 V의 인가전압일 때 0.6 V에서 0.8 V로 증가하였다. Charge injection 효과에 의해 ± 5 V의 인가전압에서부터 memory window는 감소하기 시작하여 인가 전압이 ± 7 V보다 커질 때에는 반시계방향의 이력이 나타났다. Al/PbTiO₃/CeO₂(800°C, O₂)/Si 구조에서는 인가전압이 ± 7 V보다 클 때 memory window가 감소하기 시작하였고, Al/PbTiO₃/CeO₂(900°C, O₂)/Si 구조의 경우는 측정범위내에서 charge

injection에 의한 memory window의 감소나 반시계방향의 이력이 관찰되지 않았다. 이는 절연층과 Si 기판사이에 존재하는 계면층이 charge injection을 방지하는 역할을 하는 것으로 판단된다. TiO₂를 절연층으로 사용한 MFIS의 경우 TiO₂층이 PbTiO₃층과 반응하여 Si 기판과의 계면 특성을 저하시켜 Al/PbTiO₃/TiO₂/Si 구조가 0.2 V 이하의 memory window 혹은 반시계방향의 이력을 나타내는 것으로 추측된다.

감사의 글

이 연구는 1999년도 연세대학교 학술 연구비의 지원에 의하여 이루어진 것임.

REFERENCES

1. J. F. Scott and C. A. P. Araujo, "Ferroelectric Memories," *Science*, **246**, 1400-1405 (1989).
2. T. Hirai, K. Teramoto, T. Nishi, T. Goto and Y. Tarui, "Formation of Metal/Ferroelectric/Insulator/Semiconductor Structure with a CeO₂ Buffer Layer," *Jpn. J. Appl. Phys.*, **33** Part 1(9B), 5219-5222 (1994).
3. D. R. Lampe, D. A. Adams, M. Austin, M. Polinsky, J. Dzimianski, S. Sinharoy, H. Buhay, P. Brabant and Y. M. Liu, "Process Integration of the Ferroelectric Memory FETs for NDRO FERAM," *Ferroelectrics*, **133**, 61-72 (1992).
4. K. Sugibuchi, Y. Kurogi and N. Endo, "Ferroelectric Field-Effect Memory Device Using Bi₄Ti₃O₁₂ Film," *J. Appl. Phys.*, **46**(7), 2877-2881 (1975).
5. B. H. Lee, L. Kang, R. Nieh, W. J. Qi and J. C. Lee, "Thermal Stability and Electrical Characteristics of Ultrathin Hafnium Oxide Gate Dielectric Reoxidized with Rapid Thermal Annealing," *Appl. Phys. Lett.*, **76**(14), 1926-1928 (2000).
6. B. Cheng, M. Cao, R. Rao, A. Inani, P. V. Voorde, W. M. Greene, J. M. C. Stork, Z. Yu, P. M. Zeitzoff and J. C. S. Woo, "The Impact of High-k Gate Dielectrics and Metal Gate Electrodes on Sub-100 nm MOSFET's," *IEEE Trans. Electron Devices*, **46**(7), 1537-1542 (1999).
7. M. Okuyama, Y. Oishi, Y. Matsumuro and T. Kanashima, "Basic Characteristics of SrBi₂Ta₂O₉/SiO₂/Si Structure," *J. Kor. Phys. Soc.*, **32**, S1357-S1360 (1998).
8. Y. T. Kim and D. S. Shin, "Memory Window of Pt/SrBi₂Ta₂O₉/CeO₂/SiO₂/Si Structure for Metal Ferroelectric Insulator Semiconductor Field Effect Transistor," *Appl. Phys. Lett.*, **71**(24), 3507-3509 (1997).
9. T. Hirai, Y. Fujisaki, K. Nagashima, H. Koike and Y. Tarui, "Preparation of SrBi₂Ta₂O₉ Film at Low Temperatures and Fabrication of a Metal/Ferroelectric/Insulator/Semiconductor Field Effect Transistor Using Al/SrBi₂Ta₂O₉/CeO₂/Si(100) Structures," *Jpn. J. Appl. Phys.*, **36** Part 1(9B), 5908-5911 (1997).
10. T. Hirai, K. Teramoto, K. Nagashima, H. Koike and Y. Tarui, "Characterization of Metal/Ferroelectric/Insulator/Se-

- miconductor Structure with CeO₂ Buffer Layer," *Jpn. J. Appl. Phys.*, **34** Part 1(8A), 4163-4166 (1995).
11. C. S. Byun, Y. I. Kim, W. J. Lee and B. W. Lee, "Effect of a TiO₂ Buffer Layer on the C-V Properties of Pt/PbTiO₃/TiO₂/Si Structure," *Jpn. J. Appl. Phys.*, **36** Part 1(9A), 5588-5589 (1997).
 12. H. S. Kim, I. H. Bang and J. Y. Kim, "Electrical Properties of MFIS Capacitors with PZT/TiO₂ Layers," *J. Kor. Phys. Soc.*, **32**(1), 123-126 (1997).
 13. W. J. Lee, B. G. Y, J. S. Lyu, J. H. Lee, B. W. Kim, C. H. Shin and H. C. Lee, "SrBi₂Ta₂O₉/Insulator/Si Structure for Metal/Ferroelectric/Insulators/Si (MFIS) in an NDRO-Type Ferroelectric Random Access Memory," *J. Kor. Phys. Soc.*, **35**, S509-S512 (1999).
 14. H. N. Lee and Y. T. Kim, "Characteristics of Pt/SrBi₂Ta₂O₉/Y₂O₃/Si Ferroelectric Gate Capacitors," *J. Kor. Phys. Soc.*, **34**(5), 454-458 (1999).
 15. K. J. Choi, W. C. Shin, J. H. Yang and S. G. Yoon, "Metal/Ferroelectric/Insulator/ Semiconductor Structure of Pt/SrBi₂Ta₂O₉/YMnO₃/Si Using YMnO₃ as the Buffer Layer," *Appl. Phys. Lett.*, **75**(5), 722-724 (1999).
 16. T. Inoue, Y. Yamamoto, S. Koyama, S. Suzuki and Y. Ueda, "Epitaxial Growth of CeO₂ Layers on Silicon," *Appl. Phys. Lett.*, **56**(14), 1332-1333 (1990).
 17. P. Alexandrov, J. Koprinarova and D. Todorov, "Dielectric Properties of TiO₂-films Reactively Sputtered from Ti in an RF Magnetron," *Vacuum*, **47**(11), 1333-1336 (1996).
 18. B. H. Lee, Y. J. Jeon, K. Zawadzki, W. J. Qi and J. Lee, "Effects of Interfacial Layer Growth on the Electrical Characteristics of Thin Titanium Oxide Films on Silicon," *Appl. Phys. Lett.*, **74**(21), 3143-3145 (1999).
 19. H. S. Kim, S. A. Campbell and D. C. Gilmer, "Charge Trapping and Degradation in High-Permittivity TiO₂ Dielectric Films," *IEEE Electron Device Lett.*, **18**(10), 465-467 (1997).
 20. K. Nagashima, T. Hirai, H. Koike, Y. Fujisaki and Y. Tarui, "Characteristics of Metal/Ferroelectric/Insulator/Semiconductor Structure Using SrBi₂Ta₂O₉ as the Ferroelectric Material," *Jpn. J. Appl. Phys.*, **35**(12B), L1680-L1682 (1996).
 21. H. K. Ha, M. Yoshimoto, H. Koinuma, B. K. Moon and H. Ishiura, "Open Air Plasma Chemical Vapor Deposition of Highly Dielectric Amorphous TiO₂ Films," *Appl. Phys. Lett.*, **68**(21), 2965-2967 (1996).
 22. 왕채현, 최두진, "급속 후 열처리 및 실리콘기판 배향에 따른 MOCVD-TiO₂ 박막의 구조적 · 전기적 특성," 한국요업학회지, **35**(1), 88-96 (1998).
 23. G. B. Alers, D. J. Werder and Y. Chabal, "Intermixing at the Tantalum Oxide/Silicon Interface in Gate Dielectric Structures," *Appl. Phys. Lett.*, **73**(11), 1517-1519 (1998).
 24. 최두진, "Ellipsometry에 의한 세라믹 박막의 두께 및 굴절지수 측정," 요업재료의 과학과 기술, **2**(4), 392-395 (1987).
 25. R. F. Spanier, "Double Film Thickness Measurements in the Semiconductor Industry," *Integrated Circuit Metrology*, **342**, 109-120 (1982).
 26. I. Franz and W. Langheinrich, "The Investigation of Double Layers in Semiconductor Technology," *Solid-St. Electron.*, **13**, 807-814 (1970).
 27. S. Y. Wu, "A New Ferroelectric Memory Device, Metal-Ferroelectric-Semiconductor Transistor," *IEEE Trans. Electron Devices*, **ED-21**(8), 499-504 (1974).
 28. C. S. Hwang and H. J. Kim, "Pb-Diffusion Barrier Layers for PbTiO₃ Thin Films Deposited on Si Substrates by Metal Organic Chemical Vapor Deposition," *J. Am. Ceram. Soc.*, **78**(2), 337-341 (1995).