

## STI를 이용한 서브 0.1 $\mu$ m VLSI CMOS 소자에서의 초박막 게이트산화막의 박막개선에 관한 연구

### A study on Improvement of sub 0.1 $\mu$ m VLSI CMOS device Ultra Thin Gate Oxide Quality Using Novel STI Structure

엄금용\*, 오환술\*\*

(Gum Young Eom\*, Hwan Sool Oh\*\*)

#### Abstract

Recently, Very Large Scale Integrated (VLSI) circuit & deep-submicron bulk Complementary Metal Oxide Semiconductor(CMOS) devices require gate electrode materials such as metal-silicide, Titanium-silicide for gate oxides. Many previous authors have researched the improvement sub-micron gate oxide quality. However, few have reported on the electrical quality and reliability on the ultra thin gate oxide. In this paper, **at first**, I recommend a novel shallow trench isolation structure to suppress the corner metal-oxide semiconductor field-effect transistor(MOSFET) inherent to shallow trench isolation for sub 0.1  $\mu$ m gate oxide. Different from using normal LOCOS technology deep-submicron CMOS devices using novel Shallow Trench Isolation(STI) technology have a unique "inverse narrow-channel effects"-when the channel width of the devices is scaled down, their threshold voltage is shrunk instead of increased as for the contribution of the channel edge current to the total channel current as the channel width is reduced. **Secondly**, Titanium silicide process clarified that fluorine contamination caused by the gate sidewall etching inhibits the silicidation reaction and accelerates agglomeration. To overcome these problems, a novel Two-step Deposited Silicide(TDS) process has been developed. The key point of this process is the deposition and subsequent removal of titanium before silicidation. Based on the research, It is found that novel STI structure by the SEM, in addition to thermally stable silicide process was achieved. We also obtained the decrease threshold voltage value of the channel edge, resulting in the better improvement of the narrow channel effect. low sheet resistance and stress, and high threshold voltage. Besides, sheet resistance and stress value, rms(root mean square) by AFM were observed. On the electrical characteristics, low leakage current and trap density at the Si/SiO<sub>2</sub> were confirmed by the high threshold voltage sub 0.1  $\mu$ m gate oxide.

**Key words(중요용어)** : Ultra thin gate oxide, Ti/TiSi<sub>2</sub>, STI, Two-step silicide, Silicidation

## I. 서론

VLSI(Very Large Scale Integrated)화로 및 서브 마이크론 CMOS(Complementary Metal Oxide semiconductor) 소자에서는 소자의 집적도가 증가함에 따라 게이트 전극용으로 금속-실리사이드(Metal-Silicide) 얇은 박막(Thin-Film)[1]과 같은 저항값을 가지는 물질들이 요구되고 있다. 금속 실리사이드 중에  $TiSi_2$ (Titanium-Silicide)는 여러 종류의 금속 실리사이드[2][3] 중에서 가장 작은 저항값과 높은 제품화 특성(Higher Manufacture-ability) 때문에 가장 적합한 게이트 전극 재질로 사용되고 있다. 그러므로 티타늄실리사이드에 대한 연구가 처음 시작될이래 양질의 산화막 특성을 얻으려는 많은 연구가 수행[4][5]되어 왔다. 그러나 서브마이크론( $<0.1\mu m$ ) 게이트 산화막에 대하여는 양호한 산화막 막질과 신뢰성을 얻기 위한 게이트 산화막 형성 방법이나 새로운 방법의 필드산화막 형성방법 및 개선된  $TiSi_2$  형성방법 등에 대한 연구는 이루어지고 있지 않다.

본 연구는 서브마이크론( $<0.1\mu m$ ) 게이트 산화막에 대하여 우수한 특성을 얻고자 필드산화막을 새로운 방법의 STI(Shallow Trench Isolation) 형성방법[6][7]을 사용하여 구성하고 일반적인 NSLOCOS(Normal Spaced Local Oxidation of Silicon) 방법으로 성장된 구조와 비교하여 물리적, 전기적 특성을 분석 하였다. 게이트 산화막에 대하여는  $N_2O$  산화막 형성방법으로 30Å을 형성 시켰으며 게이트 전극은 본 연구에서 제시된 개선된 투 스텝(Two-step) 방법으로 티타늄을 증착 하였으며 2차에 걸친 열처리 방법으로  $TiSi_2$ 를 형성하였다.

형성된 게이트 산화막에 대하여는 물리적, 전기적 특성으로 비교 분석하였다. 게이트 산화막에 대한 물리적인 특성 중 단면도에 대하여는 실제 토폴로지(Topology)에 대하여 각각 SEM으로 비교 분석[8] 하였으며 STI 구조로 채널 가장자리 등에서 패드 산화막이나 희생 산화막의 제거시 활성영역 가장자리에서 산화막의 손실을 최소화할 수 있을 것

으로 기대된다. 또한 이런 STI 구조는 집적회로 설계시 큰 프로세스 여유(Margin)를 주어 소자의 집적도 증가에도 크게 기여 할 것으로 사료된다.

그 외  $TiSi_2$  형성에 대한 물리적 특성으로 Stress ( $dyne/Cm^2$ )[9]와 면 저항( $R_s$  : Sheet Resistance,  $\Omega/sq.$ ) 및 rms(root mean square) 값 등으로 비교 분석 하였다. 전기적 특성은 접합(Junction)에 대한 임계 전압값의 변화로 확인할 수 있었다.

## II. 본론

### 1. 실험방법

본 연구는 저항값이 8~10  $\Omega.Cm$ (Prime), P형(100), 웨이퍼를 사용하였으며 필드 산화막은 NSLOCOS와 본 연구에서 제시한 새로운 방법의 STI 구조로 2600Å을 성장 시키고 n-well과 p-well을 만들어 접합을 형성하였다.

이때 게이트 산화막은  $N_2O$  산화막 형성방법을 이용하여 초 박막 30Å을 형성하고 폴리실리콘을 1500Å 증착시킨후 티타늄을 본 연구에서 제시한 개선된 투 스텝(Two-step) 증착방법, 즉 Ti 300Å을 증착시킨후 세정작업을 통하여 증착된 Ti를 완전히 제거하고 다시 Ti 300Å을 증착시킨후 RTA(Rapid Thermal Annealing) 방법으로 열처리(800°C)를 하여  $TiSi_2$ 를 형성시켰으며 이후에  $NH_4OH$  희석액을 이용하여 TiN을 제거하고 게이트 전극을 형성하였다. 그후 워드라인을 형성하고 LDD(Lightly Doped Drain) 이온주입방법으로 p+와 n+ 접합을 조절한 후 BPSG(Boron Phosphorus Silica Glass) 플로워(Flow)와 CMP(Chemical Mechanical Polishing)로 평탄화 시킨 후 베리어 메탈층(Ti/TiN)과 텅스텐(W) 및 알루미늄(Al)을 각각 5000Å 적층하여 금속층을 형성시켰다.

형성된 디바이스에 대한 측정은 물리적인 특성으로 SEM을 이용하여 실제 구성된 토폴로지(Topology)에 대한 형태(Morphology) 관찰을 하였으며 저항값은 4 포인트 프로브(Four Point Probe) 방법에 의하여 면 저항값( $\Omega/Sq.$ )을 측정 하였다. AFM(Atomic Force Microscopy) PSI Autoprobe M5를 이용하여 게이트 전극체 표면에 대한 rms(root mean square) 값을 측정하여 표면의 거칠

\* 성남기능대학 전자과  
(경기도 성남시 수정구 산성동 4번지)  
Fax : 02-749-3374  
E-mail : ejrrnr@snp.ac.kr  
\*\* 건국대학교 전자. 정보통신공학과  
2000년 7월 22일 접수, 2000년 8월 30일 심사완료

정도(Roughness)를 측정 하였고,  $TiSi_2$  형성 방법과 열처리온도 변화에 따른 스트레스 변화정도를 관찰 하였다.

전기적인 특성으로는 형성된 게이트 산화막에 대한 접합의 누설전류(Junction Leakage Current) 감소와 절연파괴(Breakdown Voltage)특성 및 Si/SiO<sub>2</sub> 계면의 포획전하밀도 감소특성 등의 결과를 문턱전압( $V_T$ , Threshold Voltage) 값[10][11]으로 비교 분석 할 수 있었다.

2. 실험결과 및 고찰

그림1-(a)는 새로운 방법으로 형성한 STI 필드산화막에 대한 SEM 단면도를 나타내었다. Si 기판에 STI 구조와 그 위에 적층된 게이트산화막, 폴리실리콘,  $TiSi_2$  와 배리어 메탈층(Ti/TiN)과 텅스텐(W) 및 알루미늄(Al)을 적층하여 구성한 금속층 형성을 관측할 수 있었으며 본 연구에서 제시한 새로운 방법의 STI 구조가 성공적으로 구성 되었음을 확인할 수 있었다. 또한 그림 1-(b)는 NSLOCOS에 대한 단면도로서 STI 구조[12]와는 달리 필드산화막 영역과 액티브영역 경계부분에서 게이트전극형성과 금속층 형성에 열적인 스트레스(Thermal Stress)와 채널 가장자리에서 전계(Electric Field)의 증가등이 예상된다 하겠다. 이러한 필드산화막의 구조차이는 디바이스 구동시 접합영역의 누설전류를 증가시키거나 절연파괴전압을 감소시키는 원인이 되는 것으로 사료되며 또한 Si/SiO<sub>2</sub> 계면에서 포획전하밀도나 이온들을 생성시키게 되어 게이트산화막의 신뢰성 저하의 원인이 되기도 한다.

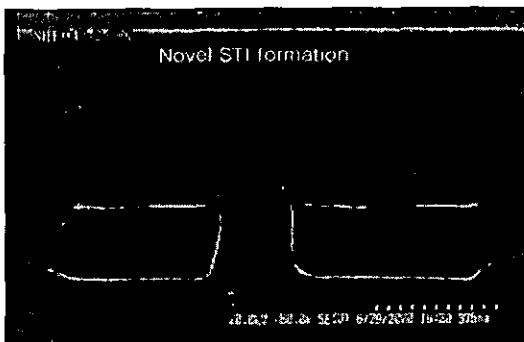


그림 1 - (a) 새로운 방법의 STI구조에 대한 SEM 단면도 (SEM micrographs of a novel shallow trench

isolation(STI) structure)

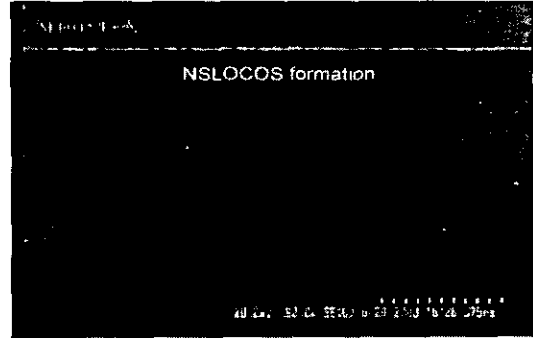


그림 1 - (b) NSLOCOS 구조에 대한 SEM 단면도 (SEM micrographs of a normal spaced local oxidation of silicon(NSLOS) structure)

그림 2는 티타늄실리사이드( $TiSi_2$ ) 형성방법과 열처리온도 및 시간변화에 따른 면 저항값[13]의 변화를 나타내었다. 일반적으로 티타늄 실리사이드의 면 저항값은  $TiSi_x$  필름내에 과잉(Excess) Si 위상(Phase)의 존재정도, 즉 Si-rich와 반응도 및  $TiSi_2$  형성시 생성되는 침전물이나 미 반응물질 등에 의하여 결정되게 되는 것으로 알려져 있으며 면 저항값이 높으면  $TiSi_2$  형성이 적게 이루어지게 됨을 의미한다. 전체적으로 STI 구조에 대한 경우 티타늄 실리사이드 형성방법에 대하여는 면 저항값이 큰 차이를 나타내고 있지 않으며 이는 면 저항값 측면에서는 STI 구조가 상당히 양호한 결과를 나타내고 있음을 알 수 있다. 반면 티타늄만 증착한 경우에는 Si-rich 영역이 크므로서 면 저항값이 큰 약 30  $\Omega/sq$ . 정도로 큰 차이를 나타내고 있다. 이러한 면 저항값은 디바이스 형성후 그 특성면에서 주로 신뢰성이나 Si/SiO<sub>2</sub> 계면의 특성을 측정하는데 중요한 영향을 주는 요소가 되고 있다. 본 연구에서 제시한 STI 구조는 디바이스 집적도가 증가할수록 더욱 더 이러한 측면에서 양호한 신뢰성 특성을 얻을 수 있을 것으로 사료된다.

그림 3에 티타늄실리사이드의 증착방법과 열처리온도에 대한 스트레스 값( $dyne/Cm^2$ )의 변화를 나타내었다. 실리콘기판 표면근처의 스트레스는 산화막 성장시 산화막내에서 실리사이드 형성에 대하여 성

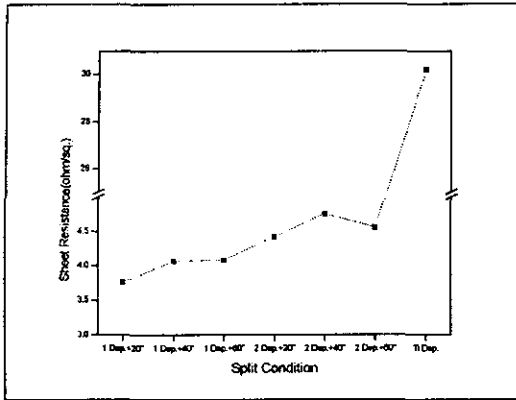


그림 2 티타늄실리사이드의 증착방법과 열처리온도에 대한 면 저항도 (Sheet resistance of  $TiSi_2$  formation process and annealing times)

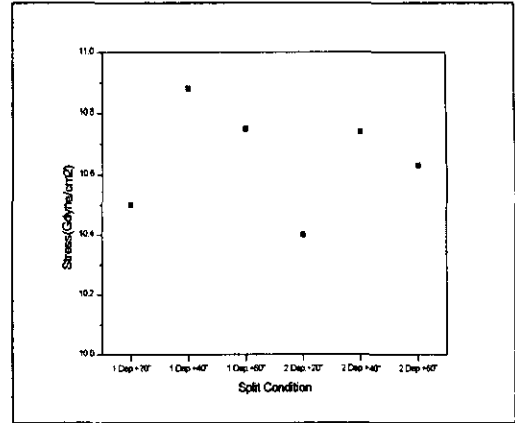


그림 3 티타늄실리사이드의 증착방법과 열처리온도에 대한 스트레스 값 (Stress as a function of  $TiSi_2$  deposition process and annealing times)

장 운동에너지(Growth Kinetics)와 라인형성(Interconnection Lines)에 중요한 영향을 미치게되며 이러한 스트레스는 기판의 두께 및 증착필름의 두께 등에 따라 상당히 큰 영향을 받게 되는 것으로 알려져 있다. 그러므로 실리사이드 형성시 스트레스효과는 디바이스 측면에서 상당히 큰 영향을 미치게 된다. 일반적으로 티타늄 실리사이드 형성시 열처리 전에는 주로 압축스트레스(Compressive Stress) 특성을 나타내다가 열처리 후에는 압축스트레스가 감소하고 장력스트레스(Tensile Stress)가 나타나게되는 것으로 알려져 있다. 이때 압축스트레스는 Ti/Poly-si 계면에서 Si의 이동을 감소시키게되며 이로 인해  $TiSi_2$  형성이 감소하게되며 반면 장력스트레스는 Si의 확산을 증가시켜  $TiSi_2$ 의 형성을 증가 시키게된다. 전체적으로 본 연구에서 제시된 두 스텝  $TiSi_2$  형성방법의 경우가 스트레스 값이 적게 나타나고 있으며 열처리 시간이 증가하면 스트레스 값이 오히려 증가하는 경향을 나타내고 있음을 알 수 있다. 이러한 결과는 티타늄 실리사이드 형성시 본 연구에서 제시된 두 스텝 방법과 적은 열처리 시간이 스트레스 측면에서 제일 양호한 특성을 나타내는 결과로  $TiSi_2$  형성시 Si/ $SiO_2$  계면 특성이나 문턱전압에서도 우수한 특성[14]을 나타낼 것으로 기대할 수 있다 하겠다.

그림4-(a)는 두 스텝  $TiSi_2$  형성시의 형태(Morphology)와 거칠정도(Roughness)를 rms(root

mean square) 값으로 나타낸 AFM도 이고 그림 4-(b)는 원 스텝  $TiSi_2$  형성에 대한 AFM도이다. 전체적으로 두 스텝의 경우가 형태면에서  $TiSi_2$ 의 형성이 많이 이루어졌음을 알 수 있으며 또한 rms 값에서도 작은값을 나타내고 있다. 이러한 결과는 본 연구에서 제시된 두 스텝 티타늄 증착의 경우 Ti/Si 계면에서 Ti와 Si의 반응이 더 많이 일어났음을 알 수 있는 결과이다. 이는 티타늄 증착이후 열처리시 Ti/Si 계면에 포획전하밀도의 생성을 억제시키는 결과가 되어 적은 누설전류값[15]을 나타내게되어 디바이스의 신뢰성 측면에서 요구 되는 특성이라 사료된다.

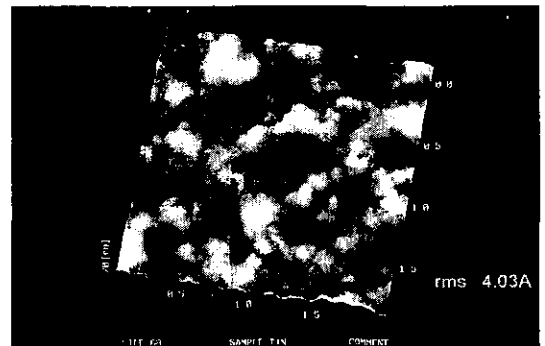


그림 4 - (a) 두 스텝  $TiSi_2$ 의 AFM 도 (AFM images of two step  $TiSi_2$  surface)



그림 4 - (b) 원 스텝 TiSi<sub>2</sub>의 AFM 도  
(AFM images of one step TiSi<sub>2</sub> surface)

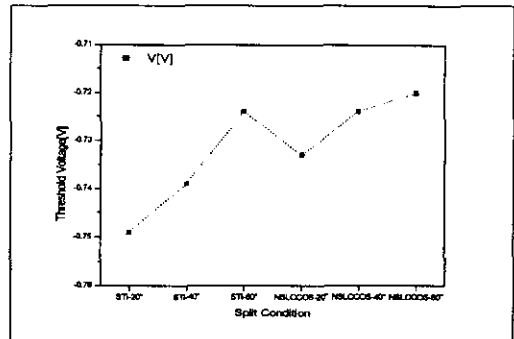


그림 5 STI & NSLOCOS 구조에 대한 문턱전압값  
(V<sub>t</sub> versus STI & NSLOCOS structure on annealing times)

그림5에는 STI & NSLOCOS 구조에 대한 문턱전압값을 나타내었다. 일반적으로 Ti/SiO<sub>2</sub> 형성시 폴리실리콘층의 도펀트(Dopant) 결핍이나 TiSi<sub>2</sub> 형성 열처리온도의 증가는 문턱전압값을 증가시키거나 구동전류(Drive-current)를 감소시키는 것으로 알려져 있으며 또한 TiSi<sub>2</sub> 형성시 게이트 산화막의 재 산화막형성(Reoxidation)은 구동전류를 감소시키는 것으로 알려져 있다. 그러나 본 연구에서 제시된 새로운 STI 구조는 문턱전압값이 NSLOCOS 구조에 비하여 큰 문턱전압값[16]을 나타내고 있어 전기적인 특성면에서 누설전류를 감소시키고 절연 파괴전압을 증가시키며 구동전류를 증가시키는 특성을 얻을 수 있을 것으로 사료된다.

전체적으로 STI의 경우가 NSLOCOS에 비하여 큰 문턱전압값을 나타내고있으며 각각의 경우 열처리 온도가 증가하면 문턱전압값도 증가하는 결과를 나타내고 있다. 이는 필드산화막의 형성방법차이에서 나타나는 Si/SiO<sub>2</sub> 계면의 포획전하밀도 차와 STI의 경우 채널 가장자리에서의 임계전압값 감소효과, 채널영역의 확보(Narrow Channel Effect 개선)효과 및 구동전류의 증가 등에 의한 결과로 사료된다.

### III. 결론

최근 반도체 소자의 집적도 증가에 따라 요구되

는 VLSI 및 CMOS급 소자에서 게이트 전극용 금속 실리사이드로 티타늄 실리사이드(TiSi<sub>2</sub>)를 형성하여 서브 0.1 μm급 게이트 산화막의 박막특성 개선에 대한 연구를 하였다. 필드산화막은 본 연구에서 새롭게 제시된 STI 구조와 일반적인 NSLOCOS구조를 형성하였고 게이트 산화막에 대하여는 N<sub>2</sub>O 산화막 형성방법으로 30Å을 형성시켰으며 게이트 전극은 본 연구에서 제시된 개선된 두스텝(Two-step) 방법으로 티타늄을 증착 하였으며 2차에 걸친 열처리 방법으로 TiSi<sub>2</sub>를 형성하였다.

본 연구결과 물리적인 특성면에서 실제 토폴로지(Topology)에 대하여 STI(Shallow Trench Isolation) 단면도의 성공적인 구조 확인을 SEM(Scanning Electron Microscopy)을 통하여 관찰 하였으며 STI 구조로 채널 가장자리 등에서 패드 산화막이나 회생 산화막의 제거시 활성영역 가장자리에서 산화막의 손실을 최소화할 수 있을 것으로 기대된다. 또한 이 STI 구조로 채널 가장자리(Edge) 등에 대한 임계 전압값의 감소 효과를 확보할 수 있을 것으로 사료되며 그 결과 낮은 저항값과 스트레스값 및 높은 문턱 전압값을 얻을 수 있었다. 이는 필드산화막의 형성방법차이에서 나타나는 Si/SiO<sub>2</sub> 계면의 포획전하밀도 차와 STI의 경우 채널 가장자리에서의 임계전압값 감소효과, 채널영역의 확보(Narrow Channel Effect 개선)효과 및 구동전류의 증가 등에 의한 결과로 사료된다. 그

리고 두 스텝  $\text{TiSi}_2$  형성방법에서 작은 rms 값과 거침정도가 적은 형태도를 얻을 수 있었다.

이로서 서브마이크론 게이트산화막에 대하여 본 연구에서 제시된 새로운 방법의 STI 필드산화막 형성방법과 두 스텝(Two-step) 티타늄 형성방법[17] 및 열처리시간을 통하여 서브  $0.1\mu\text{m}$  게이트 산화막에 대한 우수한 전기적 박막특성과 양호한 신뢰성 특성을 얻을 수 있었다.

### 참고문헌

- [1] J. U. Bae et al., "Effect of Pre-Amorphization of Polycrystalline on Agglomeration of  $\text{TiSi}_2$  in subquarter micron si lines," J. of Applied Physics Vol. 86, No. 9, P 4943-4947, 1 November (2000)
- [2] T. Yamaguchi et al., " Effect of Plasma-Induced damage on interfacial Reductions of Titanium Thin Films on Silicon Surfaces", A. Physics Letters, Vol.76, No. 17, P 2353-2356, April (2000)
- [3] S. Santucci et al., "X-ray Reflectivity Study on  $\text{Ti}/\text{Ti}/\text{Si}$  Structures before and after Annealing", Thin Solid Films, Vol. 360, P 89-95, (2000)
- [4] J. Sune. et al., "Failure physics of Ultra-thin Gate Oxides near Their Scaling Limit " Semiconductor Science Technology, Vol. 15, P 445-454, 14 March (2000)
- [5] Ernest et al., "Ultra-thin Oxide Reliability for ULSI Applications", Semiconductor Science Technology Vol. 15, P 425-435, 14 March (2000)
- [6] Coming Chen et al., "Shallow-Trench Isolation with Raised Field-Oxides Structure", Jpn. Applied Physics, vol. 39, no. 3A, P 1080-1084, 4, March (2000)
- [7] Toshiyuki oishi et al., "Isolation Edge Effect Depending on Gate Length of MOSFET's with Various Isolation Structures, " IEEE Transaction on Electron Devices, Vol. 47, No. 4, P 822-827, April (2000)
- [8] H.S. Kim, et al., "Oxidation Behavior of Nitrogen Implanted Dichlorosilane - Based W-Polycide Gate", J. of The Electrochemical Society, Vol. 146, No. 12, P 4630, 3 May (1999)
- [9] S. L. Cheng et al., "Effects of Stress on the Growth of  $\text{TiSi}_2$  Thin Films on (001) Si ,Applied Physics Letters, Vol. 14, No. 10, P 1406-1408, 8 March (1999)
- [10] Jeffrey Lutze et al., "Transistor Off-State Leakage Current Induced by  $\text{TiSi}_2$  Pre-Amorphizing Implant in a  $0.2\mu\text{m}$  CMOS Process", Vol. 21, No. 4, P 155-157, April (2000)
- [11] Wei JL et al., "Stress-induced High Field Gate Leakage Current Ultra-Thin Gate Oxide", Elsevier Science Ltd., P 977-980, 1 June (2000)
- [12] Shih-Chia Lin et al., "A Closed-Form Back-Gate-Bias Related Inverse Narrow-Channel Effect Model for Deep-Submicron VLSI CMOS Device using Shallow Trench Isolation", IEEE Transaction on Electron Devices, Vol. 47, No. 4, P 725, April (2000)
- [13] Se-Aug Jang et al., "Effect of Thermal Process After Silicidation on the Performance of  $\text{TiSi}_2/\text{Polysilicon}$  Gate Devices", IEEE Transactions on Electron Devices, Vol. 46, No. 12, P 2353-2356, December (1999)
- [14] Koji Eriguchi et al., "Effects of Strained Layer near Interface on Electrical Characteristics of Ultra-thin Gate Oxides " J. of Applied Physics, Vol. 87, No. 4, P 1990-1995, 15 February (2000)
- [15] Dong Kyun Sohn et al., "Reduction of Leakage Current for Shallow n+/p Junction Fabricated Using C49  $\text{TiSi}_2$  as a Diffusion Source", J. of The Electrochemical Society, Vol. 146, No. 10, P 3837-3842, 2 June (1999)
- [16] Zhigang wang et al., "Effect of Polysilicon Gate Type on The Flatband Voltage Shift for Ultrathin Oxide-Nitride Gate Stacks", IEEE Electron Devices Letters, Vol. 21, No. 4, P 170-172, April (2000)
- [17] R. Alfonsetti et al., "Use of X-ray Reflectivity Techniques to Determine Structural Parameters of Some Silicide structures for Microelectronics Applications", A. Physics Letters, Vol. 76, No. 1, P 52-56, 3 January (2000)