

고집적 메모리의 yield 개선을 위한 전기적 구제 회로

An Electrical Repair Circuit for Yield Increment of High Density Memory

김필중*, 김종빈*

(Phil-Jung Kim*, Jong-Bin Kim*)

Abstract

Electrical repair method, which has replaced laser repair method, can replace defective cell by redundancy's in the redundancy scheme of conventional high density memory. This electrical repair circuit consists of the antifuse program/read/latch circuits, a clock generator, a negative voltage generator, a power-up pulse circuit, a special address mux and etc.. The measured program voltage of made antifuses was 7.2~7.5 V and the resistance of programmed antifuses was below 500 Ω . The period of clock generator was about 30 ns. The output voltage of a negative voltage generator was about 4.3 V and the current capacity was maximum 825 μ A. An antifuse was programmed using by the electric potential difference between supply-voltage(3.3 V) and output voltage of a negative voltage generator. The output pulse width of a power-up pulse circuit was 30 ns ~ 1 μ s with the variation of power-up time. The programmed antifuse resistance required below 44 k Ω from the simulation of antifuse program/read/latch circuit. Therefore the electrical repair circuit behaved safely and the yield of high density memory will be increased by using this circuit.

Key Words(중요용어) : redundant cell(여분의 셀), laser repair method(레이저 구제 방식), electrical repair circuit(전기적 구제 회로), antifuse(안티퓨즈), voltage generator(전압 발생기)

1. 서 론

최근 정보통신의 발전과 정보량의 증가에 따라 메모리 소자의 고속·고집적화가 빠른 속도로 진행되고 있다. 이러한 고속·고집적화가 이루어짐에 따라 방대한 양의 데이터를 처리하는 속도가 빨라지고 저장할 수 있는 능력이 있지만, 고도의 기술이 필요하고 웨이퍼(wafer) 당 칩(chip)이 차지하는 면적도 증가하여 yield가 감소함에 따라 전체적인 생산비용이 증가하는 단점이 있다[1,2]. 메모리 소자의 yield 감소는 증가된 칩의 면적뿐만 아니라 공정 변화에 따른 결함 셀(cell)의 발생에 의해서도 크게 좌우된다. 결함 셀은 칩 동작에 치명적이므로 그 칩을 모두 폐기해야 하지만, 이런 문제를 해결

하기 위해 일정한 수의 결함 셀을 여분의 셀로 대체시켜 yield를 증가시키는 구제(repair) 방식을 채택하고 있다[2,3]. 일반적인 구제 방식으로 laser로 폴리퓨즈(polyfuse)를 절단하는 방식이[4] 쉽고 회로 구성이 간단하기 때문에 주로 이용되고 있으나 package 후에는 구제가 불가능하다는 단점이 있다.

본 연구에서는 package 후에도 구제가 가능한 전기적 구제 방식을 도입하였으며, 이러한 방식은 폴리퓨즈 대신 '전극/절연물/전극'으로 구성된 안티퓨즈(antifuse)를 사용하여 안티퓨즈 양단에 고전압을 인가하여 절연물의 절연파괴를 일으키는 방식이다[5,6]. 절연물의 절연파괴 전압을 안티퓨즈 프로그램(program) 전압이라 하며, 고전압인가를 위해 별도의 핀(pin)이나 패드(pad)를 설치하지 않고 칩 내부에서 전압을 발생시켜 안티퓨즈에 인가되도록 하였다. 또한 안티퓨즈에 인가되는 전압을 조절하고, 안티퓨즈의 절연파괴 상태를 감지하여 그 데이터를 래치(latch)하는 회로를 구성하였다. 따라

* 조선대학교 전자공학과

(광주광역시 동구 서석동 375, Fax: 062-232-3369)

E-mail : philjung@hanmail.net)

2000년 1월 5일 접수, 2000년 3월 2일 심사완료

서 본 연구에서는 전기적 구체 회로에 사용되는 다이오드(diode)와 앤티퓨즈 등의 소자 구조 및 특성과 구체 회로 구성 및 동작을 파악하여, 전기적 구체 방식이 고집적 메모리의 yield를 개선시킬 수 있음을 제시하였다.

2. 회로구성 및 실험

일반적인 redundancy는 그림 1과 같이 결함이 발생한 셀의 word line(WL)이나 bit line(BL)을 미리 준비한 redundancy WL(RWL), redundancy BL(RBL)로 대체할 수 있도록 구성된다[2,7]. 퓨즈 박스(fuse box)의 구성은 그림 2처럼 laser 구체 방식과 전기적 구체 방식으로 구분된다. 전기적 구체 방식(그림 2. (b))은 laser 구체 방식(그림 2. (a))의 폴리퓨즈 대신 MOS(metal-oxide semiconductor) transistor(TR)를 사용하고, 추가되는 control 회로들로 구성된다[8].

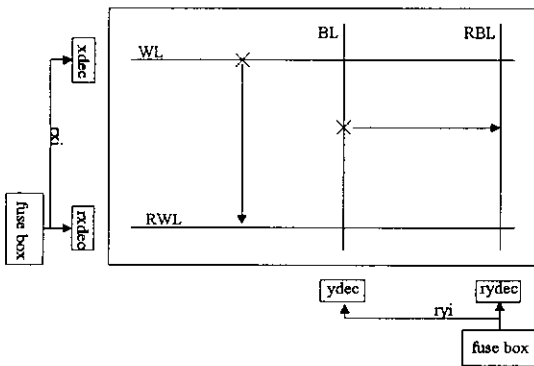


그림 1. 일반적인 redundancy 구성.
Fig. 1. Conventional redundancy architecture.

전기적 구체 방식에서 추가되는 control회로는 앤티퓨즈를 프로그램하고, power 안정화 기간 중 앤티퓨즈의 프로그램 여부를 검출(read)하여 그 데이터를 래치(latch)하는 회로(앤티퓨즈 프로그램/리드/래치 회로)가 있다. 앤티퓨즈 양단에 고전압을 인가하기 위해 vcc 전압과 음의 전압의 전위차를 이용하였다. 음의 전압을 발생시키기 위해 음의 전압 발생기와 이곳에 일정 주기를 갖는 clock 펄스(pulse)를 공급하는 clock 발생기가 있다. 앤티퓨즈를 프로그램하기 위해 다수의 앤티퓨즈 중 하나를 선택하도록 하는 address mux(special add_mux)가 있으며, power 안정화 기간에 앤티퓨즈 프로그램 여부를 검출하기 위해 필요한 펄스 신호를 출력하

는 회로(power-up pulse circuit)가 있다.

Laser 구체 방식에서 만일 폴리퓨즈가 절단되면 precharge 신호 prec와 x 또는 y의 address의 조건에 따라 redundancy 활성화 신호 ri가 'high'가 되어 redundancy x-decoder 또는 redundancy y-decoder를 동작시켜 해당 RWL이나 RBL이 선택되게 된다. 전기적 구체 회로에서도 마찬가지로 앤티퓨즈가 프로그램 되면 Antifuse P/R/L Circuit의 출력 rd가 'low'가 되어 NMOS를 차단시켜 redundancy 활성화 신호 ri가 'high'가 된다.

여기서 사용되는 전원전압은 외부에서 공급되는 vcc(3.3 V)와 이 전압을 칩 내부에서 조절하여 사용하는 vdd(2.5 V)가 있다. 일반적으로 vcc 전압은 칩 내에서 전압 발생기의 구동을 위해 사용되고, vdd 전압은 기타 논리회로의 power 소모를 줄이기 위해 사용되지만 본 연구에서는 음의 전압 발생기의 출력전압을 원하는 값에 맞추기 위해 vdd 전압을 사용하였다.

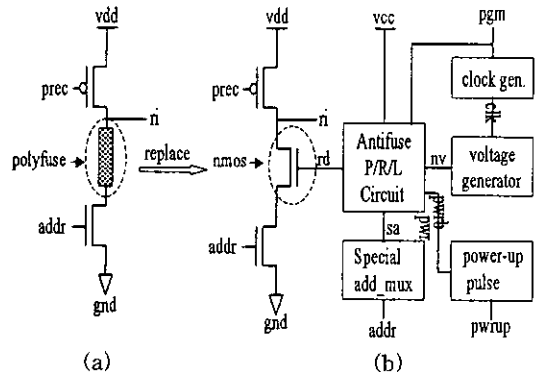


그림 2. 구체 회로 (a) laser 구체 회로와 (b) 전기적 구체 회로.

Fig. 2. Repair circuit (a) laser repair circuit and (b) electrical repair circuit.

그림 3은 음의 전압 발생기이다. 그림 4와 같은 pn 다이오드와 PMOS capacitor를 이용하여 구성하였으며, pgm의 'high' 신호와 180° 위상차를 갖는 clock 발생기의 출력 clk1과 clk2가 입력되면 동작한다. 각 node 전압의 이론적인 최소 값은 다음과 같다.

$$\begin{aligned} no1 &= 0 \text{ V} & (1) \\ no2 &= v_{td} - v_{dd} & (2) \\ no3 &= 2 v_{td} - 2 v_{dd} & (3) \end{aligned}$$

$$no4 = 3 v_{td} - 3 v_{dd} \quad (4)$$

$$nv = 4 v_{td} - 3 v_{dd} \quad (5)$$

여기서 v_{td} 는 다이오드의 문턱전압(threshold voltage)이다.

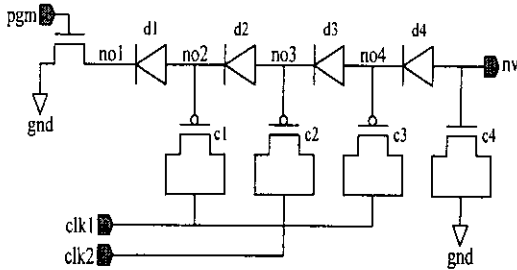


그림 3. 음의 전압 발생기.

Fig. 3. Negative voltage generator.

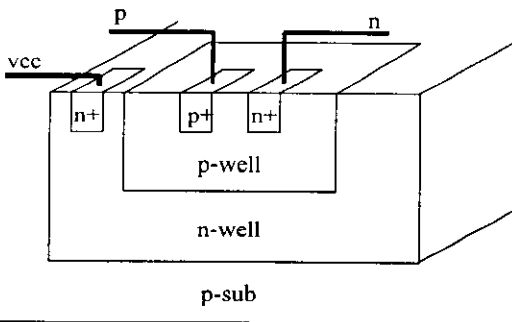


그림 4. pn 다이오드의 단면.

Fig. 4. Cross-sectional view of pn diode

그림 4는 음의 전압 발생기에서 사용된 pn 다이오드 구조이다. p+(p type junction)와 n+(n type junction)의 size는 $2.14 \times 0.84 \mu m^2$ 이며, p-well size는 $6.68 \times 6.14 \mu m^2$ 이고, n-well의 폭은 $2.5 \mu m$ 이다. 일반적인 전압 발생기의 PMOS 다이오드는 동작 중 gate와 well 또는 junction간 bias 조건이 달라져서 문턱전압(v_t)이 증가하며 이를 보상하기 위해서는 회로가 복잡해지기 때문에 이러한 변화에 거의 무관한 pn 다이오드를 사용하였다. 전압 발생기에 사용된 PMOS capacitor(그림 3의 c1~c3)의 capacitance는 약 10 pF으로 하였으며 출력 전압 nv의 oscillation 폭을 줄이기 위해 loading capacitor로 NMOS capacitor를 0.5 pF으로 설계하였다. 전압 발생기의 출력 전류 용량은 다음 식으로 표현할 수 있다.

$$i = C \cdot V \cdot f \quad (6)$$

여기서 C는 PMOS capacitor의 capacitance, f는 clock 발생기의 clock 주파수이다.

그림 5는 앤티퓨즈 프로그램/리드/래치 회로로서 앤티퓨즈를 프로그램하기 위해 vcc 전압원과의 전압 발생기의 출력 전압(nv)의 전위차를 이용하고 있으며, 전압 control 신호로는 프로그램 시작신호 pgm이 'high'가 될 때 이 신호를 받아 수 ns의 'high' 펄스로 발생하는 pgm_p 입력과 다수의 앤티퓨즈 중 하나만을 선택하는 special address(sa) 'high' 입력을 받아 동작한다. 이때 power와 관련된 신호 즉, pwr은 'low'이고 pwrb는 'high'이다. 기본적인 동작은 pgm 신호가 'high'가 되면 음의 전압 발생기가 동작하고 동시에 pgm_p가 'high' 펄스 신호를 보내 node a1의 전압을 0V로 만든다. 전압 발생기의 출력 nv가 일정 전압 이하로 떨어지면 special add_mux에서 앤티퓨즈를 선택하는 sa address를 보내면 vcc 전압이 앤티퓨즈 한쪽 전극에 인가되고 nv 전압도 다른 한쪽에 인가되어 프로그램 되게 된다.

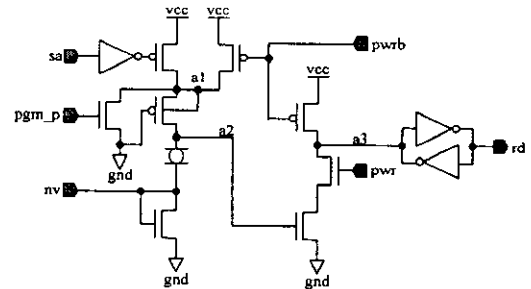


그림 5. 앤티퓨즈 프로그램/리드/래치 회로.

Fig. 5. Antifuse program/read/latch circuit.

앤티퓨즈 프로그램 동작이 모두 끝나면 power를 off시키고 다시 power on을 진행한다. 이때 각 시스템(system)마다 power up 시간이 다르며 보통 수 μs 에서 수십 ms의 시간을 갖는다. 일반적으로 메모리 소자 내에는 vcc가 일정 전압($2 v_t$) 이상이 되면 'high'신호를 출력하는 power up 검출(detect) 회로가 있다. 이 출력 신호 pwrup를 이용하여 서로 반대 위상을 갖는 두 펄스 신호 pwr과 pwrb로 앤티퓨즈의 프로그램 여부를 검출하여 그 데이터를 래치 한다. Power 안정화 기간 중 pwrup가 'high'가 되면 pwr은 'high'를 pwrb는 'low' 펄스를 출력하여 앤티퓨즈(node a2)에 vcc 전압이 인가되게 된다. 앤티퓨즈가 프로그램 되었

으면 node a2전압은 접지(gnd) path로 연결되어 낮은 전압을 갖게되고 프로그램 되지 않았으면 node a2는 높은 전압을 갖게된다. 따라서 pwr이 'high'이지만 프로그램 되었을 때 node a2가 낮은 전압을 가지므로 node a3은 'high'가 되어 출력 rd는 'low'가 되고 프로그램 되지 않았으면 rd는 'high'를 출력하게 된다. 그림 6은 power up 검출 회로와 (b) power-up 펄스 회로이다.

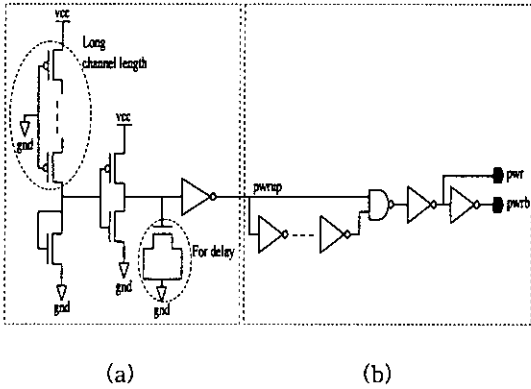


그림 6. (a)power-up 검출 회로와 (b) power-up 펄스 회로.

Fig. 6. (a) power-up detection circuit and (b) power-up pulse circuit.

엔티퓨즈는 DRAM에서 사용되는 셀 capacitor와 비슷한 구조로 되어 있는데, 양 poly-layer 사이에 ONO(oxide-nitride-oxide)의 절연체가 있다. 엔티퓨즈의 size는 $5 \times 5 \mu\text{m}^2$ 이며 ONO 두께는 약 50 Å로 제작하였다. 그림 7은 엔티퓨즈 구조이다.

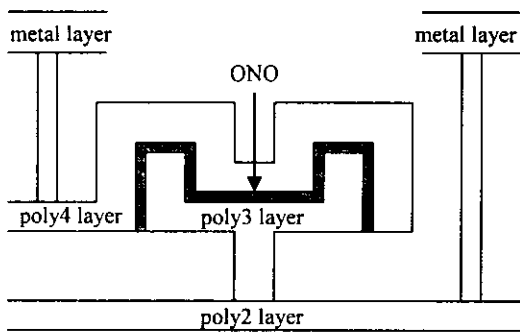


그림 7. 엔티퓨즈 구조.
Fig. 7. Antifuse structure.

제작한 엔티퓨즈의 프로그램 전압과 프로그램 되었을 때의 저항 값을 측정하기 위해 MS (memory test system) 장비를 이용하여 0 V에서 10 V까지 sweep시켜 프로그램 전압을 확인하고 두 번째로 전류를 20 mA 주입시켜 저항 값을 확인하였다. 또한 다이오드의 문턱전압(V_{td})을 측정하기 위해 0 V에서 3 V까지 sweep시키고 전류는 20 mA를 주입시켜 확인하였다. 설계한 회로들을 HSPICE tool을 이용 simulation하여 온도 변화에 따라 동작 상태를 확인하였다.

3. 결과 및 고찰

제작된 엔티퓨즈의 프로그램 전압을 알아보기 위해 한쪽 전극에 0 V에서 10 V까지 sweep시키고 전류 compliance는 20 mA로 하여 측정된 결과 그림 8에서와 같이 7.2~7.5 V로 나타났다. 이 결과를 바탕으로 프로그램 전압을 7.5 V로 하고 전류 compliance를 100 μA 로 인가하여 엔티퓨즈를 프로그램 한 후 저항을 측정하기 위해 0 V에서 3.3 V까지 sweep시키고 전류 compliance는 20 mA로 인가하여 측정된 결과 그림 9와 같이 500 Ω 이하로 나타났다.

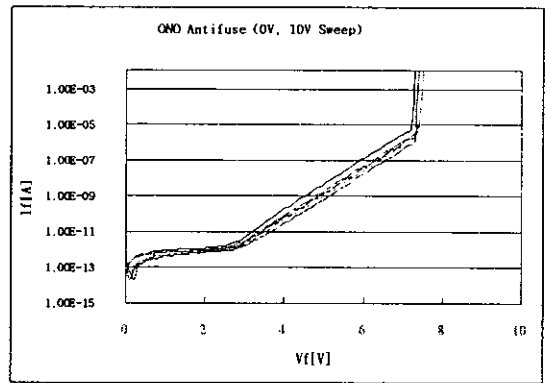


그림 8. 엔티퓨즈 프로그램 전압의 특성 곡선.
Fig. 8. Characteristic curve of antifuse program voltage.

pn 다이오드의 문턱전압을 측정하기 위해 p쪽에 0 V에서 3 V까지 sweep시키고 전류 compliance는 20 mA로 인가하여 n쪽에서 측정된 결과 그림 10에서와 같이 약 0.8 V로 나타났다. 이러한 결과는 일반적인 MOS 다이오드의 문턱전압이 약 0.65~0.7 V인 것에 비하여 높게 나타났는데 이러한 이유는 n-type의 n+가 p-type 농도가 높은 p+와 직접 접

합되지 않고 비교적 p-type 농도가 낮은 p-well에 접합되어 있어 well의 저항성 등에 의해 문턱전압이 높게 나타나는 것으로 사료된다.

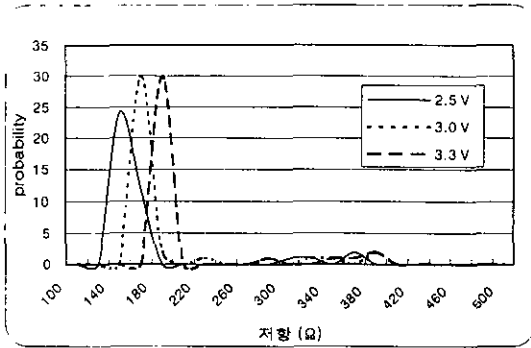


그림 9. 프로그램된 앤티퓨즈의 저항 분포.
Fig. 9. Resistance distribution of programmed antifuses.

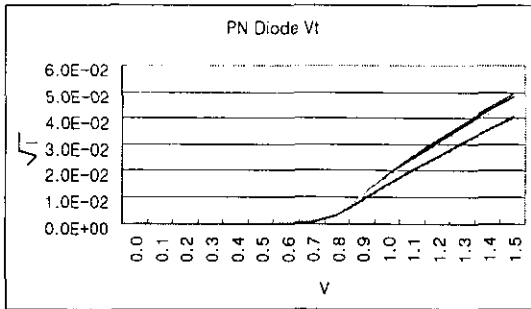


그림 10. pn 다이오드의 $\sqrt{I}-V$ 곡선.
Fig. 10. $\sqrt{I}-V$ curve of pn diodes.

측정된 pn 다이오드의 문턱전압이 0.8 V이므로 이를 식 (3) ~ (5)에 대입하면 다음과 같이 음의 전압 발생기의 출력 최소 값을 예상할 수 있다. 이때 vdd는 2.5 V이다.

$$no3 = 1.6 \text{ V} - 5 \text{ V} = -3.4 \text{ V} \quad (7)$$

$$no4 = 2.4 \text{ V} - 7.5 \text{ V} = -5.1 \text{ V} \quad (8)$$

$$nv = 3.2 \text{ V} - 7.5 \text{ V} = -4.3 \text{ V} \quad (9)$$

음의 전압 발생기를 HSPICE tool을 이용하여 simulation한 결과는 node no3은 -0.91~-3.38 V, node no4는 -2.61~-5.10 V로 clock 발생기의 출력 clk1과 clk2에 따라 oscillation하며, 출력 nv는 -4.32 V로 clock에 관계없이 일정하게 나타나 음

의 전압 발생기의 출력 전압은 예상했던 값과 simulation 결과가 거의 일치함을 알 수 있다. 따라서 앤티퓨즈를 프로그램할 때 vcc 전압은 3.3 V이고 nv 전압이 -4.3 V이므로 이 두 전압차를 이용하면 program 전압 7.5 V를 만족시킴을 알 수 있다. 이때 clock 발생기의 주기는 약 30ns로 주파수(f)로 환산하면 약 33 MHz가 되므로, 식 (6)으로부터 전압 발생기의 전류 용량을 유추해 내면 다음과 같다.

$$I = (10 \times 10^{-12} \text{ F}) \times (2.5 \text{ V}) \times (33 \times 10^6 \text{ Hz}) = 825 \mu\text{A} \quad (10)$$

따라서 최대 825 μA 까지 전류 drive를 할 수 있음을 알 수 있다. 표 1은 음의 전압 발생기의 simulation 결과이다.

표 1. 음의 전압 발생기의 simulation 결과.
Table 1. Simulation result of negative voltage generator.

Temp.[$^{\circ}\text{C}$]	no3 [V]	no4 [V]	nv [V]
25	-0.91~-3.38	-2.61~-5.10	-4.32
90	-1.05~-3.53	-2.91~-5.38	-4.69

설계한 앤티퓨즈 프로그램/리드/래치 회로를 simulation하기 위해 프로그램된 앤티퓨즈를 1 k Ω 으로 가정하고 프로그램되지 않은 앤티퓨즈의 capacitance를 50 fF으로 설정하였다. power-up 펄스 회로를 vcc = 3.3 V, temp. = 25 $^{\circ}\text{C}$ 조건에서 simulation 결과 각 펄스 폭은 30.38 ns와 31.25 ns로 나타났으며 power-up 시간이 200 ms로 slow해지면 1 μs 로 그 폭이 증가해진다. 이러한 원인은 power-up 검출 회로에서 출력되는 pwrup 신호의 초기 'high' 전압이 1.2 V로 매우 낮아 power-up 펄스회로 내의 지연(delay) 폭이 증가하기 때문이다. 표 1은 앤티퓨즈 프로그램/리드/래치 회로에서 앤티퓨즈 저항이 어느 정도일 때 프로그램된 것으로 인식하는 지 알아보기 위해 vcc = 3.3 V, power-up 시간을 10 μs 로 설정하고 온도에 따라 simulation한 결과이며, 온도에 따라 44~51 k Ω 을 나타내고 있고, 프로그램되었을 경우와 프로그램되

지 않았을 경우의 오차는 각 1 kΩ을 나타내고 있다. 이 회로에서 앤티퓨즈의 저항이 44 kΩ이하가 되어야 프로그램된 것으로 인식함을 보여주고 있다. 제작한 앤티퓨즈가 7.5 V로 프로그램하였을 때 그 저항이 500 Ω이하로 나타났으므로 설계한 회로는 앤티퓨즈 저항에 대해 많은 margin을 확보하고 있음을 알 수 있다.

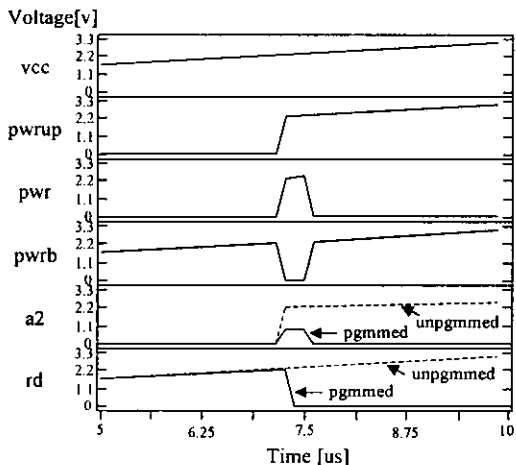


그림 11. 앤티퓨즈 프로그램/리드/래치 회로의 리드/래치 simulation.

Fig. 11. Read/latch simulation of antifuse program/read/latch circuit.

표 2. 앤티퓨즈 프로그램/리드/래치 회로에서 앤티퓨즈의 저항 simulation.

Table 2. Resistance simulation of antifuse at antifuse program/read/latch circuit.

Temp.	-10 °C	25 °C	90 °C
pgm	44 kΩ	47 kΩ	51 kΩ
unpgm	45 kΩ	48 kΩ	52 kΩ

4. 결 론

고집적 메모리의 yield 개선을 위한 전기적 구체 회로 구성에서 앤티퓨즈, pn 다이오드의 특성과 회로들의 동작 특성을 조사하여 다음과 같은 결론을

얻었다.

1) 절연체 두께(thickness)가 50 Å인 ONO 앤티퓨즈의 프로그램 전압은 7.5 V이었으며 전류 compliance가 100 μA에서도 그 저항은 모두 500 Ω 이하로 나타났으며, 전압 발생기의 전류 용량이 100 μA 이상 필요함을 확인하였다.

2) 저 농도의 p-type p-well안에 고 농도의 n-type n+ junction이 접합된 pn 다이오드의 문턱 전압(v_{th})은 약 0.8 V로, 이는 MOS 다이오드의 0.65~0.7 V 보다 다소 높은 값을 나타내고 있으며, 이러한 원인은 p-well과 n+와의 농도 차나 p-well 저항성 등에 의한 것으로 사료된다.

3) 음의 전압 발생기의 출력 전압은 칩 내부 인가전압(v_{dd})을 2.5 V로 했을 때 약 -4.3 V이고 전류 용량은 최대 825 μA로 나타났으며, 외부 인가전압(v_{cc})을 3.3 V로 사용해야 앤티퓨즈 양단간의 전위차가 7.5 V 이상이 되어 충분한 프로그램 전압으로 사용할 수 있고, 저 전력 메모리에서는 전압 발생기의 charge pumping 단수를 증가시키거나 프로그램 전압이 낮은 앤티퓨즈를 사용해야 됨을 알 수 있었다.

4) 앤티퓨즈 프로그램/리드/래치 회로 simulation 결과 앤티퓨즈가 프로그램되었을 경우와 프로그램되지 않았을 경우의 출력 값이 뚜렷한 차이를 보이고 있어 안정된 회로 동작이 이루어짐을 알 수 있고, 회로 동작상 앤티퓨즈 저항이 44 kΩ 이하가지를 프로그램된 것으로 인식하여 실험치 500 Ω에 비하여 많은 margin을 확보하고 있음을 알 수 있었다.

이상의 결과로서 제작한 앤티퓨즈와 pn 다이오드를 이용하여 전기적 구체 회로를 구성할 경우 안정된 동작을 수행할 수 있어서 고집적화 되는 메모리의 yield 개선이 가능할 것으로 사료된다.

참고 문헌

[1] Hiroaki Ikeda, et al., "High-Speed DRAM Architecture Development", IEEE J. of Solid-State Circuits, Vol. 34, No. 5, pp. 685-692, 1999. 3.
 [2] Toshiaki Kirihata, et al., "Fault-Tolerant Designs for 256Mb DRAM", IEEE J. of Solid-State Circuits, Vol. 31, No. 4, pp. 558-565, 1996. 4.
 [3] Shigeru Kikuda, et al., "Optimized Redundancy Selection Based on Failure-Related Yield

- Model for 64-Mb DRAM and Beyond", IEEE J. of Solid-State Circuits, Vol. 26, No. 11, pp. 1550-1555, 1991. 11.
- [4] Joseph B. Bernstein, et al., "Laser Energy Limitation for Buried Metal Cuts", IEEE Electron Device Letters, Vol. 19, No. 1, pp. 4-6, 1998. 1.
- [5] G. Zhang, et al., "Metal-to-Metal Antifuses with Very Thin Silicon Dioxide Films", IEEE Electron Device Letters, Vol. 15, No. 8, pp. 310-312, 1994. 8.
- [6] Herbert Stopper, et al., "Quick-turn MCMs" Solid State Technology, pp. 104~110, 1996. 6.
- [7] Kyoichi Nagata, et al., "256 Mbit Synchronous DRAM", NEC Res. & Develop, Vol. 38, No. 1, pp. 1~8, 1997. 1.
- [8] 김필중 외, "High Voltage Circuitry for Post Package DRAM Repair", 제6회 한국반도체 학술대회 논문집, pp. 385~388, 1999. 2.